

ЦИФРОВАЯ ОБРАБОТКА СИГНАЛОВ

4/2001

НАУЧНО - ТЕХНИЧЕСКИЙ ЖУРНАЛ

ЦОС в радиолокации

- преобразование сигналов**
- цифровая фильтрация**
- адаптивная обработка**
- сигнальные процессоры**



ЦИФРОВАЯ ОБРАБОТКА СИГНАЛОВ

№ 4/2001

ГЛАВНЫЙ РЕДАКТОР

Ю.Б. ЗУБАРЕВ

ЗАМЕСТИТЕЛИ ГЛАВНОГО РЕДАКТОРА:

В.В. ВИТЯЗЕВ, В.П. ДВОРКОВИЧ

ОТВЕТСТВЕННЫЙ РЕДАКТОР

В.Н. Вяльцев

РЕДАКЦИОННАЯ КОЛЛЕГИЯ:

П.А. Арутюнов, Б.А. Бабаян, Ю.И. Борисов,
С.А. Грибачев, Г.Н. Егоров, Г.В. Зайцев,
Е.П. Зелевич, Р.В. Зубарев,
А.П. Кирпичников, М.И. Кривошеев,
Н.А. Кузнецов, М.С. Куприянов, А.А. Ланнэ,
В.Г. Мистюков, С.Л. Мишенков, А.А. Петровский,
Ю.Н. Прохоров, А.Н. Соловьев, Ю.Г. Сосулин,
Н.Г. Харатишвили, В.В. Шахгильдян,
Ю.С. Шинаков

Адрес редакции:

103064 Москва, ул. Казакова, 16, к. 1202
Тел./факс: (095) 267-0662
E-mail: pl@com2com.ru

Цифровая обработка сигналов

№ 4/2001, с. 1 – 56

Издатель: ООО "ЛТИС"

Генеральный директор
П.Л. Серебрянников

Дизайн и верстка С.Г. Тюканова
Л.Н. Сыроватская
Корректурa Е.В. Карасева
Н.Н. Сергеева

Издание зарегистрировано в Министерстве
Российской Федерации
по делам печати, телерадиовещания и средств
массовых коммуникаций
Свидетельство о регистрации
ПИ № 77-1488 от 14.01.00

В НОМЕРЕ:

*Д.Ю. Бобров, А.П. Доброжанский,
Г.В. Зайцев, Ю.В. Маликов, И.Б. Цыпин*
**Цифровая обработка сигналов в
многофункциональных РЛС**

2

В.И. Кошелев

**Адаптивная обработка радиолокационных
сигналов на базе процессора БПФ**

12

*В.И. Брук, Н.А. Дерюгин, Р.М. Нигматулин,
Б.А. Панин, Т.А. Панова, А.В. Сидоров, В.Ю. Фрид*
**Процессор обработки сигналов и данных
бортовой МЕТЕО-РЛС для гражданских
летательных аппаратов на базе процессоров
ADSP-21062**

18

*А.Н. Еременко, В.П. Липатов, Д.В. Кушнерев,
В.В. Торгонский*

**Реализация цифровой сигнальной фильтрации
и видеообработки в РНС на базе модулей
АО "Инструментальные системы"**

25

*Г.П. Максаев, С.И. Жданова, А.В. Кочкин,
Е.А. Нестерова, А.В. Поляков*

**Многопроцессорная реализация
адаптивной обработки сигнала в
когерентной импульсной РЛС**

30

А.Ю. Волошин

**Использование процессоров ЦОС
с плавающей запятой в трактах
первичной обработки**

34

В.И. Хрипунов, А.В. Шабанов, А.С. Ширшин
**Совместное применение стробируемых АЦП
и таймера в обработке сигналов
радиолокационных станций**

36

В.Г. Бартенов, Г.В. Бартенов
**Адаптивный цифровой фильтр на ЦСП
L11879BM1**

38

Новые разработки DSP: семейство Blackfin

41

В.Е. Чернов

**Способы взаимодействия последовательных
АЦП с сигнальными процессорами фирмы
TEXAS INSTRUMENTS**

49

ЦИФРОВАЯ ОБРАБОТКА СИГНАЛОВ В МНОГОФУНКЦИОНАЛЬНЫХ РЛС

Часть 1: Принципы разработки. Преобразование сигнала в цифровую форму

Рассматриваются принципы построения систем обработки сигналов для современных многофункциональных радиолокационных станций (МРЛС). Статья обобщает опыт работы авторов в области цифровой обработки радиолокационных сигналов на протяжении последних десятилетий.

1. Введение

Цифровая обработка сигналов (ЦОС) является одной из наиболее быстро развивающихся областей техники, обеспечивающих общий прогресс радиолокации последних десятилетий [1,2,3].

Переход к многофункциональным РЛС диктует повышенные требования к многорежимности и универсальности используемых устройств обработки сигналов. В подобных МРЛС устройство обработки сигналов (УОС) обеспечивает прием и обработку в реальном масштабе времени радиолокационных сигналов, отраженных от целей, и предназначено для обеспечения следующих основных режимов работы МРЛС:

- обнаружение целей;
- сопровождение целей.

Место УОС в приемном тракте МРЛС демонстрирует *рис. 1*, на котором показана упрощенная блок-схема тракта. Принимаемый сигнал проходит антенное и высокочастотное приемное устройства, где происходит пространственная селекция, усиление сигнала и понижение несущей частоты сигнала до величин, удобных для дальнейшей обработки. Количество линий на выходе этих устройств соответствует количеству выходных каналов антенной системы (обычно 3...4). На *рис. 1* показаны для определенности три канала, соответствующие суммарному и двум разностным

каналам моноимпульсного радиолокатора. Будем также полагать, что антенна представляет собой двумерную фазированную антенную решетку, позволяющую каждое зондирование направлять луч в необходимую точку пространства.

УОС реализует все операции по частотно-временной обработке сигнала, которые можно реализовать в одном зондировании, а именно:

- оптимальную многоканальную частотно-временную фильтрацию сигналов;
- предварительное обнаружение полезных сигналов по результатам одного зондирования;
- измерение координат, соответствующих обнаруженным сигналам;
- вычисление сигналов ошибок по угловым координатам, дальности и скорости для сопровождаемых целей.

Результаты обработки передаются в вычислительный комплекс МРЛС, в задачи которого входит завязка трасс, сопровождение целей и управление всеми устройствами МРЛС. Обратная связь на *рис. 1* соответствует командам управления на все устройства, передаваемым перед каждым зондированием.

В данной работе рассматриваются методы построения устройства обработки сигналов, обеспечивающие выполнение перечисленных выше задач. Первая часть работы содержит описание общих принципов разработки устройства и соображения по реализации анало-

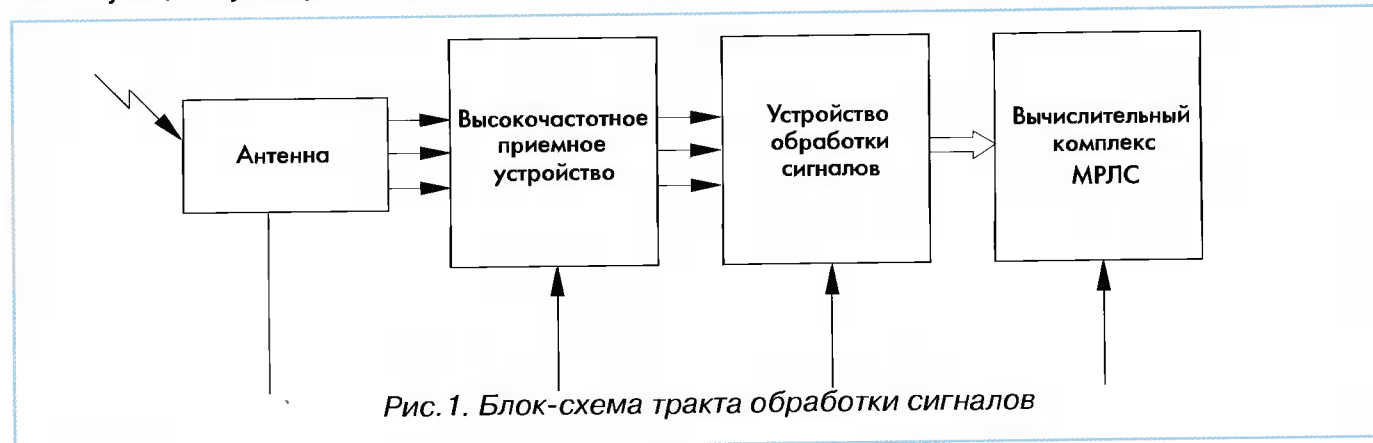
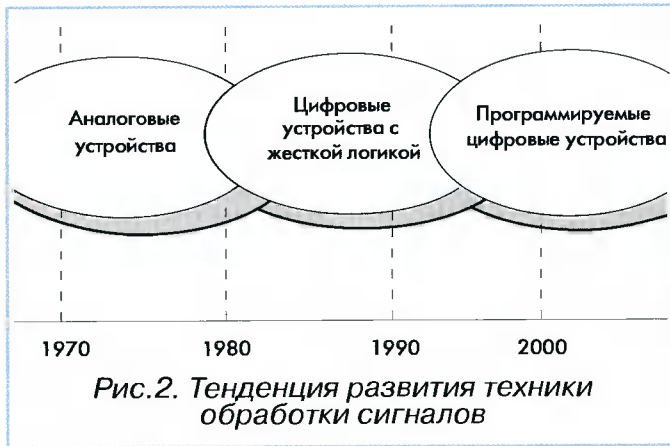


Рис. 1. Блок-схема тракта обработки сигналов



говой предварительной обработки. Во второй части будут рассмотрены алгоритмы цифровой обработки радиолокационных сигналов, а в третьей – вопросы построения программируемого процессора обработки сигналов.

2. Принципы разработки

Существует два основных альтернативных способа построения устройств обработки сигналов. Первый из них основан на преимущественном использовании аналоговой техники, второй – цифровых методов обработки. Тенденция развития техники обработки сигналов в течение последних десятилетий состоит в постепенном переходе от аналоговых методов к цифровым. Эта тенденция схематично изображена на рис. 2.

На рисунке показано, как цифровые методы сменяют аналоговые с течением времени. Первоначально подавляющее преимущество принадлежало аналоговым методам. В семидесятые годы началось использование цифровых методов обработки благодаря появлению, с одной стороны, основополагающих теоретических результатов по цифровым методам фильтрации и быстрому преобразованию Фурье, а с другой стороны, бурному развитию цифровой микроэлектроники. Сначала эти устройства строились как устройства с жесткой логикой работы [4], так как программируемые устройства оставались еще громоздкими. По мере развития микроэлектроники все более широкое использование находили программируемые процессоры обработки сигналов, и в настоящее время такой подход к разработке стал доминирующим.

В соответствии с указанной тенденцией в настоящей работе рассматривается устройство обработки сигналов на основе программируемого процессора обработки сигналов. Такой подход дает несомненные системные преимущества:

- стабильность характеристик во всем диапазоне условий эксплуатации;
- возможность адаптации к изменяющимся условиям работы;
- модернизация устройства за счет модификации программного обеспечения без изменения аппаратной части;
- снижение массы, габаритов и, как следствие, существенное повышение надежности;
- простота настройки аппаратуры;
- снижение цены по сравнению с аналоговым вариантом за счет большей технологичности и невысокой цены компонентов при массовом производстве.

Особенно следует подчеркнуть гибкость программируемого устройства обработки сигналов. Любая МРЛС является чрезвычайно сложной системой, требующей большого объема комплексных испытаний на заключительном этапе разработки. При этом важно обеспечить возможность изменения принятых ранее решений на стадии испытаний. Программируемая аппаратура в полной мере отвечает этим требованиям, так как позволяет вводить изменения путем модификации программного обеспечения без доработки аппаратной части устройства. Это открывает также широкие возможности для модернизации МРЛС в процессе эксплуатации и значительно продлевает жизненный цикл системы.

Устройство обработки сигналов на основе программируемого процессора состоит из двух взаимосвязанных частей (рис. 3): устройства усиления и преобразования сигналов и собственно программируемого процессора обработки сигналов (ППОС).

Основными функциями первого блока являются управляемое усиление, формирование полосы сигналов, обрабатываемых в цифровом виде, и аналого-цифровое преобразование сигналов. Следует подчеркнуть, что несмотря на то, что вся основная обработка производится в процессоре, первый блок является весьма важным узлом, определяющим мно-

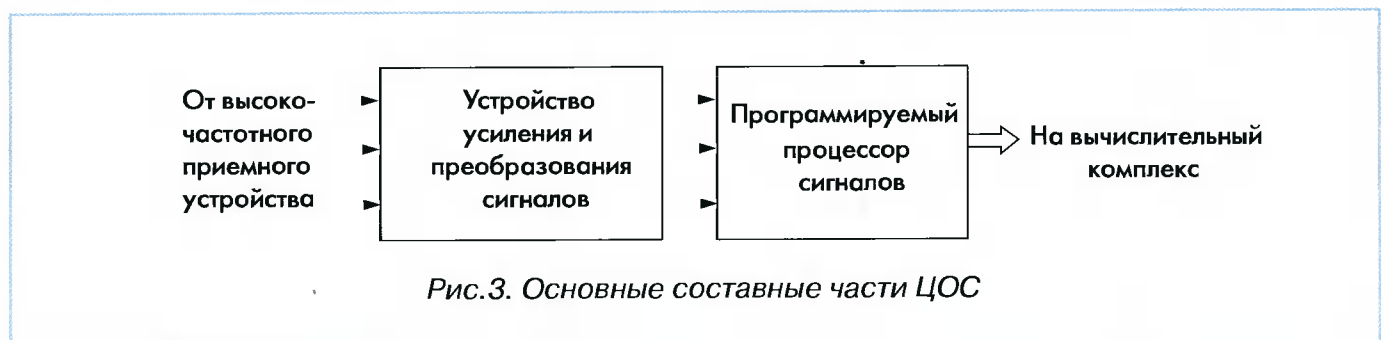


Таблица 1. Типовые сигналы

Сигнал	Длительность периода зондирования, мкс	Длительность импульса, мкс	Частота повторения импульсов, КГц	Полоса сигнала, МГц	Типовое использование
ЛЧМ1	1000	50	–	2	обзор при большом угле места
ФКМ1	1000	50	–	2	сопровождение при большом угле места
КН1	4000	0,5	100	2	обзор и сопровождение при малом угле места

гие важные характеристики устройства в целом, такие, как чувствительность, динамический диапазон, максимальная полоса частот обрабатываемых сигналов. Более того, на современном уровне развития техники именно эта часть аппаратуры ограничивает предельно достижимые характеристики УОС. С другой стороны, качество аналого-цифрового преобразования оказывает серьезное влияние на алгоритмы, используемые при дальнейшей цифровой обработке. Поэтому указанные два блока целесообразно проектировать совместно, оптимизируя характеристики всего устройства.

Следующий важный принцип разработки вытекает из многофункциональности МРЛС. Многообразие задач, выполняемых МРЛС, требует использования широкого набора зондирующих сигналов. Отсюда вытекает требование обеспечения возможности **обработки произвольных зондирующих сигналов**, в том числе и новых сигналов, вводимых на этапе испытаний. Программируемое цифровое устройство легко отвечает этому требованию, так как введение нового зондирующего сигнала требует лишь

добавления соответствующей подпрограммы его обработки.

Обсуждаемые в данной работе примеры относятся к проектированию гипотетической МРЛС, имеющей набор типовых сигналов, приведенных в табл.1. В нее включены импульсы с линейной частотной модуляцией ЛЧМ1 и фазокодовой манипуляцией ФКМ1, а также квазинепрерывный сигнал КН1 (или пачка импульсов) с высокой частотой повторения. Детальное обсуждение свойств этих сигналов может быть найдено в [1 – 3].

Следует заметить, что сигналы, подобные КН1, являются наиболее трудными для обработки. Это обусловлено тем, что малый период повторения импульсов (в данном случае 10 мкс) не позволяет ввести сколько-нибудь длительное бланкирование приемного тракта. При этом прием слабых сигналов приходится вести на фоне мощных отражений от близлежащих местных предметов и/или гидрометеоров, амплитуда отражений от которых может достигать величины 80...100 дБ над чувствительностью. Поэтому МРЛС, использующая подобные сигналы, предъявляет исключительно высокие требования к характеристикам УОС.

Из многообразия зондирующих сигналов вытекает еще один важный принцип: **обеспечение безынерционного переключения режимов работы** устройства, зондирующих сигналов, длительностей периодов зондирования и других параметров без специальных затрат времени на переключение. Это требование реализуется путем организации специальным образом конвейеров по обработке сигналов и по управлению устройством обработки и обеспечивает полное использование имеющегося потенциала радиолокатора.

Рис. 4 иллюстрирует типичную временную диаграмму работы МРЛС при выполнении этого условия. Различные такты зондирования непрерывно следуют друг за другом. При этом

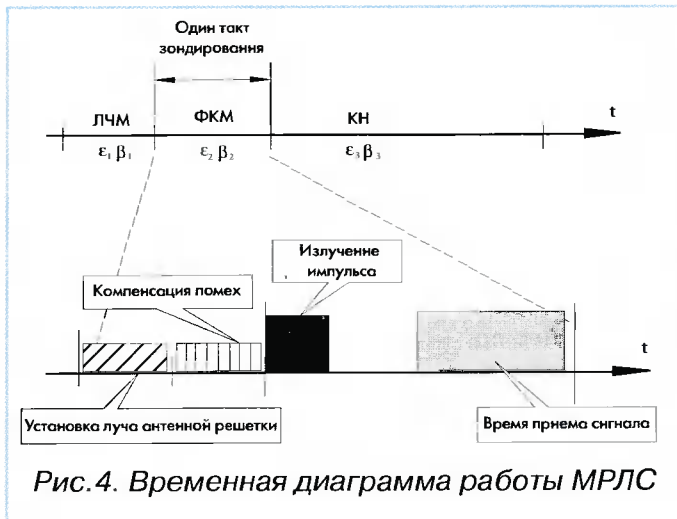


Рис. 4. Временная диаграмма работы МРЛС



фазированная антенная решетка обеспечивает в каждом такте установку луча в нужном направлении с углами ϵ , β . На рис. 4 для примера первый такт относится к обзору пространства при большом угле места с помощью сигнала с линейной частотной модуляцией (ЛЧМ-сигнал), второй такт реализует сопровождение цели с помощью фазокодоманипулированного сигнала (ФКМ-сигнал), третий – обзор при низком угле места с помощью квазинепрерывного сигнала, или пачки импульсов (КН-сигнал). Длительности тактов, как и другие параметры, могут существенно отличаться и определяются физикой работы радиолокатора без выделения специального времени на перестройку режима. Существенно отличаются также задачи УОС в каждом такте зондирования. Команды на выполнение того или иного режима поступают от вычислительного комплекса до начала этого такта. Подготовка к данному режиму проводится на фоне предыдущего зондирования. На нижней диаграмме рис. 4 более детально показан второй такт работы. Он содержит интервалы установки луча фазированной антенной решеткой, компенсации помех, излучения ФКМ-импульса и приема отраженного сигнала.

Важным параметром устройства обработки сигналов является также время задержки получения результатов обработки после приема сигнала. Даже при фиксированной производительности ППОС эта задержка может существенно зависеть от архитектуры устройства и способа организации вычислений. Между тем для успешного выполнения ряда радиолокационных задач время задержки должно быть минимально возможным. Это позволяет уменьшить время реакции системы на изменение окружающей обстановки, в частности, повысить темп обращения к сопровождаемой цели для обеспечения устойчивого сопровождения высокоскоростных маневрирующих целей. Поэтому при разработке УОС целесообразно придерживаться **принципа минимизации задержки**, хотя это несколько усложняет реализацию аппаратуры.

Ключевым вопросом для обеспечения высоких характеристик устройства обработки

сигналов является **выбор элементной базы**. Здесь возможны два подхода. При первом из них используются серийно производимые и хорошо зарекомендовавшие себя компоненты. При этом снимаются проблемы освоения новых элементов и может быть ускорен процесс разработки аппаратуры. Однако наилучшие возможные характеристики устройства могут быть получены при использовании новейшей, только что разработанной элементной базы. Такой подход является более прогрессивным, хотя и более трудоемким. Это тем более важно, что процесс разработки системы является весьма длительным и необходимо обеспечить передовой уровень техники на много лет вперед. В связи с этим в приводимых ниже примерах используются новейшие компоненты, имеющиеся на мировом рынке. Это относится, в первую очередь, к процессорам цифровой обработки сигналов и аналого-цифровым преобразователям, технология производства которых прогрессирует весьма быстро.

Перечисленные принципы разработки не претендуют на бесспорность и являются весьма простыми, однако они дают основополагающие правила, которыми руководствовались авторы в данной работе при рассмотрении различных вариантов построения устройства.

3. Выбор метода построения устройства усиления и преобразования сигналов

Основной задачей устройства усиления и преобразования сигналов является преобразование аналоговых сигналов в цифровую форму; остальные функции этого устройства так или иначе связаны с обеспечением основной. Рассмотрим возможные методы построения этого устройства.

Классическая схема преобразования сигнала из аналоговой формы в цифровую использует преобразование на видеочастоте в квадратурных каналах для исключения слепых фаз [5,6,7] (рис.5). Использование квадратурных каналов позволяет вдвое снизить требования к частоте дискретизации, предъявляемые тео-

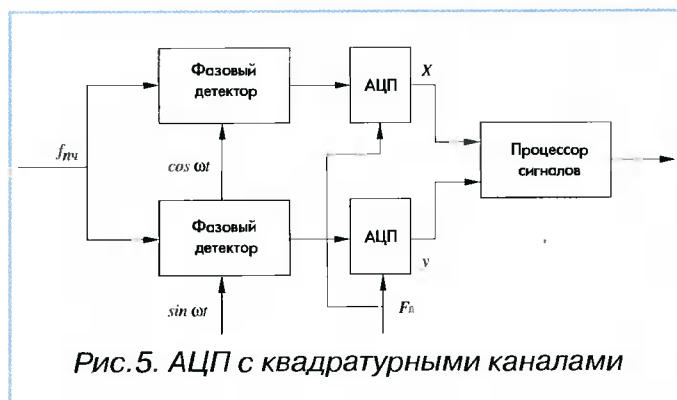


Рис.5. АЦП с квадратурными каналами



Рис.6. АЦП с коррекцией разбаланса квадратурных каналов

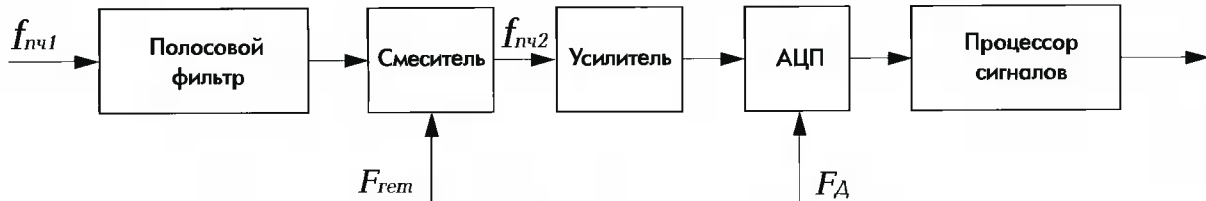


Рис. 7. Одноканальный АЦП

ремой Котельникова. При этом неизбежные амплитудно-фазовые разбалансы квадратурных каналов приводят к появлению паразитных зеркальных гармоник в спектре сигнала, ограничивающих реализуемые значения динамического диапазона тракта приемного устройства по отношению к паразитным гармоникам величиной порядка 30 дБ.

Известны аналого-цифровые преобразователи (АЦП) с коррекцией разбаланса квадратурных каналов в цифровом виде [6,7] (рис. 6). Эти схемы АЦП эффективны лишь для узкополосных сигналов, ограничивая динамический диапазон для широкополосных сигналов величиной порядка 40 дБ.

Требования к динамическому диапазону устройств обработки сигналов в МРЛС существенно выше и составляют величину порядка 80...100 дБ при использовании сигналов типа КН1 (раздел 2). При столь высоких требованиях практически единственным вариантом преобразования сигнала в цифровую форму является одноканальный АЦП на некоторой промежуточной частоте [7,8] (рис. 7). Бесквадратурная схема используется нами на протяжении более двух десятилетий и хорошо себя зарекомендовала. При этом частота дискретизации повышается вдвое по сравнению с вариантом АЦП с квадратурными каналами, однако проблем с разбалансом каналов в этом случае не возникает.

Одноканальную схему целесообразно принять за основу при проектировании устройства усиления и преобразования сигналов. На рис. 7 показаны принципиальные узлы, необходимые для преобразования сигнала в цифровую форму.

Первым таким узлом является полосовой фильтр, ограничивающий полосу частот, обрабатываемых в цифровом виде. Следующим узлом является смеситель, являющийся аналогом фазового детектора в схеме с квадратурными каналами. В смесителе промежуточная частота сигнала $f_{пч1}$ понижается до некоторого ненулевого значения $f_{пч2}$, выбранного, исходя из возможностей современных АЦП, и связанного с частотой дискретизации описываемыми ниже соотношениями. Если необходимые соотношения удовлетворяются уже для входной промежуточной частоты, то рассматриваемый смеситель может быть исключен из схемы. К такому исключению, вообще говоря, следует стремиться, так как смеси-

тель является нелинейным элементом, порождающим паразитные спектральные составляющие, с которыми необходимо бороться. Третий элемент схемы рис. 7 – усилитель – необходим для обеспечения достаточного уровня сигнала для работы АЦП.

Рассмотрим подробнее перечисленные узлы.

4. Фильтр предварительной селекции

Полосовой фильтр используется для формирования полосы частот сигналов, обрабатываемых в цифровой части УОС, и необходим для выполнения условий теоремы Котельникова. Для типичных значений промежуточных частот, составляющих несколько десятков мегагерц, в качестве полосового фильтра целесообразно использовать монолитный акустоэлектронный пьезоэлектрический фильтр на поверхностных акустических волнах (ПАВ-фильтр). Для указанных частот ПАВ-фильтр предпочтителен по своим характеристикам по сравнению с фильтрами на объемных акустических волнах, в частности, выгодно отличается от последних высокой линейностью фазочастотной характеристики, что важно в режимах сопровождения целей по угловым координатам моноимпульсным методом.

Амплитудно-частотная характеристика (АЧХ) этого фильтра характеризуется следующими основными параметрами:

$\Delta F(-3\text{дБ})$ – ширина полосы пропускания по уровню минус 3 дБ;

$\Delta F(G)$ – ширина полосы пропускания по уровню подавления G ;

G – уровень подавления в полосе задерживания;

$K_n = \Delta F(G)/\Delta F(-3\text{дБ})$ – коэффициент прямоугольности, определяемый как соотношение соответствующих полос.

Полоса пропускания выбирается не менее максимальной из полос принимаемых сигналов. Для радиолокационных применений эта величина соответствует максимальной полосе зондирующих сигналов $\Delta F_{\text{макс}}$ с учетом максимального доплеровского смещения $f_{D \text{ макс}}$:

$$\Delta F(-3\text{дБ}) \geq \Delta F_{\text{макс}} + 2f_{D \text{ макс}} \quad (1)$$

Для типичной МРЛС величина $\Delta F_{\text{макс}}$ лежит в диапазоне 2 – 3 МГц, а максимальное доплеровское смещение для X – диапазона частот –

порядка 200 кГц. При этом минимально возможная полоса составляет 2,4 – 3,4 МГц.

Указанное минимальное значение полосы $\Delta F(-3 \text{ дБ})=2,4 \text{ МГц}$ может быть использовано для импульсных сигналов ЛЧМ1 и ФЧМ1 из табл. 1. Что касается сигнала КН1, то во многих практических ситуациях полосу пропускания целесообразно увеличить в 2 – 3 раза по сравнению с минимально возможной, чтобы переходный процесс в фильтре не затягивал фронты мощных отражений в соседние каналы по дальности. В этом случае полоса пропускания фильтра будет лежать в диапазоне 4,8...10 МГц.

Кроме ограничений на полосу пропускания, от ПАВ-фильтра требуется высокая прямоугольность. Минимизация коэффициента прямоугольности в соответствии с теоремой Котельникова позволяет снизить частоту дискретизации и соответственно требования к производительности ППОС. Вместе с тем уменьшение коэффициента прямоугольности достигается за счет увеличения порядка фильтра, что приводит к недопустимому росту длительности переходного процесса и вносимого затухания. Поэтому расчет фильтра должен предусматривать минимизацию длительности его импульсной характеристики при заданных ограничениях на величину коэффициента прямоугольности. Компромиссным является значение коэффициента прямоугольности в диапазоне 2...3.

Типичные значения уровня подавления в полосе задерживания для радиолокационных применений лежат в диапазоне (40...60) дБ. Более подробно этот вопрос обсуждается в следующем разделе.

Увеличение полосы пропускания фильтра по сравнению с минимально необходимой, упомянутое выше для квазинепрерывных сигналов, полезно также с другой точки зрения. Оно позволяет в полосе обработки получить лучшие характеристики фильтра: более равномерную амплитудно-частотную и более линейную фазочастотную характеристику. С другой стороны, более широкая полоса в соответствии с теоремой Котельникова приводит к увеличению частоты дискретизации, в связи с чем такой способ работы называется передискретизацией. При этом сразу после

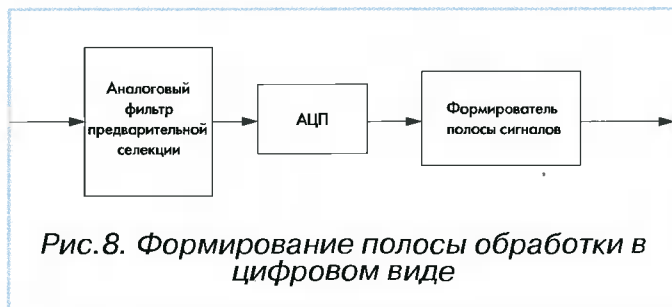


Рис. 8. Формирование полосы обработки в цифровом виде

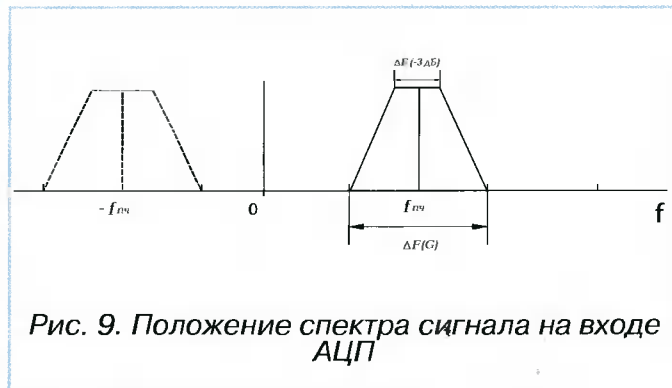


Рис. 9. Положение спектра сигнала на входе АЦП

АЦП полосу обработки целесообразно уменьшить до необходимой величины с помощью цифрового полосового фильтра, чтобы не увеличивать объем информации, поступающей на последующую обработку. Одновременно удобно перенести обрабатываемую полосу в область нулевых частот и после фильтра произвести прореживание выборок сигнала в необходимое число раз. При этом после АЦП появляется цифровой формирователь полосы сигналов (ФПС), содержащий последовательно включенные цифровой гетеродин и фильтр низких частот с прореживанием выходных выборок. На его выходе появляются комплексные выборки с пониженной частотой. С точки зрения дальнейшей обработки в программируемом процессоре сигналов ФПС удобно рассматривать как часть АЦП. Цифровая реализация фильтра, формирующего полосу, дает возможность легко перестраивать его параметры от зондирования к зондированию и тем самым повысить характеристики устройства в целом.

Схема формирования полосы обработки при использовании передискретизации показана на рис. 8. В этой схеме аналоговый фильтр является предварительным и необходим лишь для выполнения условий теоремы Котельникова, а основным фильтром, формирующим полосу обработки, является цифровой фильтр. Такой способ формирования полосы в настоящее время широко используется в радиовещательных и связанных приемниках.

5. Выбор частотных соотношений

Для одноканальной схемы аналого-цифрового преобразования сигнал является действительным, и, следовательно, его спектр $S(f)$ обладает свойством комплексной сопряженности: $S(-f)=S^*(f)$, т.е. для любой его гармоники с частотой f имеется гармоника такой же амплитуды с частотой минус f . При этом полосовой фильтр вырезает из спектра сигнала две зеркально-симметричные области частот в положительной и отрицательной частях спектра (рис. 9). Комплексно-сопряженная часть спектра здесь и далее показана пунктиром. Ос-



Рис. 10. Положение спектра сигнала после АЦП

тальные части спектра подавлены полосовым фильтром.

Дискретизация по времени с частотой F_D приводит к хорошо известному явлению наложения спектра, при котором спектр $S_D(f)$ сигнала после дискретизации связан со спектром $S(f)$ сигнала до дискретизации следующим соотношением

$$S_D(f) = \sum_{m=-\infty}^{\infty} S(f+mF_D). \quad (2)$$

Таким образом, частоты входного сигнала, отличающиеся между собой на величину, кратную F_D , после дискретизации неразличимы. Поэтому спектр имеет смысл рассматривать лишь на одном из отрезков вида $[mF_D, (m+1)F_D]$, где m – целое число, например, на отрезке $[0, F_D]$.

При дискретизации комплексно-сопряженная часть спектра может накладываться на основную, и для обеспечения возможности дальнейшей обработки сигнала без искажений необходимо, чтобы в обрабатываемой области спектра наложений не было. Предположим, что интересующая область спектра соответствует полосе пропускания фильтра $\Delta F(-3 \text{ дБ})$. При этом из простых геометрических соображений следуют необходимые соотношения для частоты дискретизации F_D и промежуточной частоты.

Оценка снизу для возможной частоты дискретизации принимает вид:

$$F_D \geq (K_n + 1) \Delta F(-3 \text{ дБ}), \quad (3)$$

где K_n – коэффициент прямоугольности фильтра.

Равенство в выражении (3) соответствует приведенному на рис. 10 расположению на частотной оси прямой и комплексно-сопряженной частей спектра. Темным цветом на рисунке отмечена часть спектра, обрабатываемая в цифровом виде.

Промежуточная частота не может быть выбрана произвольной. Например, легко видеть, что при $f_{пч} = F_D/2$ рассматриваемые части спектра полностью накладываются друг на друга и происходит искажение сигнала. Поэтому промежуточная частота $f_{пч}$ должна быть такой, чтобы прямая и комплексно-сопряженная части спектра не перекрывались в области частот, представляющих интерес при обработке. Нетрудно показать, что наибольший раз-

нос по частотной оси рассматриваемых составляющих спектра происходит при выборе промежуточной частоты в центре первой или второй половины одного из отрезков частот вида $[mF_D, (m+1)F_D]$ [5]

$$f_{пч} = \frac{(2m+1)F_D}{4}, \quad (4)$$

где m – произвольное целое число, ограниченное частотными возможностями АЦП. Если частота дискретизации больше минимально необходимой величины, определяемой правой частью выражения (4), то значение $f_{пч}$ можно несколько варьировать вокруг положения (4) так, чтобы скаты фильтра (рис. 10) не попадали в обрабатываемую область.

Формулы (3) и (4) определяют необходимые соотношения для выбора частот F_D и $f_{пч}$. Например, для сигналов табл. 1 при $\Delta F(-3 \text{ дБ}) = 2,4$ МГц из (3) при $K_n = 3$ имеем $F_D \geq 9,6$ МГц. Выберем $F_D = 10$ МГц. Тогда из (4) имеем $f_{пч} = (2m+1) 2,5$ МГц, например, можно выбрать $f_{пч} = 7,5$ МГц или $f_{пч} = 32,5$ МГц.

Теорема о наложении спектра при дискретизации (2) позволяет сформулировать требования к уровню АЧХ-фильтра предварительной селекции в полосе задерживания. Уровень спектральных составляющих, попадающих в область обработки (серый прямоугольник на рис. 9), должен быть таким, чтобы после оптимальной фильтрации они не приводили к сколько-нибудь заметному увеличению уровня боковых лепестков функции взаимной неопределенности. Это условие, очевидно, будет выполняться, если величина подавления соответствует уровню боковых лепестков или больше. Для импульсных сигналов значение последнего обычно лежит в диапазоне 20 – 40 дБ; таким образом, величину подавления фильтра достаточно выбрать в диапазоне $G = 40 \dots 50$ дБ.

Совершенно иное положение имеет место при обработке квазинепрерывных сигналов с высокой частотой повторения (типа сигнала КН1). В этом случае спектр сигнала с прямоугольными импульсами имеет вид

$$S(f) = \frac{\sin \pi f \tau_{имп}}{\pi f \tau_{имп}} \cdot \frac{\sin \pi N f t_n}{N \sin \pi f t_n},$$

где $\tau_{имп}$ – длительность импульса, t_n – период повторения импульсов, N – количество импульсов в сигнале. Такой же спектр имеют отражения от местных предметов, достигающие уровня $A = 80 \dots 100$ дБ над чувствительностью устройства. Этот спектр имеет периодическую структуру повторяющихся лепестков с периодом частоты повторения f_n . Лепестки этого спектра спадают весьма медленно, и уровень спектральных составляющих, накладываемых в обрабатываемую область, имеет порядок $R \approx A - G - 20$. Отсюда следует необходимый уровень подавления $G \geq A - 20 \approx 60 \dots 80$ дБ. Реализа-



Таблица 2. Характеристики СБИС АЦП

Тип СБИС АЦП	Разрядность	Частота дискретизации, МГц	диапазон		Частота для измерения динамического диапазона, МГц
			по шумам, дБ	по гармоникам, дБ	
AD9042	12	41	68	81	9,6
AD6640	12	65	67	79	32,4
AD9432	12	100	67	80	30
AD9240	14	10	78,5	90	1,0
AD9260	16	2,5	89,5	100	0,1

ция уровня подавления 70...80 дБ на одной частоте проблематична, а выполнение фильтрации на двух частотах приводит к резкому усложнению усилительного тракта.

Проанализируем другую возможность обеспечения требуемого уровня подавления, связанную с тем, что области основных лепестков рассматриваемого спектра помех являются нерабочими, так как заняты мощными отражениями с нулевой доплеровской частотой. Если соотношения между частотами $f_{пч}$, $f_{оп}$ и F_d выбрать таким образом, чтобы при дискретизации накладываемые компоненты совпали с основными лепестками в области обрабатываемых частот, то подавление в фильтре можно не увеличивать по сравнению с импульсными сигналами.

Заметим, что для обеспечения полной когерентности в МРЛС обычно все используемые частоты формируются из одной опорной частоты $f_{оп}$. Положим, в частности, что все частоты повторения квазинепрерывных сигналов, используемые в МРЛС, получаются делением опорной частоты: $f_n = f_{оп}/n$, где n – целое число. Тогда с учетом (4) нетрудно получить, что для обеспечения необходимого порядка наложения для любого коэффициента деления необходимо и достаточно выполнение следующих условий

$$F_d = 4k f_{оп}, f_{пч} = (2l+1) f_{оп}, \quad (5)$$

где k и l – произвольные целые числа.

Рассмотрим пример. Пусть $f_{оп} = 10$ МГц. Тогда согласно (5) можно положить $F_d = 40$ МГц, $f_{пч} = 30$ МГц. Заметим, что для сигналов табл. 1 выбранная частота дискретизации существенно выше минимально возможной 8...10 МГц (см. пример на предыдущей странице). Это позволяет использовать метод передискретизации, описанный в п. 4 (рис. 8). В этом случае цифровой узел после АЦП формирует необходимую полосу с прореживанием выборок в четыре раза до величины $F_d = 10$ МГц. При рассмотрении дальнейшей обработки в программируемом процессоре формирователь поло-

сы сигналов будем рассматривать как часть АЦП. При этом на вход процессора поступают комплексные выборки сигнала с частотой дискретизации $F_d = 10$ МГц.

Заметим также, что при выборе F_d и $f_{пч}$ в соответствии с соотношениями (5) обеспечивается еще одно свойство, полезное при обработке квазинепрерывных сигналов: все гармоники основных лепестков спектра накладываются на основные же лепестки, что несколько ослабляет требования к линейности тракта.

6. Аналого-цифровой преобразователь

Аналого-цифровой преобразователь является наиболее критичным узлом устройства усиления и преобразования сигналов, ограничивающим как частотные, так и динамические характеристики устройства в целом. Современное состояние техники АЦП иллюстрируется табл. 2, где приведены характеристики лучших интегральных схем АЦП, имеющих в настоящее время на мировом рынке.

Помимо разрядности и максимальной частоты дискретизации в таблице приведены динамический диапазон по собственным шумам и динамический диапазон по паразитным спектральным составляющим (или по гармоникам), являющиеся основными параметрами АЦП для рассматриваемых применений. Смысл этих параметров следует из названия, а точные определения могут быть найдены на сайте фирмы-производителя: www.analogdevices.com.

Из таблицы следует, что в необходимом интервале частот дискретизации и промежуточных частот могут использоваться серийно производимые 12-разрядные АЦП. Например, для рассмотренного в конце предыдущего раздела примера ($F_d = 40$ МГц, $f_{пч} = 30$ МГц) можно использовать АЦП AD6640. При этом динамический диапазон по шумам составляет около 70 дБ, а по гармоникам – около 80 дБ. При типовых коэффициентах фильтрации цифровой части (20 – 30 дБ) это дает возможность получить динамический диапазон по шумам всего



Рис. 11. Блок-схема канала усиления и преобразования сигнала

устройства порядка 90 дБ, что вполне достаточно для большинства применений.

Что касается динамического диапазона по гармоникам, то он не улучшается при цифровой обработке и остается на уровне 80 дБ. Для обработки импульсных сигналов это вполне приемлемо. Однако для квазинепрерывных сигналов эта величина лежит на нижней границе допустимых значений. Дальнейшее ее увеличение связано с разработкой новых 14- и 16-разрядных АЦП с необходимыми частотными свойствами. Ведущие фирмы – производители АЦП уже объявили о работах в этой области, и через два-три года приведенные выше параметры СБИС будут существенно улучшены.

Перевод аналогового сигнала в цифровую форму сопровождается энергетическими потерями p в отношении сигнал/шум. Можно показать, что если среднеквадратическое значение внешнего входного шума $\sigma_{вх}$ больше половины шага квантования h , то потери p могут быть вычислены по формуле,

$$p = 10 \lg \left[1 + \frac{k}{\left(\frac{\sigma_{вх}}{h} \right)^2} \right], \quad (6)$$

где коэффициент k вычисляется, исходя из паспортного значения динамического диапазона $D_{ш}$ АЦП по шумам

$$k \approx \left[\frac{2^{r-1}}{10^{\frac{D_{ш}}{20}}} \right]^2. \quad (7)$$

При $\sigma_{вх} < h$ потери резко растут с уменьшением $\sigma_{вх}$. С другой стороны, увеличение $\sigma_{вх}$ снижает динамический диапазон. Компромиссным является значение $\sigma_{вх}/h$ в диапазоне 1...2. Например, для АЦП AD6640 отношение $\sigma_{вх}/h = 1,5$ обеспечивает достаточную степень линеаризации амплитудной характеристики АЦП, которой соответствует значение потерь $p = 0,9$ дБ.

В процессе эксплуатации целесообразно поддерживать отношение $\sigma_{вх}/h$ на входе АЦП на фиксированном оптимальном уровне. Это может быть достигнуто специальной автоматической регулировкой усиления, описываемой в следующем разделе.

7. Регулировка усиления

Регулировка усиления в устройстве усиления и преобразования сигналов (рис. 7) выполняет следующие функции:

- поддержание отношения $\sigma_{вх}/h$ на фиксированном оптимальном уровне;
- предотвращение ограничения в тракте.

Необходимость первой регулировки (шумовая автоматическая регулировка усиления – ШАРУ) обоснована в предыдущем разделе. Она может быть реализована следующим образом. Во временной диаграмме МРЛС (рис. 4) периодически (например, один раз за несколько минут) выделяются специальные такты для рассматриваемой подстройки. В таком такте излучение МРЛС не производится, и тракт обработки сигналов работает по собственным шумам. При этом процессор сигналов оценивает значение отношения $\sigma_{вх}/h$ по выходным кодам АЦП и рассчитывает необходимое изменение коэффициента усиления.

Вторая регулировка обусловлена тем, что для нормального функционирования устройства сигнал должен находиться в пределах линейной части амплитудной характеристики (в пределах динамического диапазона по шумам). Если это условие не удовлетворяется, то происходит ограничение сигнала, как правило, в АЦП, что порождает большое количество паразитных спектральных составляющих, искажающих сигнал и вызывающих ложные тревоги. Как правило, ограничение связано с мощными отражениями от подстилающей поверхности, местных предметов и гидрометеоров.



Для ликвидации ограничения необходимо понизить усиление тракта, хотя это и приводит к соответствующему снижению чувствительности. Понижение усиления может быть реализовано следующими способами. Во-первых, МРЛС может осуществлять мониторинг карты пассивных помех. При наличии такой карты вычислительный комплекс (ВК) МРЛС передает на устройство обработки сигналов для каждого такта зондирования код аттенюации усиления, обеспечивающий линейность тракта.

Во-вторых, для квазинепрерывных сигналов подстройка усиления может производиться в начале такта зондирования. При этом команда на понижение усиления вырабатывается специальной схемой на выходе АЦП по результатам анализа выходных кодов за период повторения импульсов. Указанная процедура циклически повторяется на протяжении нескольких первых периодов повторения (мгновенная автоматическая регулировка усиления – МАРУ).

И наконец, положение может существенно улучшить ограничитель перед фильтром предварительной селекции. При этом уровень ограничения должен соответствовать уровню ограничения в АЦП. Перенос ограничения в точку тракта до фильтра позволяет отсеleccionировать возникающие гармоники с помощью фильтра и существенно снизить их отрицательное влияние.

На рис. 11 приведена блок-схема одного канала устройства усиления и преобразования сигналов, использующая все описанные выше регулировки. Блок-схема изображена для случая, когда входная промежуточная частота удовлетворяет необходимым требованиям для работы АЦП, а в АЦП используется техника передискретизации с формированием полосы обработки на выходе. Блок “логика управления усилением” в каждом такте работы реализует установку необходимого коэффициента усиления по результатам работы датчиков систем ШАРУ, МАРУ и карты помех.

8. Заключение

1. Основные принципы разработки, которых придерживаются авторы при создании устройств обработки сигналов для современных МРЛС, состоят в следующем:

- реализация всех алгоритмов обработки в цифровом виде;
- обеспечение обработки произвольных видов зондирующих сигналов;
- обеспечение безынерционного переключения режимов работы, зондирующих сигналов, длительностей периодов зондирования и других параметров обработки в каждом зондировании;

- минимизации задержки в получении результатов каждого зондирования;

- использовании новейшей элементной базы.

2. Современное состояние элементной базы позволяет обеспечить аналого-цифровое преобразование обрабатываемых сигналов практически для всех режимов работы МРЛС с возложением всех основных алгоритмов обработки на ППОС.

3. При построении устройства усиления и преобразования сигналов целесообразно использовать следующие технические решения:

- преобразование сигнала в цифровую форму по одноканальной схеме на некоторой промежуточной частоте без использования квадратурных каналов;
- расширение полосы фильтра предварительной селекции по сравнению с минимально необходимой; использование передискретизации с формированием полосы обработки после АЦП;
- стабилизацию на входе АЦП среднеквадратического значения собственных шумов приемного тракта с помощью ШАРУ;
- использование различных методов управления коэффициентом усиления для поддержания максимального сигнала в пределах линейной части амплитудной характеристики устройства.

Литература

1. Skolnic M. I., ed. Radar Handbook, McGraw-Hill, 1990.
2. Nathanson F.E., Radar Design Principles, McGraw-Hill, 1991.
3. Barton D. K., Modern Radar System Analysis, Artech House, 1988.
4. Берсенев В.А., Зайцев Г.В., Цыпин И.Б. Цифровой когерентный приемник. Труды Радиотехнического института АН СССР, 1980, вып. 47, с.68 – 83.
5. Жодзишский М.И. Цифровые радиоприемные системы. М.: Сов. радио, 1990.
6. Высоцкий Б.Ф. Цифровые фильтры и устройства обработки сигналов на интегральных микросхемах. М.: Радио и связь, 1984.
7. Побережский Е.С. Цифровые радиоприемные устройства. М.: Радио и связь, 1987.
8. Зайцев Г.В., Цыпин И.Б. Методы построения цифровых спектроанализаторов, устраняющих влияние разбалансов квадратурных каналов АЦП. Вопросы специальной радиоэлектроники, сер. “Радиолокационная техника”, 1980, вып. 9, с.33 – 45.
9. Зайцев Г.В. Бесквадратурная цифровая обработка радиолокационных сигналов. Вопросы специальной радиоэлектроники, сер. “Радиолокационная техника”, 1988, вып. 15, с.38 – 59.

АДАПТИВНАЯ ОБРАБОТКА РАДИОЛОКАЦИОННЫХ СИГНАЛОВ НА БАЗЕ ПРОЦЕССОРА БПФ

Рассмотрены алгоритмы цифровой обработки сигналов, используемые в современных радиолокационных системах. Показано, что развитие теоретической базы этих алгоритмов определяется необходимостью повышения вычислительной эффективности обработки на базе систолических структур и сигнальных процессоров.

Несмотря на активное освоение новых диапазонов электромагнитных волн для излучения и приема сигналов, соответствующих им методов обработки и интерпретации результатов наблюдений, радиолокационные средства обнаружения в ближайшем будущем останутся основным универсальным всепогодным источником информации об окружающей обстановке для различных систем гражданского и военного применения [1]. Задачи, решаемые современными радиолокационными станциями (РЛС), системами и комплексами, определяются их назначением и исключительно многообразны. Не касаясь классификации РЛС по назначению, используемому диапазону радиоволн и характеристикам, выделим основные задачи, решаемые цифровыми методами в РЛС различного назначения:

Проектирование РЛС также сопровождается широким применением методов ЦОС для анализа результатов экспериментов, имитационного моделирования радиолокационной обстановки, оптимизации и настройки алгоритмов работы отдельных блоков и РЛС в целом. Актуальна задача разработки аппаратуры сервисного обслуживания и ремонта РЛС, т.к. возможности сервисной аппаратуры во многом определяют эксплуатационные расходы РЛС и существенно влияют на ее конкурентоспособность.

Основы математической теории для решения радиолокационных задач разработаны в предыдущие десятилетия. В настоящее время успешно реализуется этап ее детализации в конкретных приложениях, а с практической точки зрения завершается переход к цифровым методам на базе современных технологий, прежде всего DSP, FPGA. Основные проблемы, решаемые разработчиками аппаратуры приема и обработки радиолокационных сигналов, связаны со сложностью и требуемой высокой точностью реализации в реальном времени таких математических алгоритмов, как обращение матриц, решение систем линейных уравнений, разложение сигналов по базисным функциям. Достижения теории в области пространственно-временной обработки сигналов по критериям среднего квадрата ошибки (СКО) фильтрации, максимума энтропии (МЭ), минимума дисперсии (МД), максимума вероятности правильного обнаружения и другим позволяют опти-

мизировать алгоритмы первичной и вторичной обработки радиолокационных сигналов в динамично изменяющейся помеховой обстановке.

Целевые функции задач синтеза устройств ЦОС и соответствующие им критерии синтеза можно разделить на следующие группы: частотные, энергетические, вероятностные и комбинированные технико-экономические. Между ними существует глубокая и не всегда очевидная взаимосвязь. Применение того или иного критерия определяется многими факторами: характером задачи, степенью априорной неопределенности параметров, ресурсами, глубиной разработки соответствующего программного и аппаратного обеспечения вычислений, опытом и интуицией проектировщика. Охарактеризуем кратко данные критерии.

1. Частотный критерий используется в задачах синтеза цифровых фильтров в частотной области и оперирует частотными параметрами этих фильтров.

2. Энергетический критерий связан с максимизацией выигрыша в отношении сигнал – шум, сигнал – помеха или сигнал – (помеха + шум).

3. Модифицированный энергетический использует дополнительные ограничения, например критерий максимума выигрыша в отношении сигнал – помеха при заданном отношении сигнал – шум или минимум дисперсии шума (метод МДШ).

4. Критерий максимума отношения правдоподобия (МОП).

5. Вероятностный критерий, являющийся альтернативным по отношению к энергетическому. Он, как и предыдущий МОП-критерий, оперирует вероятностными характеристиками. Поэтому его целесообразно использовать в задачах синтеза цифровых обнаружителей радиолокационных сигналов.

6. Критерий минимума среднеквадратической ошибки фильтрации (МСКО), оперирующий с мощностью разностного сигнала между результатом фильтрации обрабатываемого процесса и ожидаемым сигналом. Данный критерий удобен при синтезе имитационных моделей радиолокационной обстановки.

7. Комбинированный технико-экономический критерий, объединяет один из критериев 1 – 6



Таблица 1

Техническая задача	Теоретическая база алгоритмов обработки и характер вычислительных операций	Тактовая частота или число операций умножения или поток обрабатываемых данных	Примеры реализации. Элементная база
Цифровое формирование банка радиосигналов	Теория синтеза сигналов	100-и МГц	ADMDAC214x125MI ADMDDS9854
Управление сканированием и режимами излучения, включая оперативную калибровку излучателей фазированных антенных решеток (ФАР)	Методы обзора пространства и поиска целей, критерий Вальда	Невысокие требования	DSP, FPGA
Адаптивное подавление боковых лепестков ФАР и пространственная селекция	Адаптивная пространственно-временной обработки сигналов Обращение матриц, градиентные и другие методы адаптации	N^3	DSP, FPGA
Синтезирование апертуры антенны и картографирование местности	Диаграммообразование. Обращение матриц. Решение систем уравнений	$N^2 + N^3$	DSP, FPGA
Цифровой прием сигналов и фазовое детектирование	Теория демодуляции сигналов. Децимация, фильтрация высокочастотных составляющих	15...80 МГц	ADMDDCxxxx
Внутрипериодная обработка отраженных сигналов, процедуры сжатия сложного сигнала и подавление его боковых лепестков	Теория согласованной фильтрации, быстрые алгоритмы вычисления свертка, процедура снижения боковых лепестков	(20...75) Мб/с	ADP60...ADP6000 И сменные submodule ADM212x10M... ADM212x100M
Когерентная межпериодная адаптивная обработка, в частности режекция помех и многоканальная доплеровская фильтрация	Оптимальная и подоптимальная фильтрация, БПФ	(10...40) Мб/с	ADSP21062, ADSP21160, TMS320C6701, Xilinx XCV600 + внешнее RAM
Адаптивное пороговое обнаружение сигналов	Теория статистических решений. Адаптивное вычисление порогов обнаружения	(1...10) Мб/с	FPGA, DSP
Измерение координат лоцируемых объектов	Теория измерений стохастических сигналов, теория многоканального оценивания	(1...10) Мб/с	FPGA, DSP
Вторичная обработка сигналов (траекторные измерения, сопровождение)	Вторичная обработка	(1...10) Мб/с	FPGA, DSP
Аппаратное и программное имитационное моделирование радиолокационной обстановки	Имитационное параметрическое моделирование в реальном масштабе времени	100-и МГц	FPGA, DSP
Разработка аппаратуры сервисного обслуживания и ремонта РЛС	Методы технической диагностики и автоконтроля. Алгоритмы поиска неисправности	5...10 МГц	FPGA, DSP

при некоторых стоимостных ограничениях. Характер ограничений связан с необходимыми вычислительными затратами при требуемом быстродействии и зависит от размерности матрицы (вектора) обработки и сложности алгоритмов обработки и адаптации.

Рассмотрим характерный пример синтеза адаптивного устройства обработки радиолокационного сигнала многоканальной структуры по энергетическому критерию. При гауссовской статистике аддитивной смеси сигнала, помехи и шума плотность вероятности $P(X) = (4\pi)^{-N} \det^{-1} B \exp\{-X^H B^{-1} X/2\}$, где X – выборочный n -мерный вектор процесса, B и B^{-1} – прямая и обратная матрицы обрабатываемого процесса, а символ H обозначает транспонирование и комплексное сопряжение. Для модели белого гауссовского шума $B = B^{-1} = E$ – единичная матрица. Правило решения формируется на основе отношения правдоподобия (ОП) $\lambda(X) = P_1(X/H_1)/P_0(X/H_0)$, где $P_1(\bullet)$ и $P_0(\bullet)$ условные плотности вероятностей по гипотезе H_1 и H_0 соответственно. Структура оптимальной по критерию МОП обработки определяется после операции логарифмирования ОП минимальной достаточной статистикой вида: $U(x) = X^H Q X$, где ядро квадратичной формы $Q = B_n^{-1} - B_{спш}^{-1}$ – N -мерная матрица обработки, $B_{спш}^{-1} = (qB_c + B_{пш})^{-1}$, B_c , $B_{пш} = B_n + \lambda E$ – соответственно корреляционные матрицы сигнала и помехи с шумом, q – отношение сигнал – помеха + шум, λ – отношение шум – помеха по мощности. Ввиду априорной неопределенности энергетических соотношений сигнала, помехи и шума и, как следствие, сложности определения матрицы $B_{спш}^{-1}$ требуется введение ряда упрощающих предположений. Обычно полагают сигнал слабо флуктуирующим в пределах обрабатываемой

выборки, тогда минимально достаточная статистика приводится к виду: $U(x) = X^H B_n^{-1} S$, где $S = \{s_k e^{-ik\varphi_c}\}$ – вектор ожидаемого сигнала. На рис. 1 представлена структурная схема рассматриваемого алгоритма при неизвестных параметрах помех и известных параметрах обнаруживаемого сигнала.

На практике параметр φ_c априори неизвестен, поэтому обнаружение проводится в многоканальном устройстве, параметры которого оптимизируются в подынтервалах возможного изменения φ_c . В каждом из них статистика усредняется по φ_c , что эквивалентно усреднению по скоростям цели. В результате алгоритм и структура устройства обработки (рис. 2) видоизменяются и в качестве многоканального фильтра включают в себя процессор дискретного (быстрого) преобразования Фурье [2].

По аналогии с обеляющим фильтром, обеляющая матрица обработки B^{-1} производит декоррелирующее преобразование входного вектора. Последующая обработка производится над декоррелированными остатками в многоканальном процессоре обработки сигналов, например, с помощью БПФ.

Практически не всегда возможно и целесообразно применение данного вида подоптимальной обработки ввиду априорной неопределенности корреляционной матрицы помех, а при адаптации ввиду вычислительной сложности операции обращения и высокой чувствительности полученных алгоритмов к изменяющимся условиям. К тому же невозможно гарантировать положительную определенность выборочной матрицы помех, что дополнительно усложняет алгоритм, т.к. требуется применение методов ее регуляризации [3] или ис-

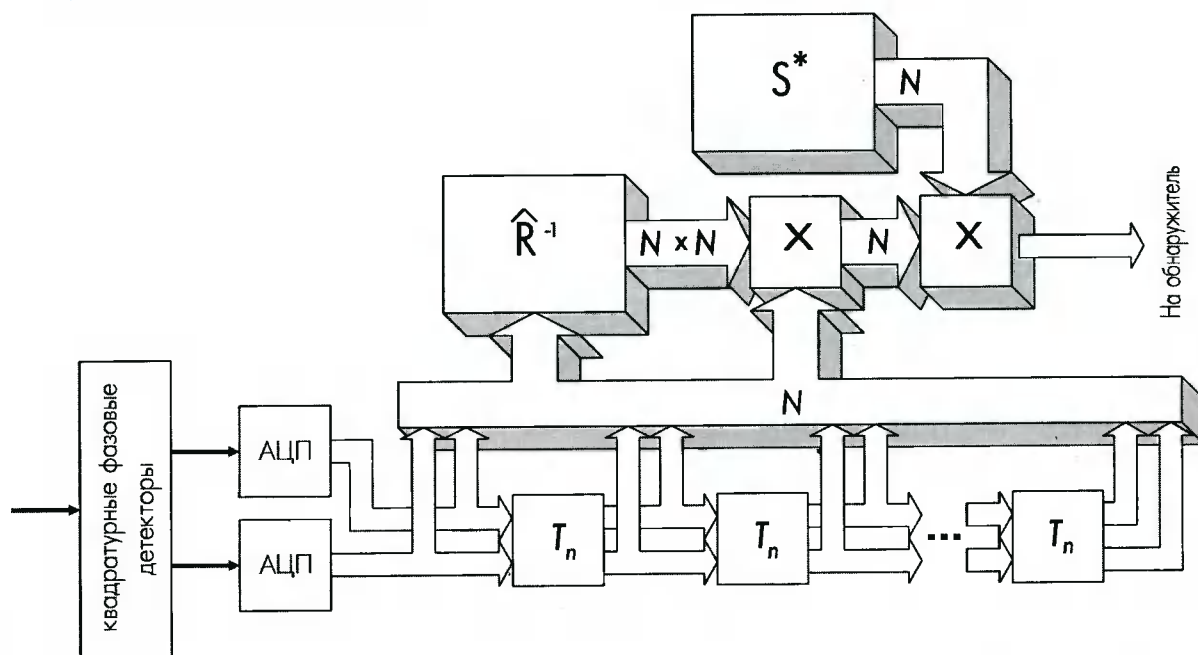


Рис. 1. Структура системы обработки при известной доплеровской фазе сигнала



пользования алгоритмов псевдообращения [4]. Введем более сильное условие, допустив разложение ядра минимальной достаточной статистики во внешнее произведение векторов $Q = B_n^{-1} - B_{\text{плш}}^{-1} = W^H W$, где W – вектор обработки фильтра, H – символ комплексного сопряжения и транспонирования. Заметим, что при таком разложении матрица Q является эрмитовой. Теперь можно перейти от критерия МОП к одной из разновидностей энергетического критерия или критерию МСКО, более просто реализуемых практически. В этом случае минимально достаточная статистика принимает вид: $\xi = u^H Q u = u^H W^H W u = |u^H W|^2$ и включает операцию линейной фильтрации $\xi = u^H W$ входной последовательности u с оптимизированным по тому или иному критерию вектором обработки W . Энергетический критерий определяется максимальным выигрышем в отношении сигнал-(помеха+шум) $\mu = (P_c / P_{\text{плш}})_{\text{ввых}} / (P_c / P_{\text{плш}})_{\text{ввх}} = (\sigma_c^2 / \sigma_{\text{плш}}^2)_{\text{ввых}} / (\sigma_c^2 / \sigma_{\text{плш}}^2)_{\text{ввх}}$, где $P_c = \sigma_c^2$, $P_{\text{плш}} = \sigma_{\text{плш}}^2$ – соответственно мощность сигнала и смеси помеха+шум. Мощность процесса на выходе фильтра с вектором обработки W определяется как $P_{\text{ввых}} = \sigma_{\text{ввых}}^2 = |u^{T*} W|^2 = \sigma_{\text{ввх}}^2 W^T B W$, где B – нормированная корреляционная матрица процесса (сигнала или помехи+шум). При дополнительном условии линейности фазо-частотной характеристики фильтра [5], комплексный вектор-столбец обработки которого $W = \{w_k e^{ik\psi}\}$, где ψ_i – угол поворота вектора за период повторения импульсной последовательности, энергетический критерий μ можно определить как

$$\mu = \mu(w) = \int_{\eta - \Delta\eta}^{\eta + \Delta\eta} \frac{W^H B_c W}{W^H (B_n + \lambda E) W} d\varphi_c = \frac{w^T R_c w}{w^T (R_n + \lambda E) w} \rightarrow \max_w, \quad (1)$$

где $R_c = \{r_{jk}^c\} = \{b_{jk}^c \sin c[\Delta\eta(j-k)/2] \cos[(\eta - \psi)(j-k)]\}$ – действительная функционально преобразованная корреляционная матрица сигнала; $R_n = \{r_{jk}^n\} = \{b_{jk}^n \cos[(\varphi_n - \psi)(j-k)]\}$ – действительная преобразованная корреляционная матрица помехи, $w = \{w_k\}$ – модуль вектора обработки, φ_n – доплеровская фаза помехи, η , $\Delta\eta$ – соответственно центральное значение и фазы полоса, в пределах которой проводится оптимизация фильтра, ψ – параметр линейной фазовой настройки фильтра, T – символ транспонирования.

Максимальное значение параметра μ (1) определяется из характеристического уравнения $\det\{R_c - \mu(R_n + \lambda E)\} = 0$ и системы линейных уравнений $\{(R_n + \lambda E)^{-1} R_c\} w = \mu w$ для собственного вектора, соответствующего максимальному собственному значению матрицы $(R_n + \lambda E)^{-1} R_c$ [6]. Однако данный вариант решения, обладая большей устойчивостью к изменению параметров помех [7], вычислительно не проще матричного фильтра, т.к. кроме процедуры обращения дополнительно требует решения характеристического уравнения и системы линейных уравнений.

Сохранить устойчивость данного алгоритма к изменяющимся параметрам помех при существенном упрощении вычислительных операций позволяет метод, использующий обратную форму выражения (1). Это приводит к замене критерия максимума μ эквивалентным ему критерием минимума коэффициента трансформации отношения (помеха+шум) – сигнал вида

$$\mu^{-1}(w) = \frac{w^T (R_n + \lambda E) w}{w^T R_c w} \rightarrow \min_w. \quad (2)$$

Нетрудно доказать эквивалентность критериев (1) максимума $\mu(w)$ и (2) минимума $\mu^{-1}(w)$ как по получаемому оптимальному вектору w , так и по эффекту улучшения отношения сигнал – (помеха+шум). Для минимизации необходимо решение характеристического уравнения

$$\det\{(R_n + \lambda E) - \mu R_c\} = 0 \quad (3)$$

и системы линейных уравнений для минимального собственного значения $\mu_{\min}\{R_c^{-1}(R_n + \lambda E)\} w = \mu_{\min} w$. При дружных флуктуациях сигнала даже с учетом уменьшающего степень корреляции усреднения по параметру φ_c матрица R_c является сингулярной. Однако ввиду слабой зависимости эффективности фильтра от ширины спектра флуктуаций сигнала (в реальном диапазоне его изменений) нетрудно подобрать некоторую эталонную положительно определенную матрицу R_c и предварительно выполнить ее однократное обращение. Такой матрицей может служить корреляционная матрица сигнала с шириной спектра флуктуаций, обеспечивающей ее численное обращение. Другим вариантом является задание сингулярной матрицы R_c , соответствующей дружным флуктуациям сигнала с последующей регуляризацией ее белым шумом. Уровень шума выбирается равным величине обратной числу обусловленности матрицы. Это гарантирует обращение матрицы с требуемой точностью (для практических целей достаточным можно считать число обусловленности, не превышающее 10^{10}). Дальнейшие операции заключаются в оценке выборочной корреляционной матрицы помех \hat{R}_n , решении системы линейных уравнений относительно минимального собственного значения матрицы $R_c^{-1}(\hat{R}_n + \lambda E)$. После исключения операции обращения выборочной матрицы \hat{R}_n остается трудоемкой операция вычисления корней характеристического уравнения (3). Однако и ее возможно исключить из процедуры решения, если учесть, что искомое значение $\mu_{\min} = \alpha_{\min} \gamma_{\min}$, где α_{\min} и γ_{\min} соответственно минимальные собственные значения матриц R_c^{-1} и \hat{R}_n , образующих произведение. Без ущерба для точности определения оптимального вектора w параметр μ_{\min} можно заменить его нижней гранью области локализации собственных значений. Для ее определения воспользуемся следующей теоремой.

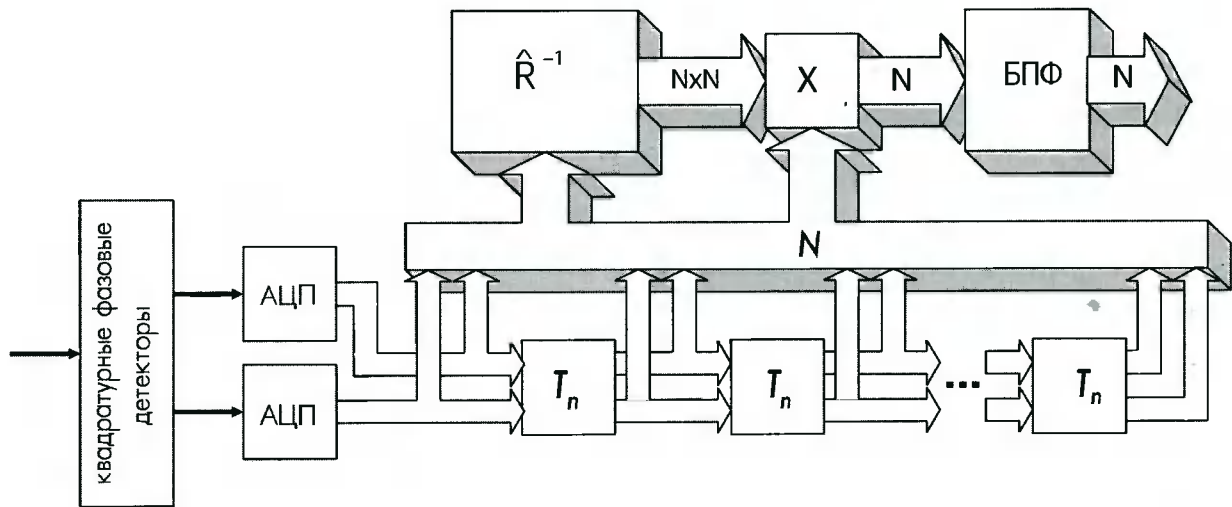


Рис.2. Структура системы обработки при неизвестной доплеровской фазе сигнала

Теорема. Пусть $\beta_1 > \beta_2 > \dots > \beta_N$ упорядоченная последовательность сингулярных чисел положительно определенной матрицы B и $\alpha_1 > \alpha_2 > \dots > \alpha_N$ упорядоченная последовательность сингулярных чисел матрицы A , тогда для любого вектора $X \in C_{2N}$ обобщенное отношение Рэлея $\alpha_N/\beta_1 \leq X^H A X / X^H B X \leq \alpha_1/\beta_N$, т.е. локализовано на интервале $\alpha_N/\beta_1 K \alpha_1/\beta_N$.

Доказательство. Представим Y в виде

$$Y = X^H A X / X^H B X = (X^H A X / X^H X) * (X^H X / X^H B X). \text{ Тогда}$$

$$\text{Sup}(Y) \leq \text{Sup}(X^H A X / X^H X) * \text{Sup}(X^H X / X^H B X) =$$

$$\text{Sup}(X^H A X / X^H X) * \text{Inf}(X^H B X / X^H X).$$

Поскольку сомножители в этом выражении являются соответственно максимальным и минимальным сингулярными числами матриц A и B , то и $X^H A X / X^H B X \leq \alpha_1/\beta_N$. Аналогично доказывается утверждение относительно нижней грани локализации сингулярных чисел отношения Рэлея.

Следствие. Пусть матрица B представима в виде $B = P + \lambda E$, где P положительно определенная матрица с минимальным сингулярным значением α и A матрица с максимальным сингулярным значением β . Тогда верхняя грань обобщенного отношения Рэлея равна $\beta/(\alpha + \lambda)$. Доказательство строится на том факте, что $\text{Inf}(X^H(P + \lambda E)X / X^H X) = \text{Inf}(X^H P X / X^H X + \lambda E) = \alpha + \lambda$. Причем, если $\alpha \ll \lambda$, то $Y \leq \beta/\lambda$. Кроме того, для n -мерной матрицы $\beta \leq n$ и $Y \leq n/\lambda$. Таким образом, значение γ_{\min} ограничено сверху величиной λ , $\alpha_{\min} = \beta_{\max}$ – максимальное собственное значение матрицы R_c в свою очередь имеет верхнюю грань $\beta_{\max} \leq n$. Тогда на основании доказанной теоремы и используя условие $\mu_{\min} \approx \lambda/n$ при решении системы линейных уравнений $\{R_c^{-1} \hat{R}_n\} w = \lambda n^{-1} w$ получим приближенное решение $w_{\text{опт}}$. В результате исключим первый этап решения характеристического уравнения (3).

Из-за неразделимости корреляционных связей в аддитивной смеси мешающих отражений параметр λ должен быть известен или задан

априорно. Это вносит дополнительную неопределенность в полученное решение. Для оценки λ используем метод модифицированных периодограмм или предложенный Кейпоном [8] метод минимума дисперсии. Дисперсия процесса на выходе j -го канала многоканального фильтра определяет мощность входного спектра при относительной фазовой настройке канала, равной $2\pi j/N$. Следовательно, оценку спектрального динамического диапазона можно получить в виде $\hat{\lambda} = e^H \hat{R}_{\text{пш}} e / e^H \hat{R}^{-1}_{\text{пш}} e$, где $e^H = \{\exp(i2\pi j/N)\}$ опорное направление, соответствующее минимуму дисперсии выборочной матрицы $\hat{R}_{\text{пш}}$, определяемое в диапазоне $j=0 \dots N-1$. Приближенное значение $\hat{\lambda} = \bar{S}_j^{\min} / \bar{S}_j^{\max}$, где \bar{S}_j^{\min} , \bar{S}_j^{\max} – усредненные по элементам дальности минимальное и максимальное значения квадратов амплитуд в частотных каналах процессора БПФ. Такое приближение исключает процедуру обращения выборочной матрицы $\hat{R}_{\text{пш}}$.

Дополнительное упрощение настройки оптимального вектора $w_{\text{опт}}$, соответствующего λ/n -приближению к минимальному собственному значению $\{R_c^{-1} \hat{R}_n\}$, возможно при применении адаптивного рекурсивного алгоритма уточняющего $w_{\text{опт}}$ по мере накопления статистики при оценке корреляционной матрицы помехи последовательными итерациями вида $w(k) = (R_c^{-1} \hat{R}_n)^{-1} w(k-1)$ или $(R_c^{-1} \hat{R}_n) w(k) = w(k-1)$. Первоначальное приближение $w(0)$ не должно быть ортогонально искомому вектору. Такому условию удовлетворяет, например, единичный вектор $w(0) = \{1 \dots 1\}$ [9]. Известно, что скорость сходимости итерационной процедуры существенно зависит от числа обусловленности матрицы $R_c^{-1} \hat{R}_n$. Однако при рассмотренных условиях искомый результат достигается уже при одной итерации. Предложенный алгоритм назовем методом обратного решения, который сводится к операциям оценки матрицы \hat{R}_n с образованием матрицы произведения $R_c^{-1} \hat{R}_n$ и суммирования ее строчных элементов (при вы-

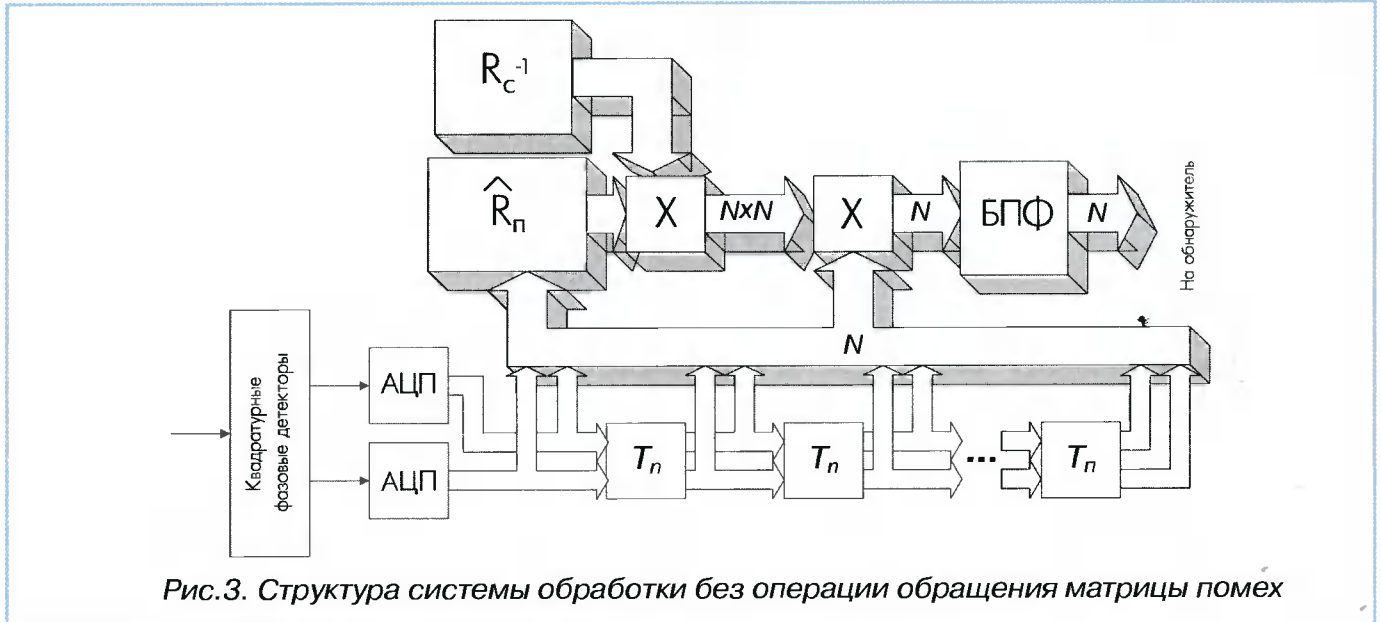


Рис.3. Структура системы обработки без операции обращения матрицы помех

боре начального приближения $w(0) = \{1 \ 1 \dots 1\}$. Данный вариант реализуется в структурной схеме алгоритма представлен на рис.3.

Полученное решение определяет два класса многоканальных фильтров (МФ), отличающихся параметром фазовой настройки фильтра ψ . Если при $\psi = \varphi_c$ МФ реализуется в виде процессора БПФ, то при $\psi = \eta$ МФ представляет собой многоканальный режектор, подробно рассмотренный в [10].

В заключение в табл. 2 приведены данные по достигнутому быстродействию алгоритмов БПФ (времени преобразования в μs) на современной элементной базе ЦОС.

Литература

1. Радиотехнические средства ПВО. По материалам "Военного парада", № 34. июль – август 1999.
2. Ширман Я.Д., Манжос В.Н. Теория и техника обработки радиолокационной информации на фоне помех. М.: Радио и связь, 1981. – 416с.
3. Фукунага К. Введение в статистическую теорию распознавания образов. М.: Наука. 1979. – 368 с.

4. Хорн Р., Джонсон Ч. Матричный анализ. М.: Мир, 1989. – 655 с.

5. Попов Д.И., Кошелев В.И. Синтез систем когерентно-весовой обработки сигналов на фоне коррелированных помех. Радиотехника и электроника, 1984, т. 24, N4, с. 789 – 792.

6. Кошелев В.И. Синтез систем когерентно-весовой обработки при априорной неопределенности. Межвузовский сб. научн. тр. "Приборы и устройства электронных систем управления системами". – Л., вып.143, 1980, с. 95 – 99.

7. Кошелев В.И. Синтез систем цифровой фильтрации по принципу минимакса. Межвузовский сб. научн. тр. "Эффективность применения цифровых устройств в радиолокации". М.: МАИ, 1982, с.17 – 22.

8. Кейпон Дж. Пространственно-временной спектральный анализ с высоким разрешением. ТИИЭР. 1969, т. 57, №8, с. 69 – 79.

9. Марпл-мл. Цифровой спектральный анализ и его приложения. М.: Мир, 1990. – 584 с.

10. Кошелев В.И., Первенцев М.А. Синтез многоканального фильтра режекции помехи для систем выделения сигналов // Известия вузов. Серия "Радиоэлектроника", 1998, т. 41, №2, с. 38 – 42.

Таблица 2

Элементная база	Число точек FFT / Число разрядов				
	512/8	512/12	1024/16	32К/16	1024/32
Altera Flex DSP Acex 1K	40.3	65.5	183	8657	–
Xilinx XCV600..1000 + внешнее RAM	–	4	7.5	–	–
ADSP-21160 SHARC	–	–	–	–	90
TMS320C6701	–	–	–	–	120

В.И. Брук, Н.А. Дерюгин, Р.М. Нигматулин, Б.А. Панин, Т.А. Панова,
А.В. Сидоров, В.Ю. Фрид

ПРОЦЕССОР ОБРАБОТКИ СИГНАЛОВ И ДАННЫХ БОРТОВОЙ МЕТЕО-РЛС ДЛЯ ГРАЖДАНСКИХ ЛЕТАТЕЛЬНЫХ АППАРАТОВ НА БАЗЕ ПРОЦЕССОРОВ ADSP-21062

В рамках разработки бортовой метео-РЛС для гражданских летательных аппаратов совместно НПО "Фазотрон" и АО "Инструментальные системы" был разработан универсальный малогабаритный вычислитель, выполняющий функции процессора обработки сигналов и управления метео-РЛС, а также функции связи с бортовыми системами. Вычислитель разработан на базе сигнального процессора ADSP-21062 фирмы Analog Devices.

Метео-РЛС "Гукол", для которой разрабатывался универсальный вычислитель (УВ), соответствует американскому стандарту ARINC-708 для метеостанций и в соответствии с ним имеет следующие основные режимы работы:

1. Режим индикации метеообразований с оценкой интенсивности выпадения осадков (оценка отражаемости). В этом режиме предусмотрен подрежим, в котором обеспечиваются компенсация трассовых затуханий сигналов и формирование зон неопределенности. Максимальная дальность этого режима 600 км.

2. Режим определения и индикации зон опасной турбулентности в облачности. Имеется подрежим, в котором осуществляется подавление мешающих отражений от земной поверхности. Максимальная дальность режима 100 км.

3. Режим обнаружения при взлете и посадке так называемых зон сдвигов ветра (сильных маловысотных нисходящих потоков воздуха со сравнительно небольшими поперечными размерами). Максимальная дальность режима 10 км.

4. Режим картографирования подстилающей поверхности действительным лучом. Максимальная дальность этого режима 600 км.

При работе метео-РЛС предусматривается также возможность сочетания 1, 2 и 3 режимов, позволяющая экипажу одновременно получать информацию об интенсивности метеообразований, зонах опасной турбулентности и зонах опасного сдвига ветра.

Упрощенная структурная схема метео-РЛС представлена на рис. 1. Зондирующий импульс формируется задающим генератором под управлением синхронизатора, усиливается в усилителе мощности и излучается в пространство. Принимаемый сигнал подвергается воздействию аналоговой ВАРУ (сигнал управления аналоговой ВАРУ формируется синхронизатором) для согласования уровня мощности сигнала с динамическим диапазоном АЦП и претерпевает двойное преобразование частоты. Сигнал на выходе УПЧ имеет значение частоты несущей $f_{ПЧ} = 4$ МГц. Полоса последнего усилителя промежуточной частоты согласована с минимальной длительностью излучаемого импульса и равна $\Delta f_{УПЧ} = 2$ МГц. После приемника сигнал

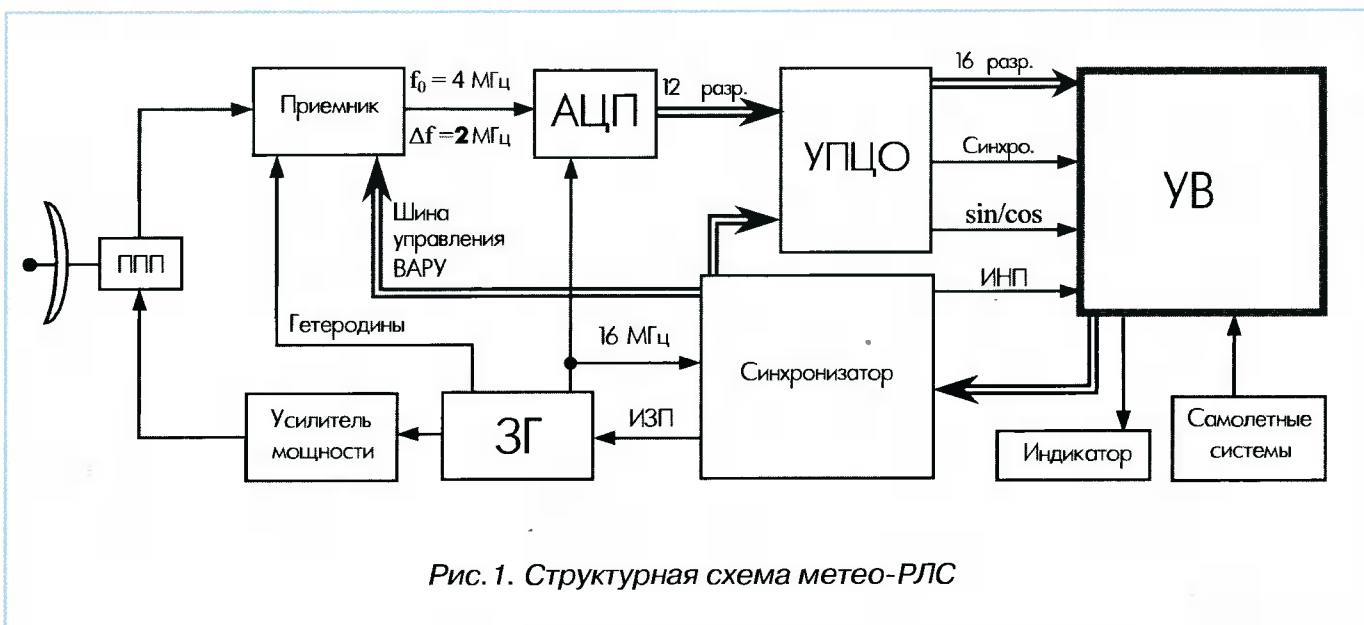


Рис. 1. Структурная схема метео-РЛС

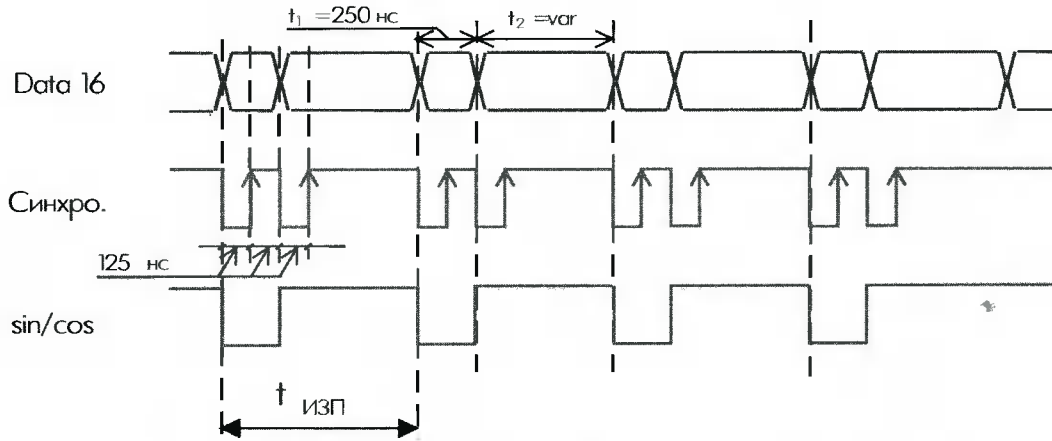


Рис.2. Сигналы, поступающие на УВ из приемного тракта

поступает на АЦП с частотой дискретизации 16 МГц. После АЦП выборка сигнала поступает на устройство предварительной цифровой обработки (УПЦО), задачей которого является организация двух квадратурных каналов и цифрового фильтра для согласования полосы всего приемного тракта с длительностью импульса, большей минимальной.

Для получения двух квадратурных составляющих из исходной выборки и согласования используются следующие соотношения

$$Y_{C_R} = \sum_{i=1}^{N/4} X_{4i-3} + \sum_{i=1}^{N/4} X_{4i-1};$$

$$Y_{S_R} = \sum_{i=1}^{N/4} X_{4i-2} + \sum_{i=1}^{N/4} X_{4i}.$$

Здесь X_i – последовательность выборочных значений сигнала с выхода АЦП; N – объем выборки, формируемой на выходе АЦП в течение длительности излучаемого импульса; Y_{C_R} , Y_{S_R} – квадратурные составляющие; R – номер элемента дальности.

Полученные таким образом два квадратурных процесса поступают на вход УВ. Выборки квадратур Y_{C_R} , Y_{S_R} передаются последовательно по 16-разрядной шине (Y_{C_R} , Y_{S_R} представляются 16-разрядными словами). Кроме того, устройство предварительной цифровой обработки вырабатывает и передает в УВ синхросигнал, подтверждающий передачу очередного выборочного значения, и сигнал \sin/\cos , позволяющий отличать первую и вторую квадратуры.

Сигналы, поступающие на УВ от приемного тракта, приведены на рис.2.

Анализ задач обработки сигналов в различных режимах работы метео-РЛС показывает, что наибольший объем операций обработки за время пачки приходится на режим совместной индикации интенсивности метеообразований, опасного сдвига ветра и турбулентности. Ниже приведены основные этапы этого режима.

Индикация интенсивности метеообразований

Для индикации интенсивности метеообразований производится накопление сигнала в течение длительности пачки $T_{пачки}$, выделение его из шума, оценка мощности отраженного сигнала в целях разделения всех выборочных значений на пять градаций. Последнее делается для выдачи на индикатор метео-РЛС информации о степени интенсивности осадков, которая в соответствии с рекомендациями стандарта ARINC-708 отображается с помощью пяти цветов (по мере роста интенсивности: черный, зеленый, желтый, красный, пурпурный).

В процессе цифровой обработки сигналов производится некогерентное накопление: происходит суммирование квадратов квадратур всех выборочных значений для данной дальности в пределах одной радиолокационной пачки

$$C_R = \sum_{j=1}^{N_{имп}} (Y_{C_{j,R}}^2 + Y_{S_{j,R}}^2),$$

где индекс R обозначает обрабатываемый элемент дальности. Полученное таким образом значение сравнивается с порогом $C_R <> \Pi 1$ для установления факта наличия сигнала в каждом элементе дальности. После операции сравнения формируется массив $C1_R$

$$\begin{cases} C1_R = C_R; \rightarrow C_R > \Pi 1 \\ C1_R = 0; \rightarrow C_R < \Pi 1 \end{cases}$$

Далее производится цифровая ВАРУ, результатом которой является массив данных $C2_R = C1_R \cdot K_{вару_R}$. Здесь $K_{вару_R}$ – таблица коэффициентов ВАРУ, хранящаяся в памяти УВ и постоянная для каждой шкалы дальности.

Следующей задачей является расчет величины радиолокационной отражаемости с компенсацией трассовых затуханий. Под компенсацией трассовых затуханий понимается учет затухания сигнала в процессе распространения его до рассматриваемого элемента дальности при

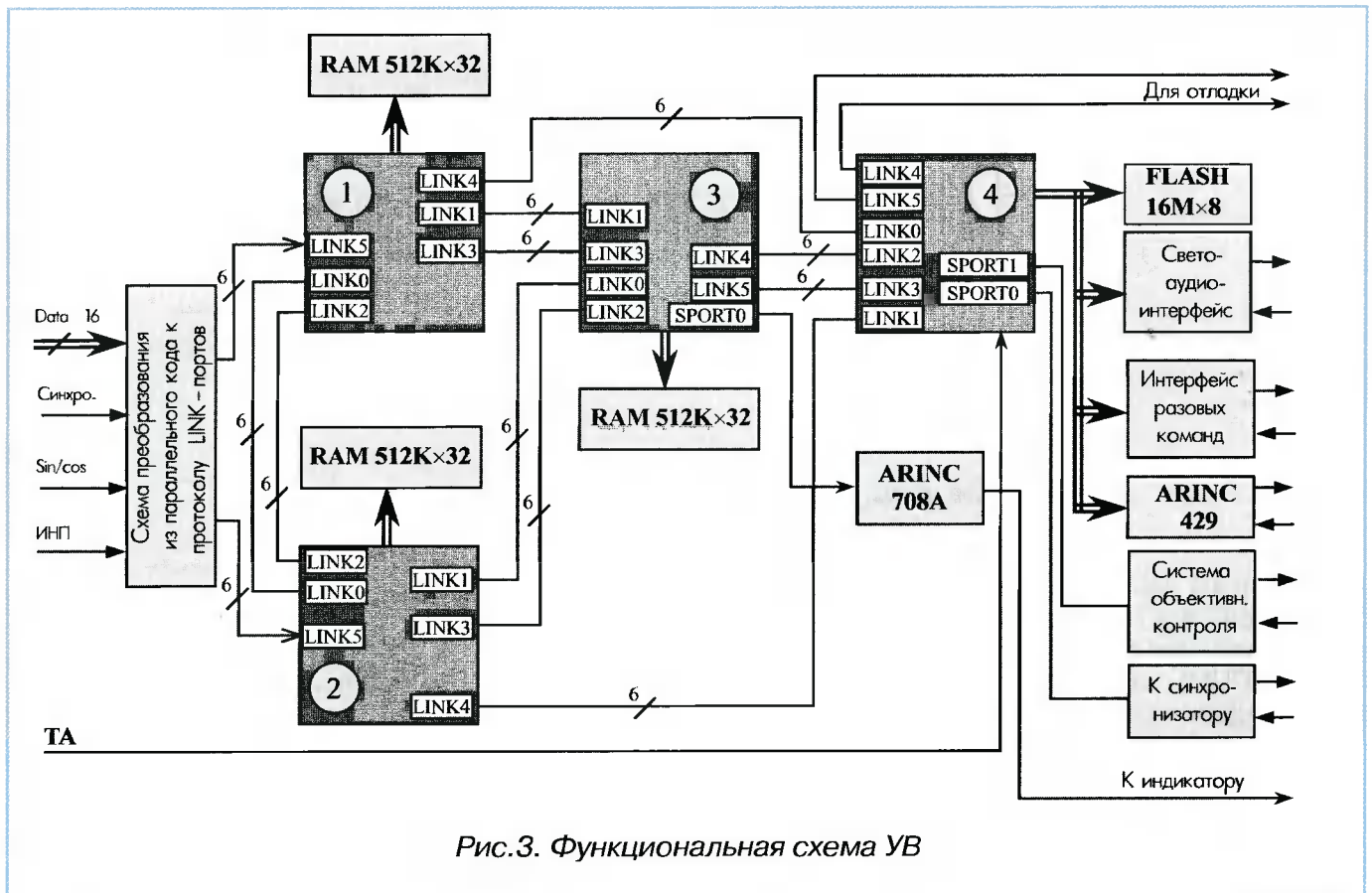


Рис.3. Функциональная схема УВ

определении интенсивности отраженного сигнала. Величина затухания определяется интенсивностью осадков на пути распространения сигнала и вычисляется с помощью итерационного алгоритма. Полученный таким образом массив оценок отражаемости $C3_R$ сравнивается с порогом для определения того, каким цветом будет отображаться интенсивность метеобъекта на экране индикатора МРЛС

$$\begin{cases} Z_R = Z1; \rightarrow 0 \leq C3_R < P2 \\ Z_R = Z2; \rightarrow P2 \leq C3_R < P3 \\ Z_R = Z3; \rightarrow P3 \leq C3_R < P4 \\ Z_R = Z4; \rightarrow P4 \leq C3_R < P5 \\ Z_R = Z5; \rightarrow P5 \leq C3_R \end{cases}$$

Полученный таким образом массив Z_R подается на индикатор.

Индикация опасного сдвига ветра

Для выявления сдвига ветра проводятся анализ спектра принятого сигнала в каждом элементе дальности, режекция отражений от земли и анализ изменения скорости по дальности.

Частотный анализ проводится в полосе 10 кГц ($F_{П} = 10 \text{ кГц}$) с помощью алгоритма БПФ на 256 точек. Ширина полосы доплеровского фильтра $\approx 40 \text{ Гц}$.

Сигнал на выходе доплеровского фильтра – $C_R(k)$, где R – номер элемента дальности ($1 \div 120$); k – номер фильтра ($1 \div 256$). Проводятся вычисление модуля сигнала $C_R(k)$, а затем на-

копление за время пачки ($T_{пачки}$). Результат $C1_R(k)$ сравнивается с порогом обнаружения $P1$. Дальнейшая работа проводится с фильтрами, амплитуда сигнала в которых превысила заданный порог. Далее производится режекция сигнала отраженного от земли в полосе около 400 Гц.

Для обнаружения опасного градиента скорости в каждом элементе дальности производится отбор фильтра с максимальным по амплитуде сигналом – C_{max}_R (R – номер элемента дальности). Затем производится анализ зависимости $C_{max}(R)$. Зона анализа составляет $4 \div 5 \text{ кГц}$. В этой зоне производится сглаживание получаемой кривой, вычисляется производная

$$\frac{dV}{dR},$$

выделяются участки с отрицательной производной скорости и определяется величина перепадов скоростей ΔV на них. Кроме того, определяется градиент скорости

$$dV = \frac{\Delta V}{\Delta R}.$$

Далее величина dV сравнивается с порогом и в случае превышения порога информация о наличии опасного сдвига ветра выдается на индикатор.

Индикация опасной турбулентности в метеобразованиях

Для выявления зон опасной турбулентности производится анализ спектров сигналов в каждом элементе дальности $C1_R(k)$. Далее отбира-



ются сигналы, протяженные по спектру, и если эта протяженность превышает порог (порядка 250÷330 Гц), то выносится решение о наличии турбулентности.

Структурная схема универсального вычислителя

Структурная схема универсального вычислителя приведена на *рис.3*. Вычислитель имеет в своем составе четыре процессора ADSP-21062, пронумерованных от 1 до 4 в зависимости от удаленности от входа, получающего данные из приемного тракта. Задачи обработки входных данных возложены на первый, второй и третий процессоры. К каждому из этих трех процессоров через хост-интерфейс подключено по 512 К слов оперативной памяти (RAM) с разрядностью 32 для накопления и хранения обрабатываемых данных. Кроме того, в задачи третьего процессора входят формирование и выдача данных на индикатор.

Для выдачи на индикатор сформированного массива данных используется последовательный порт (SPORT) третьего процессора. Так как требуемый стандартом ARINC708A [2] формат передачи данных от вычислителя на индикатор отличается от протокола SPORT, то в состав вычислителя входит соответствующая схема преобразования сигналов из формата SPORT в формат, указанный в ARINC708A.

На четвертый процессор возлагаются функции управления работой станции, а также начальной загрузки первых трех процессоров тестами и рабочими программами. К четвертому процессору через хост-интерфейс подключена FLASH-память (16М×8), предназначенная для хранения программ. Кроме того, через хост-интерфейс подключены интерфейс разовых команд, светоаудиоинтерфейс и контроллер интерфейса ARINC429 для связи с самолетными системами. Оба последовательных порта (SPORT) также задействованы: один используется для системы объективного контроля (СОК), а другой для управления синхронизатором. Два из шести LINK-портов процессора (4-й и 5-й) используются для отладки и связи с персональным компьютером в лабораторных условиях. На четвертый процессор поступает сигнал ТА, являющийся тактовым сигналом работы станции. Сигнал ТА формирует внешнее прерывание, предназначенное для запуска цикла выполнения программ.

Все связи между процессорами выполнены через LINK-порты. Между каждой парой процессоров имеются два таких соединения (за исключением связей четвертого с первым и четвертого со вторым).

Распределение работ по обработке информации в УВ осуществляется следующим обра-

зом: временные диаграммы работ первого и второго процессоров имеют две стадии работы – накопление информации во внешней памяти и ее обработку. Процессоры чередуют эти две стадии в противофазе, т.е. когда первый процессор накапливает информацию, второй обрабатывает накопленную им на предыдущей стадии. Длительность стадий накопления и обработки, равная длительности радиолокационной пачки, задается периодом сигнала ИНП, поступающего от синхронизатора (в общем случае). Каждый из этих двух процессоров, закончив обработку очередной пачки, передает результат ее обработки в третий процессор, который, в свою очередь, проводит окончательную обработку (если это необходимо). В конце обработки третий процессор формирует массив для выдачи на индикатор и через порт SPORT передает его на индикатор. Подобная организация вычислений позволяет отводить на обработку одной пачки время, равное приблизительно $2 \cdot T_{ИНП}$.

Данные из приемного тракта, как упоминалось ранее, поступают по 16-разрядной шине. Для преобразования из параллельного кода к протоколу LINK-портов и для организации чередования циклов работы первого и второго процессоров (накопление/обработка информации) предусмотрена схема преобразования. В своей работе она использует сигналы, поступающие от приемного тракта (синхросигнал, сигнал \sin/\cos) и сигнал ИНП (*рис.3*).

Для проведения отладки и диагностики УВ все четыре процессора охвачены JTAG-цепочкой, что позволяет обеспечить загрузку и отладку программ на любом процессорном узле.

Программное обеспечение

Программное обеспечение (ПО) для вычислителя разрабатывалось совместно АО “Инструментальные системы” и НПО “Фазотрон”. ПО состоит из тестового обеспечения и специального программного обеспечения (СПО), предназначенного для решения основных функциональных задач. Тесты выполняются при начальном включении, а по их окончании происходит запуск СПО.

При включении вычислителя четвертый процессор настроен на загрузку из FLASH-памяти, а первый, второй и третий процессоры на загрузку по LINK-портам. После загрузки четвертый процессор производит инициализацию портов и загружает через LINK-порты первый, второй и третий процессоры. Далее происходит синхронизация всех четырех процессоров и начинается выполнение собственно тестов.

Тестовое ПО обеспечивает проверку следующих ресурсов вычислителя:

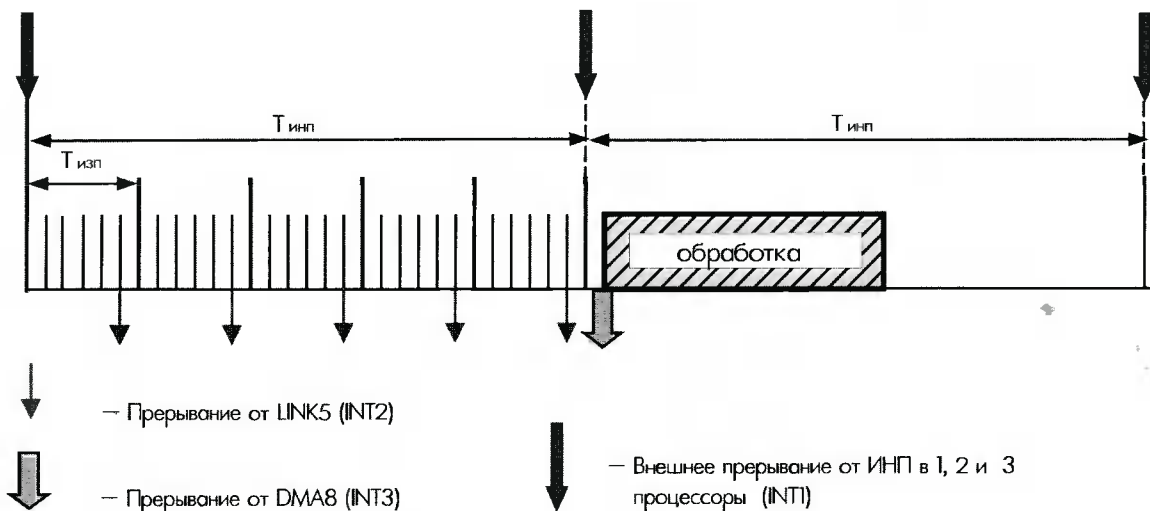


Рис.4

- LINK-связей;
- FLASH-памяти;
- внешнего ОЗУ;
- используемых SPORT-портов;
- контроллеров ARINC429.

LINK-связи проверяются библиотечными процедурами (библиотечные процедуры работы с портами были разработаны АО "Инструментальные системы") в соответствии с существующими физическими связями. Для тестирования FLASH-памяти и программ, загружаемых из нее, во FLASH-памяти предусмотрена область, содержащая контрольные суммы программ, их длину и другую тестовую информацию. При тестировании SPORT-портов используется аппаратная переключатель, подключающая выход на вход внутри кристалла процессора; производится пересылка восьми тестовых 32-битовых слов с последующим сравнением переданной и принятой информации. В конце тестов их результаты выводятся на индикатор. После окончания тестов на их место загружается СПО и начинается решение функциональных задач.

Временная диаграмма работы всех процессоров – асинхронная, с прерываниями. На рис.4 приведена диаграмма работы первого и второго процессоров.

Контроллер внешнего прерывания (INT1), возникающего одновременно с приходом импульса начала пачки (ИНП), инициализирует работу канала DMA5 перед началом стадии накопления. Канал DMA5 обслуживает 5-й LINK-порт, через который поступают данные из приемного тракта.

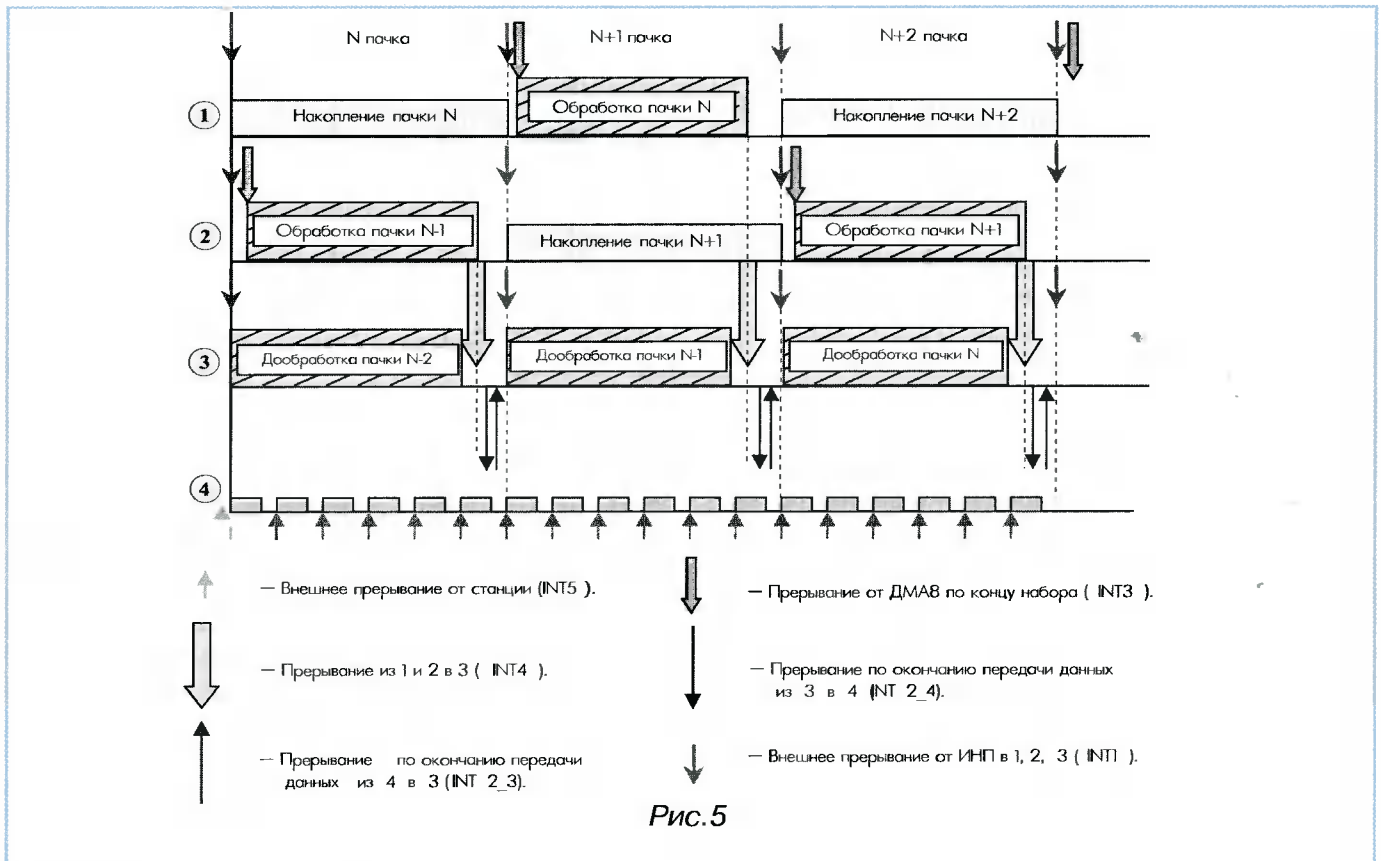
После завершения приема из АЦП во внутреннюю память процессора количества слов, равного числу дискретов дальности, возникает прерывание от DMA5 (INT2). Количество принятых слов (после приема, которых оно возникает) определяется количеством дискретов дальности. Это прерывание предназначено для пере-

сылки принятых слов из внутренней памяти процессора во внешнюю. Обработчик прерывания инициализирует канал DMA8 (обмен с внешней памятью) с модификацией начального адреса буфера обмена внешней памяти и буфера обмена внутренней памяти. Количество таких обменов определяется количеством периодов повторения излучения в пачке (на рис.4 их схематически изображено 5 периодов).

После прихода последнего прерывания (последний период повторения в пачке) заказывается прерывание по окончании обмена DMA8 (INT3). Прерывание от DMA8 предназначено для перевода процессора из режима накопления информации в режим обработки информации.

На рис.5 приведена диаграмма общего взаимодействия прерываний всех четырех процессоров УВ. Две верхние диаграммы показывают работу первого и второго процессоров. Как видно из рисунка, они работают в противофазе. В момент накопления информации одним, второй производит обработку информации, накопленной на предыдущей стадии.

Обработка начинается по приходу прерывания от канала DMA8 (INT3), т.е. по окончании переброски данных во внешнюю память. В конце обработки первый и второй процессоры передают результаты в третий процессор, который принимает блок данных через порты LINK3 и LINK2 по каналу DMA. В конце приема возникает прерывание (INT4). Контроллер прерываний транслирует в четвертый процессор информацию о завершении такта обработки в первом и втором процессорах. В ответ на это четвертый процессор пересылает в третий пакет данных, содержащий дополнительную (служебную) информацию для вывода на индикатор. Обработку данных, полученных от первого и второго процессоров, третий процессор начинает по приходу внешнего прерывания



(INT1), возникающего одновременно с приходом импульса начала пачки.

В четвертом процессоре для запуска такта обработки используется внешнее прерывание (INT5), возникающее по тактам работы станции (по сигналу TA).

Программы обработки всех процессоров построены по одной схеме.

1. Вводная часть (инициализация LINK-портов, SPORT-портов, инициализация обработчиков прерываний и т.д.).

2. Собственно программа обработки, включающая управляющий алгоритм и обрабатывающие модули.

Управляющий алгоритм включает в себя цикл ожидания, внутри которого проверяются флаги соответствующего прерывания (флаг устанавливается контроллером прерываний). При появлении флага запускается процесс обработки, и флаг сбрасывается. Тем самым обеспечивается фазировка процесса обработки с моментами прихода прерываний.

Процесс обработки в первом, втором, третьем процессорах заключается в выполнении набора программных модулей, определенного для каждого режима работы РЛС. Процесс обработки в четвертом процессоре (управляющем) дополняется алгоритмом управления.

Исходя из вышеизложенного можно сказать, что универсальный вычислитель не является мультипроцессорным устройством. Если в мультипроцессорной системе происходит постоянное перераспределение аппаратных ресурсов между решаемыми задача-

ми, то в нашем случае каждый процессор решает исключительно свой конкретный набор задач. Подобная “специализация” процессоров позволяет упростить написание программного обеспечения. На процессы обработки в каждом процессоре отводится заранее больше времени, чем это необходимо, и процессор успевает завершить обработку до начала следующего такта работы. Таким образом обеспечивается синхронизация работы процессоров.

Описание логики работы программного обеспечения

Система “ГУКОЛ” является системой реального времени. В каждый конкретный момент времени в процессорах выполняется постоянный набор программ, смена которого происходит достаточно редко по сравнению с тактом станции. Более того, можно утверждать, что каждый набор-“родитель” порождает довольно ограниченное количество наборов-“потомков”. Вследствие этого логику системы можно очень наглядно представить, если перечислить подобные устойчивые состояния, расписать алгоритмы, которые должны выполняться в каждом таком состоянии, и указать условия перехода, в соответствии с которыми эти состояния должны меняться.

Изображение такого представления логики системы делается в виде направленного графа, вершинами которого являются вышеупомянутые состояния, а дугами – условия перехода на следующую вершину. Необходимо отметить, что

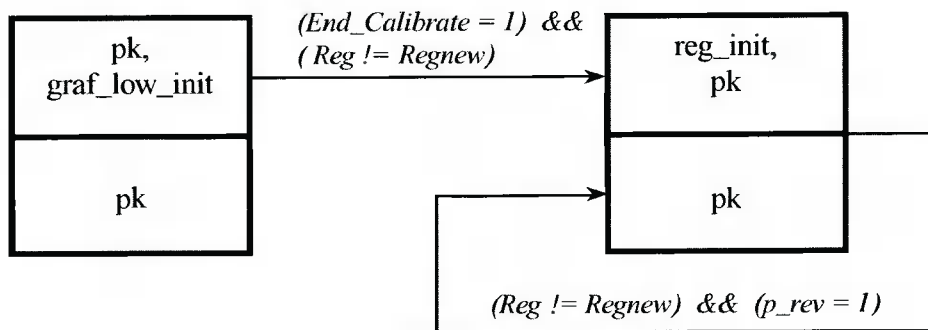


Рис.6

подобный граф – это не алгоритм решения, изображенный в виде блок-схемы, а способ описания логики системы, т.е. в данном случае должна быть программа (“операционная система”), которая преобразует информацию, относящуюся к вершине, в конкретный набор обрабатываемых программ.

Описания вершин состоят из:

- списка обрабатываемых модулей, решаемых при входе на вершину;
- списка обрабатываемых модулей, решаемых постоянно до смены вершины;
- списка условий, по которым данная вершина заменяется на очередную, с указанием номера этой очередной вершины.

Все описания вершин сводятся в таблицу, которая заполняется на этапе трансляции. Таким образом, функцией программы обработки графа является выборка из таблицы описателя вершины и, затем его соответствующая интерпретация. При этом номер вершины является индексом таблицы описателей.

Традиционное программирование логики в виде блок-схемы алгоритма в соответствии со словесным описанием приводит к появлению большого количества дополнительных технологических признаков, проверок и, как следствие, к трудности понимания и модификации реализованной логики. Причиной этого является попытка представить процесс, развивающийся во времени, стандартными средствами программирования.

В качестве примера реализации графа можно рассмотреть граф задачи переключения режимов рис. 6. Решение графа происходит в каждом такте ТА.

На рис. 6 каждая вершина представляется в виде квадрата, разделенного на две части: в верхней части записаны задачи, выполняемые только при входе на вершину, а в нижней – список модулей, решаемых постоянно до смены

вершины. На обеих вершинах постоянно подключается модуль обработки информации, поступающей с пульта управления (модуль pk). На вершине №1 производится подключение начальной (первой) вершины графа калибровки (модуль *graf_low_init()*), на вершине №2 – подключение или переключение начальных вершин графов режимов, задаваемых с пульта (модуль *reg_init()*). Переход с первой вершины на вторую производится при одновременном выполнении двух условий:

- номер режима, заданного с пульта, не равен номеру текущего режима станции (т.е. произошло переключение режима на пульте);
- сформирован признак успешного завершения режима калибровки, инициализированного модулем *graf_low_init()* (*End_Calibrate=1*).

Переключение режимов на второй вершине данного графа производится в момент реверса антенны (*p_rev = 1*) при условии изменения режима с пульта. При этом в разовом модуле (модуль *reg_init()*) устанавливается первая вершина нового режима.

Подобным образом построены графы, описывающие режимы работы станции.

Испытания, проводившиеся для отладки программного обеспечения и различных алгоритмов обработки радиолокационной информации, показали, что разработанный универсальный вычислитель полностью обеспечивает все вычислительные потребности метео-РЛС. Более того, существует запас по производительности, позволяющий модернизировать существующие алгоритмы и добавлять новые режимы работы станции.

Литература

1. ADSP-2106x SHARC User's Manual.
2. ARINC-708A.
3. ARINC-429.

Контактная информация

ОАО “Корпорация “Фазотрон-НИИР”: Татьяна Панова, Николай Дерюгин.

Тел.: 253-0822; факс: 253-0495. E-mail: NAD357@mail.ru.

А.Н. Еременко, В.П. Липатов, Д.В. Кушнерев, В.В. Торгонский

РЕАЛИЗАЦИЯ ЦИФРОВОЙ СИГНАЛЬНОЙ ФИЛЬТРАЦИИ И ВИДЕООБРАБОТКИ В РНС НА БАЗЕ МОДУЛЕЙ АО "ИНСТРУМЕНТАЛЬНЫЕ СИСТЕМЫ"

Рассматривается реализация подсистем цифровой сигнальной фильтрации и видеобработки, являющихся частью разработанной Калужским заводом "Тайфун" системы цифровой обработки радионавигационной информации (РНИ) с использованием модулей АО "Инструментальные системы".

В области радионавигации на сегодняшний день актуальной задачей является модернизация существующих навигационных систем в части систем обработки в целях повышения тактико-технических характеристик станций [1,2]. Современные радионавигационные системы (РНС) характеризуются очень большими потоками данных и сложными алгоритмами обработки. К подобным системам предъявляются весьма жесткие требования к скорости обработки и точности вычислений. Кроме того, они должны обладать исключительно высокой надежностью и обеспечивать возможность контроля работоспособности и своевременного выявления сбоев. Такие требования накладывают определенные ограничения на применяемые аппаратные средства.

Одним из способов построения подобных систем является применение специализированных модулей цифровой обработки сигналов.

В данной статье рассматривается реализация на сигнальных процессорах подсистемы цифровой сигнальной фильтрации (ЦСФ) и подсистемы видеобработки, являющихся частями разработанной системы цифровой обработки РНИ.

Общая структура цифровой системы обработки РНИ

Конструктивно система цифровой обработки РНИ (СЦОРНИ) реализована в виде приборного крейта с применением специализированных модулей, объединенных на платформе базовой универсальной ЭВМ. В качестве базовой ЭВМ используется IBM AT-совместимая ЭВМ специализированного исполнения. Такое решение позволило без дополнительных затрат провести отработку математического обеспечения базовой ЭВМ на ПЭВМ офисного исполнения. Общая структура СЦОРНИ приведена на рис. 1.

Было принято решение реализовать вычислительные задачи на сигнальных процессорах. На момент разработки наиболее распространенным и обладающим высокой производительностью был процессор цифровой обработки сигналов универсального назначения фирмы Texas Instruments TMS320C4x [3]. Его архитектурные характеристики обеспечивали решение поставленных задач. При этом необходимую суммарную производительность можно было получить построением мультипроцессорной вычислительной

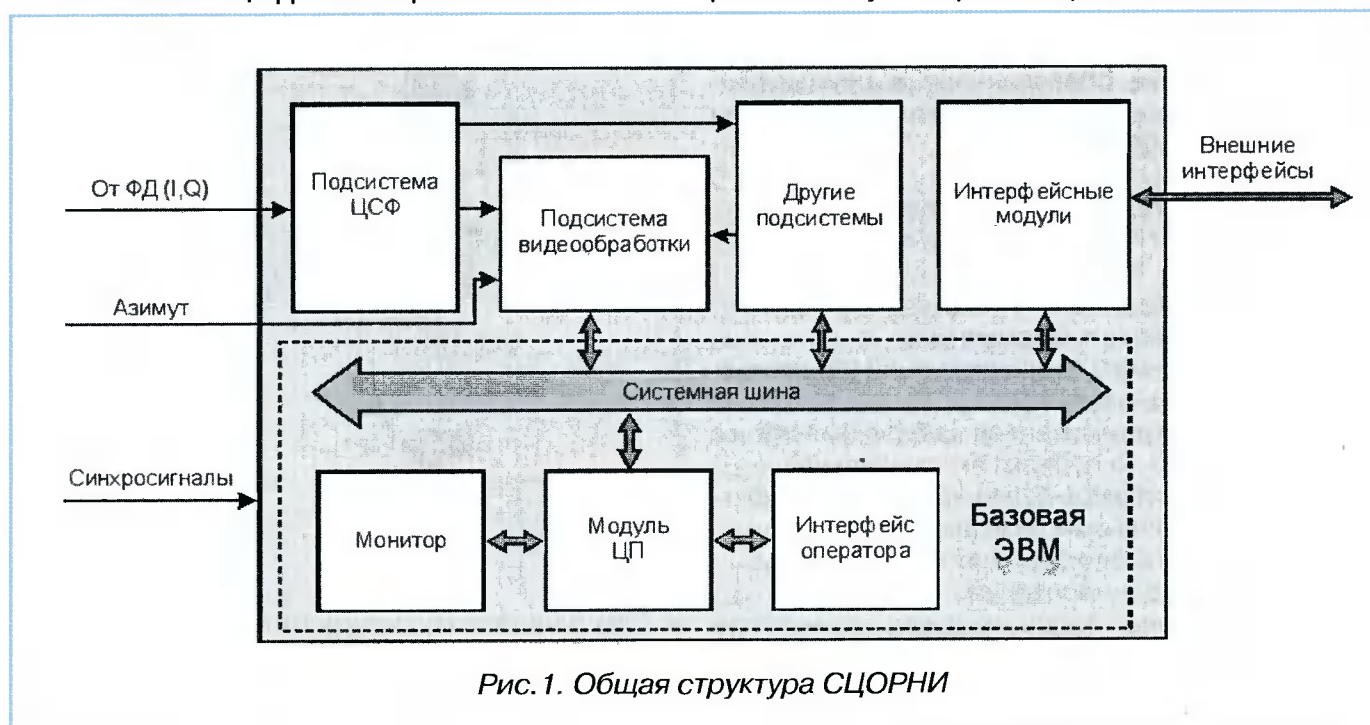


Рис. 1. Общая структура СЦОРНИ

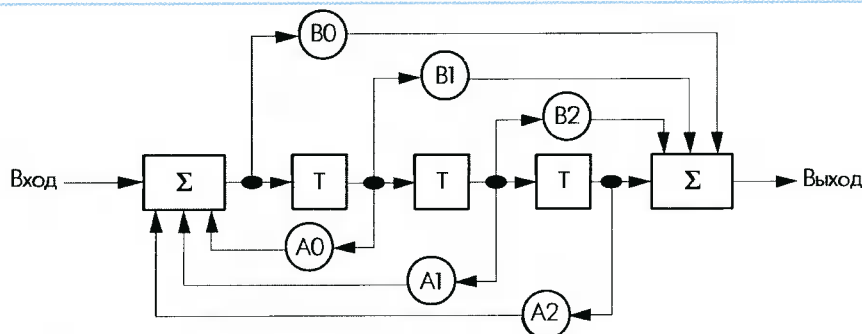


Рис.2. Базовая структура фильтра

структуры, что легко обеспечивалось механизмами встроенных коммуникационных портов.

На момент разработки на отечественном рынке специализированных вычислительных модулей на базе TMS320C4x только АО "Инструментальные системы" предлагала широкий набор необходимых для эффективной разработки программно-аппаратных средств. Поэтому в качестве базового строительного элемента разрабатываемой СЦОРНИ был выбран 4-процессорный модуль фирмы "ИнСис" Dsp40V [4].

После выбора базового модуля были разработаны вычислительные топологии подсистем СЦОРНИ. Структура модуля Dsp40V предоставила возможность гибко использовать ресурсы отдельных процессоров.

Отработка алгоритмического и программного обеспечения всего комплекса решаемых задач велась параллельно на специально созданных рабочих местах. Основой их была технология модулей стандарта TIM-40, из которых на базе TIM-несущей на ПЭВМ собиралась вычислительная топология, повторяющая топологию обрабатываемой подсистемы СЦОРНИ. Отсутствие на этапе макетирования приборов разрабатываемых оригинальных модулей компенсировалось применением модулей АЦП, ЦАП и синтезаторов частоты, выполненных в стандарте TIM-40. Наличие встроенного отладчика обеспечивало высокоэффективную разработку и отладку разрабатываемого программного обеспечения [5, 6, 7].

Особенности реализации подсистемы цифровой сигнальной фильтрации

Задачами подсистемы являются:

- прием управляющих формуляров;
- прием синфазной (I) и квадратурной (Q) составляющих входного сигнала;
- селекция движущихся целей на базе фильтров с КИХ и БИХ до 3-го порядка включительно;
- селекция движущихся целей на гребенке фильтров, реализованных на базе алгоритма БПФ;
- выдача результатов обработки потребителям;
- контроль функционирования.

В разработанной подсистеме все перечисленные задачи решались программным способом. Режимы работы фильтра и когерентного накопителя взаимоисключающие. Переключение режи-

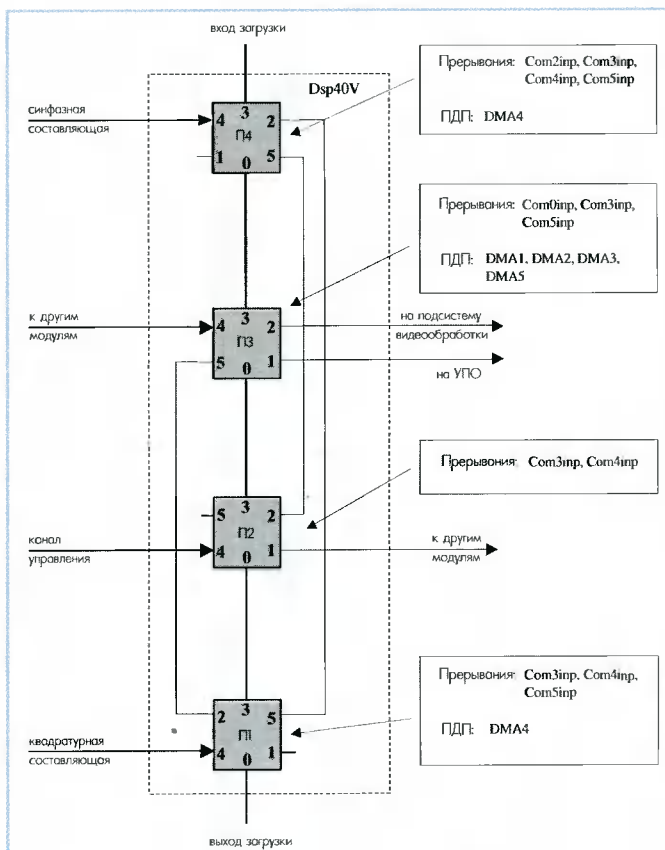
мов обработки выполняется в соответствии с пришедшим командным формуляром. Изменения параметров фильтрации выполнялись изменением коэффициентов программного фильтра, базовая структура которого приведена на рис.2.

Когерентный накопитель реализован на базе алгоритма БПФ Кули-Тьюки с перекрытием массивов входных данных и весовой обработкой.

Особенности использования ресурсов базового модуля в СЦОРНИ приведены на рис.3.

Обмен данными в системе выполнялся согласованными пакетами. Синхронизация вычислений обеспечивалась реализацией режима обработки, управляемого потоком данных.

Высокая суммарная вычислительная мощность при реализации прикладных алгоритмов была достигнута благодаря:



* На подсистему видеобработки выдаются результаты обработки и контроля.

Рис.3. Особенности использования ресурсов базового модуля

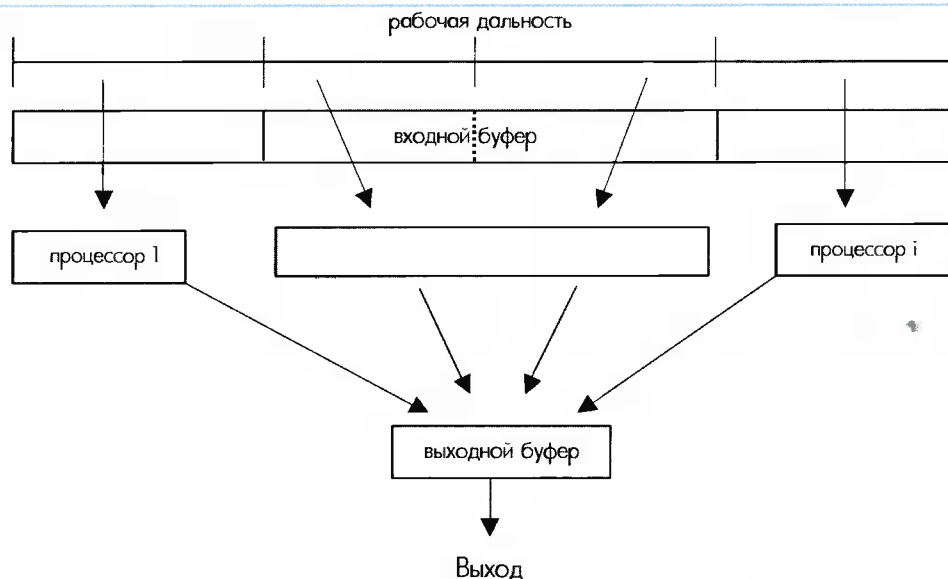


Рис. 4. Схема распараллеливания обработки

- внутреннему параллелизму вычислительного ядра процессоров на уровне команд;
- параллельной работе ядра, контроллеров прямого доступа и механизмов коммуникационных портов;
- использованию внутреннего кэша;
- применению табличных функций.

Для ускорения вычислений в разработанных мультипроцессорных системах используются методы конвейеризации и распараллеливания обработки.

Распараллеливание выполнялось путем равномерного разбиения объема входных данных между расчетным числом процессоров. При этом характер обработки, выполняемой каждым про-

цессором, задавался однотипный. Схема распараллеливания обработки приведена на рис. 4.

Конвейеризация реализовывалась выделением независимых фаз ввода, обработки и вывода и последующим их последовательным выполнением. Схема реализации конвейерной обработки приведена на рис. 5.

Особенности реализации подсистемы видеообработки

Разработка подсистемы была проведена в целях минимизации потока передаваемых видеоданных и количества необходимых вычислительных операций в ЭВМ индикации, что позво-

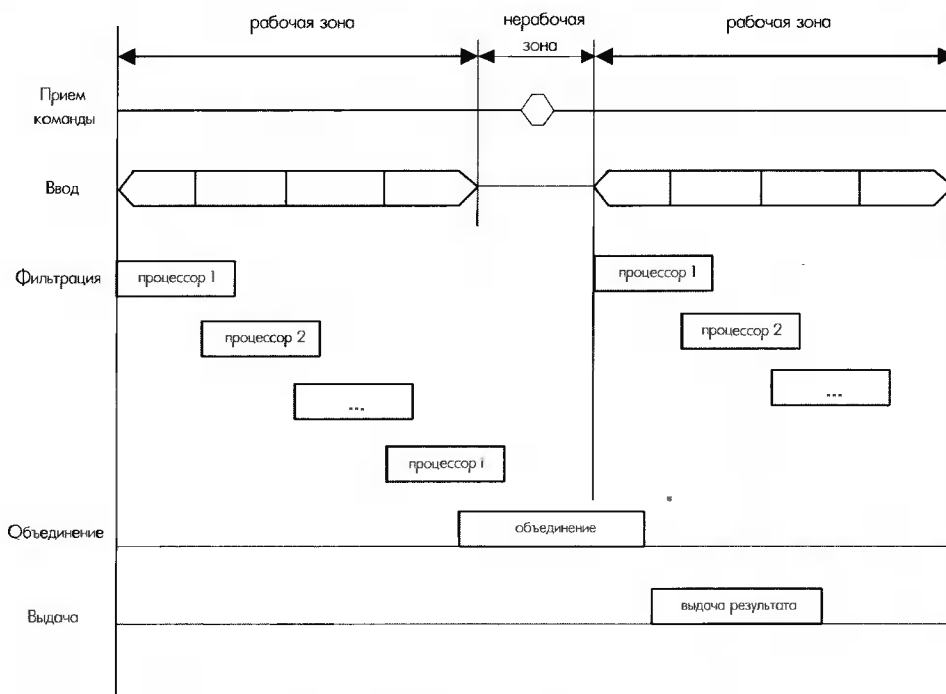


Рис. 5. Схема конвейеризации обработки

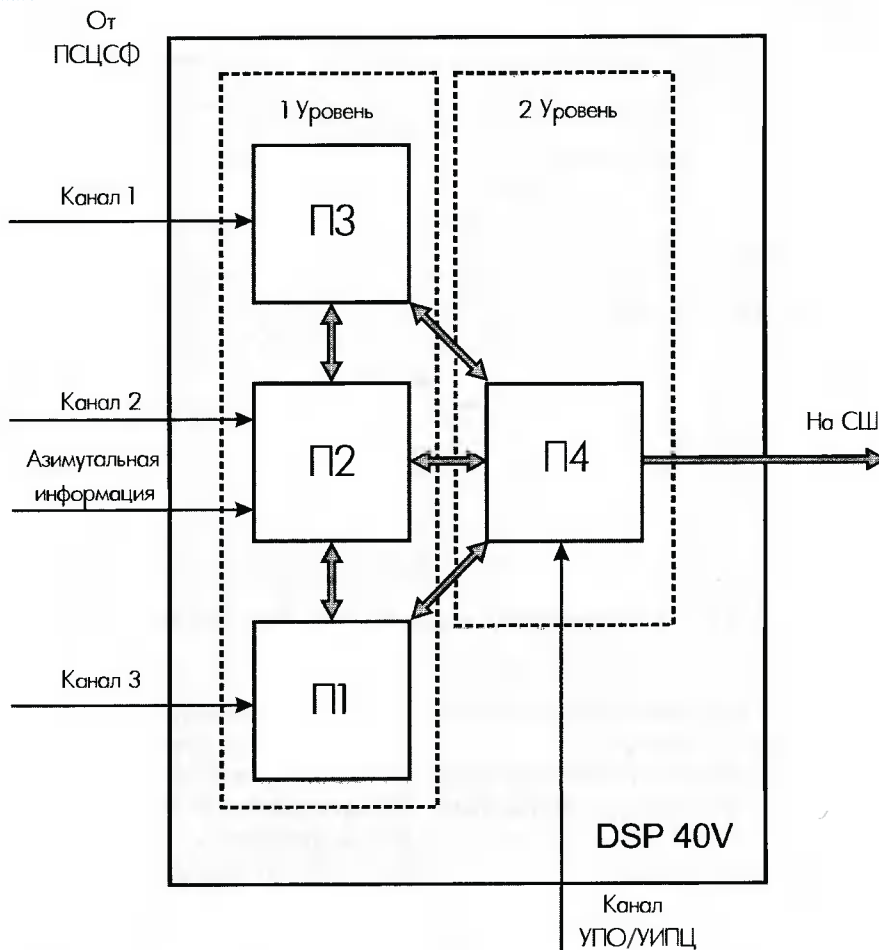


Рис.6. Общая структура подсистемы видеобработки

лило бы применить ЭВМ невысокой производительности.

Для достижения этой цели подсистема решает следующие задачи:

- прием и объединение высокоскоростных потоков видеоинформации от устройства цифровой сигнальной фильтрации,
- последующая обработка принятой информации и совмещение результатов с данными от устройств первичной обработки и идентификации признака цели,
- формирование растрового изображения радионавигационной обстановки.

В ходе разработки подсистемы было выделено три основных вопроса: ввод информации, обработка, выдача результатов в ЭВМ индикации

Источниками информации для подсистемы видеобработки являются :

- подсистема цифровой сигнальной фильтрации (ЦСФ) – выдает первичную РНИ по трем независимым каналам;
- устройство первичной обработки (УПО) – выдает информацию по обнаруженным отметкам целей;
- устройство идентификации признаков цели (УИПЦ).

Входные данные сопровождаются азимутальной информацией для привязки к пеленгу. Инфор-

мация передается пакетами фиксированной длины в рабочей зоне циклограммы работы станции.

Ввод информации организован по коммуникационным портам процессоров под управлением встроенных контроллеров ПДП. Инициализация контроллеров происходит в схеме обработки прерывания по непустому входному FIFO при приеме первого байта пакета. По окончании работы контроллеров ПДП формируются прерывания, информируя процессор о поступлении пакета данных для обработки.

Обработка информации в подсистеме организована параллельно-конвейерными методами. Для повышения производительности обработка была разделена на два уровня (рис.6). Самый большой поток – три канала от подсистемы ЦСФ – обрабатывается параллельно в трех процессорах первого уровня. Результаты обработки передаются в процессор второго уровня, где выполняется обработка информации от устройств УПО и УИПЦ с последующим объединением всех результатов и формированием кадров изображения и межобзорного накопления.

Представленная выше структура была спроектирована с учетом топологии связей процессоров внутри модуля DSP40V. Однако предварительный расчет времени выполнения алгоритмов показал, что производительности одного процессора недостаточно для выполнения обработки в элементах



первого уровня [8]. Решением этой проблемы является дальнейшее распараллеливание обработки потока входных данных. Повышение производительности достигается за счет применения нескольких модулей и разделения всего потока входной информации на соответствующее количество частей для выполнения параллельной обработки. Основным вопросом при этом становится синхронизация параллельных процессов обработки. В данном случае вопрос был решен методом обмена сообщениями между процессорами системы.

Рассмотрим более подробно некоторые наиболее интересные моменты реализации алгоритмов обработки информации.

К таковым прежде всего относятся алгоритмы согласования элементов разрешения РНС с элементами разрешения экрана, механизмы межобзорного накопления, а также механизмы, обеспечивающие требования обновления информации синхронно с вращением антенны.

Разрешение РНС, как по дальности, так и по азимуту, заведомо больше разрешения экрана, и при выполнении процедуры согласования необходимо обеспечить выполнение следующих условий:

- не допустить потерю информации,
- сохранить динамический диапазон видеосигнала,
- сохранить отношение сигнал/шум.

С этой точки зрения был проведен анализ целого ряда алгоритмов преобразования масштабов. В рассматриваемой системе был реализован алгоритм выбора максимума из двух объединяемых точек, как наиболее точно отвечающий поставленным условиям. Приведение масштабов выполняется в процессорах первого уровня в два этапа. Сначала данные по зонированию, принадлежащим одному пеленгу, сжимаются по дальности и объединяются в буфере пеленга. Затем выполняется пересчет буфера пеленга в буфер кадра развертки.

Для прямоугольного изображения формат буфера кадра развертки соответствует расположению пикселей на экране и пересчет не вызывает затруднений. Для изображения кругового индикатора пересчет пеленга выполняется с помощью специальной таблицы, которая ставит в соответствие порядковый номер точки в буфере ее экранному координатам. Такая таблица хранится для каждого процессора во внешнем банке памяти.

Межобзорное накопление осуществляется в процессорах второго уровня параллельно с процедурой объединения информации. Для этого на двух внешних банках памяти процессора организовано два буфера кадров развертки. В любой момент времени только один из этих буферов является основным. При формировании одной точки развертки в основной буфер записывается полная амплитуда яркости, а в дополнительный буфер параллельной командой записывается ее половинное значение. При поступлении управляющего сигнала буферы переключаются и, таким образом, при формировании следующего кадра развертки в нем уже прису-

тствуют необходимые значения амплитуд видеосигнала межобзорного накопления.

Для обеспечения требования обновления информации синхронно с вращением антенны буфер кадра развертки разбивается на несколько частей – так называемых секторов. Каждый сектор хранит изображение нескольких градусов обзора и передача результатов обработки в ЭВМ индикации осуществляется частями по мере формирования секторов.

Выдача результатов осуществляется с процессоров второго уровня через коммуникационный порт и внешнее FIFO на системную шину под управлением контроллера ПДП.

При технической реализации системы основные проблемы заключались в согласовании межмодульных коммуникационных каналов. Для обеспечения устойчивого обмена данными в СЦОРНИ все межмодульные коммуникационные каналы реализованы однонаправленными.

Заключение

Разработанная на базе процессорных модулей АО “Инструментальные системы” СЦОРНИ отвечает в целом поставленным требованиям и задачам эффективной обработки радионавигационной информации. Вместе с тем последние достижения в области ПЛИС-технологий открывают новые пути технических решений, сочетающие гибкость сигнальных процессоров и высокую производительность СБИС обработки сигналов на базе ПЛИС.

В новых разработках делается ставка на построение неоднородных вычислительных систем, базовыми элементами которых будут высокопроизводительные ПЛИС и сигнальные процессоры. При этом предполагается основную нагрузку по обработке возложить на ПЛИС.

Литература

1. Кузьмин С.З. Основы проектирования систем цифровой обработки РЛИ. М.: Радио и связь, 1986, 352 с.
2. Беляевский Л.С. Обработка и отображение радионавигационной информации. М.: Радио и связь, 1990, 231 с., ил.
3. TMS320C4x User's Guide. Texas Instruments Inc., 1993.
4. Модуль Dsp40V. Руководство пользователя. Москва, ОАО “Инструментальные системы”.
5. ТИМ-40 несущий модуль Dsm40ISA. Руководство пользователя. Москва, ОАО “Инструментальные системы”.
6. ТИМ-40 модуль DST44Q. Руководство пользователя. Москва, ОАО “Инструментальные системы”.
7. Субмодуль аналогового ввода ADM12x1M/3M. Руководство пользователя. Москва, ОАО “Инструментальные системы”.
8. Мищенко В.А. и др. Расчет производительности многопроцессорных вычислительных систем. Мн.: Выш. шк., 1985, 208 с., ил.

МНОГОПРОЦЕССОРНАЯ РЕАЛИЗАЦИЯ АДАПТИВНОЙ ОБРАБОТКИ СИГНАЛА В КОГЕРЕНТНОЙ ИМПУЛЬСНОЙ РЛС

Рассматривается алгоритм цифровой обработки ФКМ-сигнала Баркера и его реализация на многопроцессорных модулях цифровой обработки сигналов (ЦОС), выполненных на сигнальных процессорах ADSP-21062. Тракт обработки по видеочастоте предназначен для использования совместно с внешними устройствами АЦП в когерентной РЛС обнаружения высокоскоростных целей и измерения их параметров. Алгоритм включает функции подавления активных помех, сжатия ФКМ-сигнала Баркера, когерентного накопления по пачке импульсов, адаптивного обнаружения и селекции целей на фоне пассивных помех с измерением их параметров. Приведены структурная схема алгоритма, распределение вычислительных операций по процессорам, особенности организации вычислений и адаптации алгоритма, а также экспериментальные характеристики реализованного программного обеспечения.

Рассматриваемая когерентная импульсная РЛС представляет собой 3-координатный импульсно-доплеровский радиолокатор С-диапазона с истинной когерентностью, работающий в режиме обзора с обработкой данных суммарного канала С по всей дальности и в режиме сопровождения целей с обработкой данных суммарного канала С и разностных каналов А и Е в строке дальности. Канал Д предназначен для компенсации активных помех от соседних РЛС. В качестве зондирующих сигналов РЛС-использует 13-позиционный ФКМ-сигнал Баркера длительностью 10 мкс и простой импульсный сигнал (0,7 мкс). Тракт обработки выполнен на видеочастоте и работает совместно с внешними устройствами АЦП, подключенными к выходам фазовых детекторов приемной системы каждого радиолокационного (РЛ) канала. Использование выравнивания коэффициентов передачи квадратурных каналов в тракте обработки снижает требования к идентичности амплитудных характеристик аналогового тракта. 32-разрядная шина процессора ЦОС и реализация входного интерфейса с временным уплотнением каналов, а также обработка в формате с плавающей точкой, позволяют работать с устройствами АЦП практически любой разрядности и снимают проблему ограничения динамического диапазона при обработке.

Наиболее характерными требованиями к тракту обработки сигнала РЛС при работе с высокоскоростными целями являются:

1) обработка непрерывно поступающих данных в реальном времени без потери информации;

2) высокий темп поступления входной информации (48 Мбайт/с);

3) многорежимность работы с динамическим переключением режимов, РЛ-каналов и параметров обработки без потери информации;

4) высокая вычислительная производительность сигнальных процессоров, обеспечивающая

требуемый объем вычислений при ограниченных временных ресурсах;

5) стандартный высокоскоростной интерфейс обмена с трактом вторичной обработки и управления.

Обработке в тракте ЦОС подлежит пакет информации, состоящий из 3 пачек, каждая из которых содержит отраженные сигналы от 16 зондирующих импульсов по 3 квадратурным каналам С, А, Е, а также аналогичную информацию по каналу Д. Каждый РЛ-канал связан со своим приемным трактом. РЛС работает в режиме скоростной неоднозначности (при неоднозначности по дальности), для разрешения которой применена вобуляция частоты повторения зондирующих импульсов от пачки к пачке. Одновременно вобуляция частоты повторения используется для устранения слепых скоростей при включенной селекции движущихся целей.

Структурная схема тракта обработки приведена на рис. 1 и включает следующие функции.

1. Динамическое подключение РЛ-каналов к тракту обработки в зависимости от его режима работы.

2. Подстройка квадратурных составляющих РЛ-каналов по калибровочному шумовому стробу, поступающему на вход обработки вместе с данными для выравнивания квадратур по амплитуде.

3. Компенсация активных помех в основных каналах с использованием канала Д.

4. Весовая обработка по пачкам для улучшения селекции целей на фоне пассивных помех.

5. Сжатие ФКМ-сигнала по дальности с адаптацией фильтра сжатия от пакета к пакету.

6. Когерентное накопление сигнала по пачкам с вычислением модулей.

7. Адаптивное обнаружение целей по доплеровским каналам (фильтрам) для стабилизации уровня ложных тревог.

8. Адаптивная селекция целей на фоне помех от местных предметов и гидрометеоров.

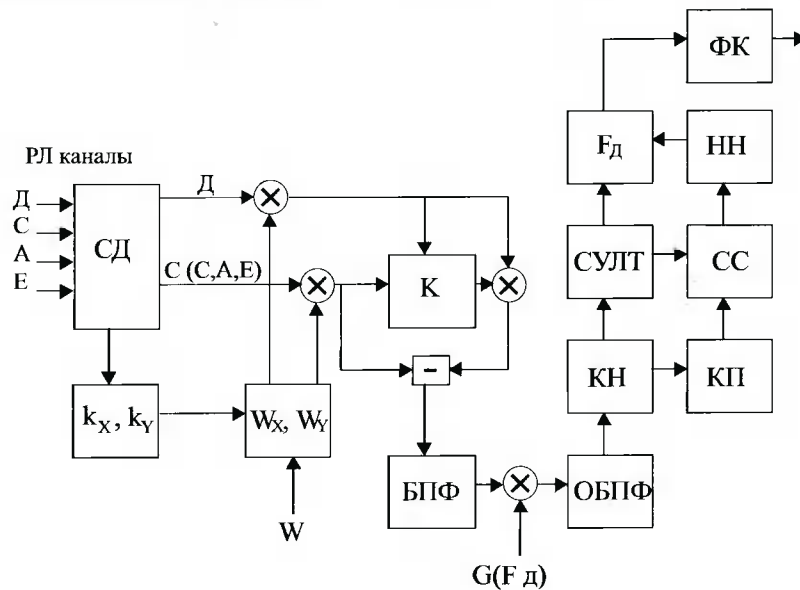


Рис. 1

9. Некогерентное накопление бинарных сигналов обнаружения по пакету и бинарная обработка отметок.

10. Измерение доплеровской частоты обнаруженных целей.

11. Подготовка данных и формирование выходной кодограммы для выдачи на устройство вторичной обработки.

Реализованы следующие основные характеристики тракта ЦОС.

- Динамический диапазон входных сигналов до 90 дБ.
- Коэффициент улучшения входного отношения сигнал/шум 20 дБ.
- Уровень боковых лепестков сжатого сигнала по дальности -51,5 дБ.
- Коэффициент подавления пассивных помех: при 8-разрядном АЦП 41 дБ; при 12-разрядном АЦП (расчет) 58 дБ.
- Коэффициент подавления активных помех при отношении помеха/шум на входе ЦОС 42 дБ 38 дБ.

Для реализации алгоритма обработки и получения заданных характеристик требуемая вычислительная производительность должна составлять не менее 1000 MFLOPS.

Тракт обработки РЛ-сигналов реализован на 5 процессорных модулях ЦОС типа ADP60V5 производства АО «Инструментальные системы», выполненных на сигнальных процессорах ADSP-21062 и имеющих шину VME. Пиковая производительность модуля составляет 600 MFLOPS при тактовой частоте 40 МГц.

Для достижения требуемой производительности в тракте ЦОС использованы два одинаковых модуля, работающих в режиме SLAVE и включенных параллельно по входным данным и выходному интерфейсу. Базовые адреса на шине VME для обмена с управляющей хост-ЭВМ различны.

Структурная схема аппаратной реализации приведена на рис.2. Время обработки пакета информации одним модулем не превышает длительности 2 пакетов, что обеспечивает непрерывную обработку без потери информации. Кроме этого, такое включение исключает необходимость межмодульного обмена информацией и позволяет полностью унифици-

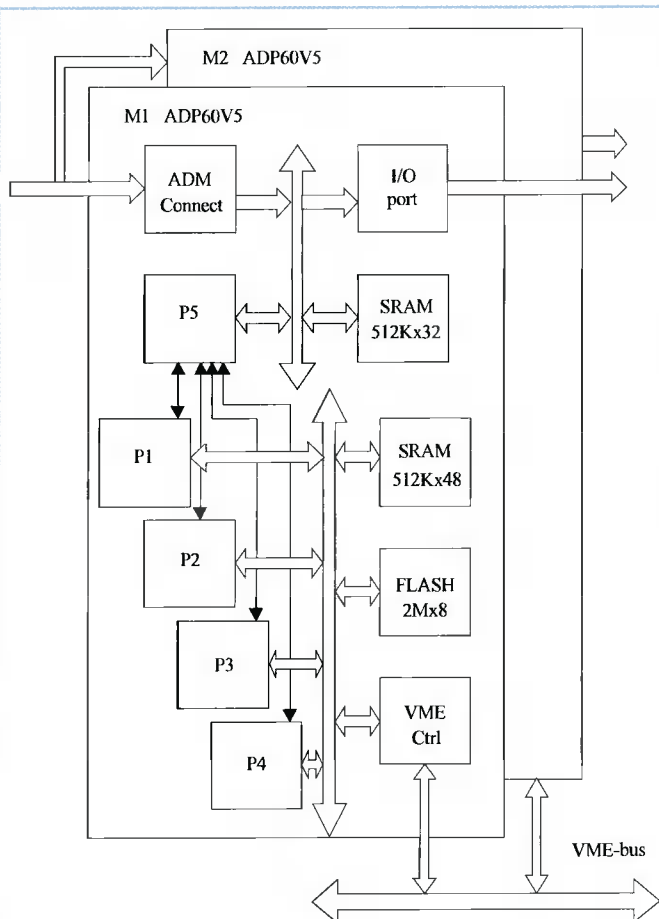


Рис. 2

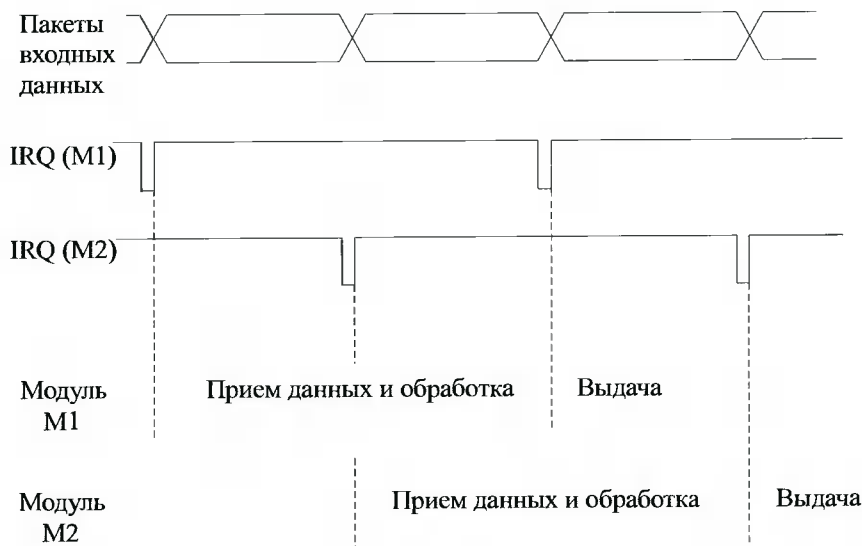


Рис.3

ровать программное обеспечение и аппаратуру. Порядок обработки информации приведен на рис.3.

Внутри каждого модуля вычисления организованы по параллельно-конвейерному принципу с разделением данных по процессорам в P1 – P4. Функции 1 – 4 выполняет процессор P5, работающий с аппаратными ресурсами ADM-Connect, реализованными на ПЛИС, и локальным банком внешней памяти. 16-разрядный порт ввода-вывода (**I/O port**) используется для выдачи данных на аппаратуру регистрации. Функции 5 – 11 выполняются 4 процессорами P1 – P4, объединенными внутренней общей шиной в кластер и работающими с общим внешним банком памяти. Процессор P5 связан с процессорами кластера линк-портами, обеспечивающими скорость обмена 40 Мбит/с.

Управление обработкой пакетов информации производится входными кодограммами, содержащими информацию о режиме и параметрах обработки и поступающими на модули M1 и M2 поочередно по шине VME от хост-ЭВМ, которая выставляет прерывания (**IRQ**) на процессоры кластера и освобождает его шину. Входная кодограмма поступает на процессор P1 с последующей рассылкой по всем процессорам: в процессор P5 – по линк-порту, в остальные процессоры – по шине кластера.

Драйвер приема входных данных процессора P5 обеспечивает подключение каналов в соответствии с режимом FIFO, входящего в состав интерфейса ADM Connect [1]. Программируемые ресурсы ADM Connect обеспечивают селекцию данных (**СД**) в каналах и их запись в память процессора P5 по общей шине. Выравнивание скоростей поступления данных и записи обеспечивает FIFO. Для сокращения вычислений подстройка квадратур каналов по амплитуде выполнена в P5 одновременно с весовой

обработкой: по усредненным выборкам калибровочного шумового строба вычисляются коэффициенты коррекции квадратур (k_x, k_y), на которые домножается весовая функция (W_x, W_y). Так как подстройка необходима из-за сравнительно медленных дестабилизирующих процессов, усреднение производится и по пакетам, в связи с чем все эти операции выполняются процессором P5 после выдачи всех данных пакета в кластер.

Компенсация активных помех обеспечивается в процессоре P5 корреляционным методом, для чего в выбранном стробе данных вычисляется корреляция между сигналами каналов С и Д или сигналами каналов С, А, Е и Д. При превышении коэффициентом корреляции порогового значения вычисляются коэффициенты компенсации (**К**) и производится компенсация: $S_{\text{комп}} = С - К \times Д$. Для исключения пассивных помех, вызывающих декорреляцию, предварительно проводится фильтрация методом БПФ и при вычислении не используются спектральные составляющие вблизи нулевой частоты. Потери входных данных из-за работы алгоритма компенсации не происходит, так как входное FIFO выбрано достаточной глубины.

Скомпенсированные данные каналов выдаются по линк-портам в процессоры кластера для последующей обработки с разделением данных. В режиме обзора для разделения используется естественный порядок поступления: сигналы от 1, 5, 9, ... зондирований выдаются на процессор P1; от 2, 6, 10, ... – на процессор P2; от 3, 7, 11, ... – на процессор P3; от 4, 8, 12, ... – на процессор P4. В режиме сопровождения (объем вычислений которого существенно меньше) разделение данных производится по РЛ-каналам: все данные канала С выдаются на процессор P1, канала А – на процессор P2, канала Е – на процессор P3 и не изменяется в течение всей обработки.



Сжатие ФКМ-сигнала производится в процессорах кластера с задержкой во времени относительно друг друга, что дает возможность эффективно распределять ресурсы общей шины. Для сжатия используется известный алгоритм быстрой свертки [2], сокращающий общее время вычислений в 3 – 5 раз. В качестве фильтрующей функции использован неоптимальный фильтр [3], обеспечивающий достаточно низкий уровень боковых лепестков при вполне приемлемых потерях в отношении сигнал/шум (0,2 дБ). При обработке скоростных целей без использования доплеровской коррекции при сжатии возникают потери в потенциале РЛС за счет несогласованности фильтра. При скоростях, соответствующих $F_d = 40$ кГц, они составляют свыше 3 дБ, кроме этого, значительно возрастает уровень боковых лепестков по дальности, ухудшающий работу обнаружителя. Для исключения этих потерь при сжатии производится согласование функции фильтра с входным сигналом домножением ее на фазовый множитель:

$g_{F\phi}(i) = g_0(i) e^{j\varphi(F\phi, i)}$, где F_ϕ – частота настройки фильтра; $g_0(i)$ – функция фильтра, зависящая от дальности i для $F_d = 0$. Таблицы значений Фурье-образа функций фильтра $G(F_d)$, обеспечивающие согласование на различных частотах, хранятся во внешней памяти кластера и подключаются в соответствии с измеренной в предыдущих пакетах частотой Доплера. Таким образом производится адаптация фильтра под параметр цели с первоначальной настройкой на середину доплеровского диапазона. Внешняя память кластера позволяет хранить достаточное количество таблиц и реализовать практически любой шаг настройки. Для работы с простым импульсным сигналом алгоритм не меняется, но используется единичная функция G , не зависящая от F_d .

Смена оси обработки при последующем когерентном накоплении (КН), выполняемым методом БПФ, обеспечивается обменом данными через внешнюю память кластера и разделением их в процессорах по участкам дальности. Спектральные составляющие после когерентного накопления также записываются во внешнюю память кластера для выполнения последующего алгоритма обнаружения с разделением данных в процессорах по доплеровским каналам. Стабилизация уровня ложных тревог (СУЛТ) выполнена в виде 2-стороннего скользящего окна по дальности с вычислением опорной выборки по среднему и последующей свертки в фильтрах, синтезированных по критерию максимальной амплитуды. Для подавления пассивных помех применена карта помех (КП), выполняющая межпакетную адаптивную фильтрацию. Карта помех реализована усреднением фильтровых каналов БПФ по обзорам в виде 3-мерного массива дальность – скорость – угол. В целях сокращения объема памяти для карты помех используется половина всех доплеровских каналов, ис-

ключая средние, не содержащие помех. Для того чтобы карта помех была не критична к смежным угловым направлениям при выбранном построении обработки, последние объединяются (только для карты) исключением младшего бита из поступающего от хост-ЭВМ кода угла. Усреднение производится алгоритмом приближения к математическому ожиданию: из текущего значения карты по каждому ее элементу вычитается 1/16 предыдущего значения и добавляется 1/16 текущего. Селектор по скорости (СС) сравнивает текущее значение с соответствующим значением карты помех, используя коэффициент, обеспечивающий требуемый уровень ложного обнаружения помех, и стробирует обнаружитель по дальности.

Некогерентное накопление бинарных признаков обнаружения (НН) выполнено в виде обработки пачек пакета по критерию “2 из 3”, что обеспечивает дополнительный выигрыш в потенциале около 2 дБ и устраняет слепые скорости за счет возбуждения частоты повторения.

Измерение частоты Доплера обнаруженных целей (F_d) производится табличным методом, сокращающим время вычислений. Доступ к таблице производится по номерам фильтров целей, обнаруженных в соответствующих пачках. Таблица сформирована перебором всех возможных значений частоты Доплера для принятой математической модели. Выходные результаты обработки пакета упаковываются в выходную кодограмму (ФК) процессором P1, доступ к внутренней памяти которого производится со стороны хост-ЭВМ через контроллер шины VME по алгоритму [1].

Учитывая жесткие временные ресурсы, все программное обеспечение написано на языке ассемблера с учетом архитектуры модуля ADP60V5 и процессора ADSP-21062. Загрузка программного обеспечения в модуль производится поочередно от хост-ЭВМ по шине VME.

Хранение программ возможно также во флэш-памяти модулей.

Удачно проработанная архитектура модуля ADP60V5 в сочетании с параметрами сигнального процессора ADSP-21062 позволила реализовать достаточно сложный алгоритм обработки при минимальном использовании аппаратуры и возможности унификации программного обеспечения.

Литература

1. Процессорный модуль ADP60V5. Руководство пользователя.
2. Блейхут Р. Быстрые алгоритмы цифровой обработки сигналов./Пер. с англ. М.: Мир, 1989. 448 с., ил.
3. Амиантов И.Н. Избранные вопросы статистической теории связи. М.: Сов.радио, 1971.

ИСПОЛЬЗОВАНИЕ ПРОЦЕССОРОВ ЦОС С ПЛАВАЮЩЕЙ ЗАПЯТОЙ В ТРАКТАХ ПЕРВИЧНОЙ ОБРАБОТКИ

Системы цифровой обработки сигналов, разрабатываемые по тематике АО НПК НИИДАР, требуют достаточно высоких показателей производительности (до сотен GFLOPS) при широких диапазонах и высокой точности вычислений. Как правило, решаемые задачи хорошо распараллеливаются по приемным, азимутальным и дальностным каналам. Это вынуждают создавать комплексы и устройства, имеющие в своем составе десятки и сотни сигнальных процессоров, ориентированных на выполнение операций с плавающей точкой в реальном времени.

Специфические требования к проектируемым изделиям со стороны заказчиков НПК НИИДАР традиционно ограничивали возможность применения современных импортных комплектующих элементов и, как следствие, приводили к построению громоздких конструкций, размещаемых в специальных сооружениях. Известные обстоятельства привели, с одной стороны, к потерям таких заказов вместе с возможностями иметь большие коллективы исполнителей для их реализации, с другой стороны – открыли нишу коммерческим заказам с качественно другими требованиями.

Выбор основных технических решений при построении устройств цифровой обработки в изделиях проводится с учетом следующих основных положений:

1. Достаточность вычислительных ресурсов для реализации программно-алгоритмического обеспечения с требуемыми показателями.
2. Обеспечение надежности функционирования вычислительных средств.
3. Минимизация стоимости разработки и эксплуатации.
4. Максимальное использование опыта и наработок.
5. Наличие развитого технологического программного обеспечения, обеспечивающего минимизацию времени разработки и отладки программ.
6. Сокращение времени отладки на готовых изделиях и объектах.

В основе структурного построения, как правило, лежат следующие принципы:

- создание вычислительных структур с максимально возможным использованием параллельных трактов обработки;
- обеспечение возможности наращивания вычислительной мощности путем простого увеличения количества используемых вычислительных модулей для обработки информации при модернизациях изделий, в том числе увеличении числа приемных каналов;

- возможность использования IBM PC-совместимых вычислительных модулей с соответствующим программным обеспечением;
- обеспечение гибкого распределения обязанностей между компонентами вычислительных средств.

Для реализации поставленных целей и задач НПК НИИДАР использует средства ЦОС АО “Инструментальные системы” начиная с 1993 года. Выбор партнера при реализации большого количества проектов для нас определен продуманной технической политикой этой фирмы, позволяющей отслеживать последние достижения в области цифровой обработки сигналов.

Применение современных средств ЦОС производства АО “Инструментальные системы” иллюстрируется на примере двух изделий, разрабатываемых в настоящее время.

В изделии, предназначенном для контроля экономической зоны (РЛС поверхностной волны), в качестве основного элемента архитектуры первичной обработки была выбрана плата DSP44QPCI с 4 процессорами TMS320C44. Основными обстоятельствами, определившими такое решение, явились:

- большой опыт и наработки (математика, сопряжение с цифровой аппаратурой приемника), имеющиеся на предприятии по работе с процессорами плавающей запятой фирмы TI;
- положительные результаты, полученные при использовании платы DSP44QN в одном из предыдущих заказов, и возможность использования такой платы в качестве стенда для отладки программ;
- стоимостные характеристики.

Конструктивно примененные в тракте первичной обработки изделия 24 платы DSP44QPCI размещены в шести промышленных крейтах IPC-615 фирмы ADVANTECH, собранных вместе с сервером и монитором в одном шкафу. Суммарное количество процессоров ЦОС в изделии составляет 96 и может быть легко увеличено путем наращивания числа крейтов.

Входная цифровая информация поступает от шести приемных каналов, каждый канал связан с 4 платами DSP. Каждая из плат получает всю информацию приемного канала временными порциями в два процессора поочередно. Выбирая свою часть информации, приемные процессоры осуществляют общую часть обработки и выдают данные по двум типам целей на оставшиеся процессоры платы. Результаты обработки от 4 плат поступают в компьютер PC, имеющийся в крейте, где объединяются, и по ЛВС выдаются на сервер для вторичной обработки. Управление приемным каналом ведет-

ся по линку одного из процессоров. Привязка к реальному времени работы изделия осуществляется по моментам окончания приема временной порции информации от приемного канала.

Структурная схема вычислительного комплекса изделия представлена на рис. 1.

Отладка программного обеспечения изделия проводилась на созданном стенде, включающем один модуль первичной обработки сигналов вычислительного комплекса (МПОСВК), сервер и рабочее место оператора.

В изделии, предназначенном для контроля воздушного пространства (РЛС УКВ-диапазона), в качестве основного элемента архитектуры первичной обработки была выбрана плата ADP60PCI на процессоре SHARC ADSP-21062. Основными обстоятельствами, определившими такое решение, явились:

- требования по производительности, предъявляемые к тракту первичной обработки изделия;
- возможность использования в данном изделии submodule ADM фирмы АО "Инструментальные системы";
- создание задела для применения процессоров SHARC с submodule ADM и DDC в дальнейших разработках.

Конструктивно примененные в тракте первичной обработки изделия 4 платы ADP60PCI с модулями SHARCPAC DSS60Q и submodule ADM размещены в промышленном крейте фирмы ADVANTECH.

Входная аналоговая информация от 16 каналов приемника поступает на два 8-канальных submodule ADM, оцифровывается, передается в память корневых процессоров и запоминается на заданном интервале времени. В обработке информации участвуют 18 процессоров, разбитых на две группы по 9 процессоров, которые обрабатывают соседние такты работы изделия.

Количество модулей в изделии может варьироваться в достаточно широких пределах; в настоящее время в изделии работают два модуля с 40 процессорами ЦОС.

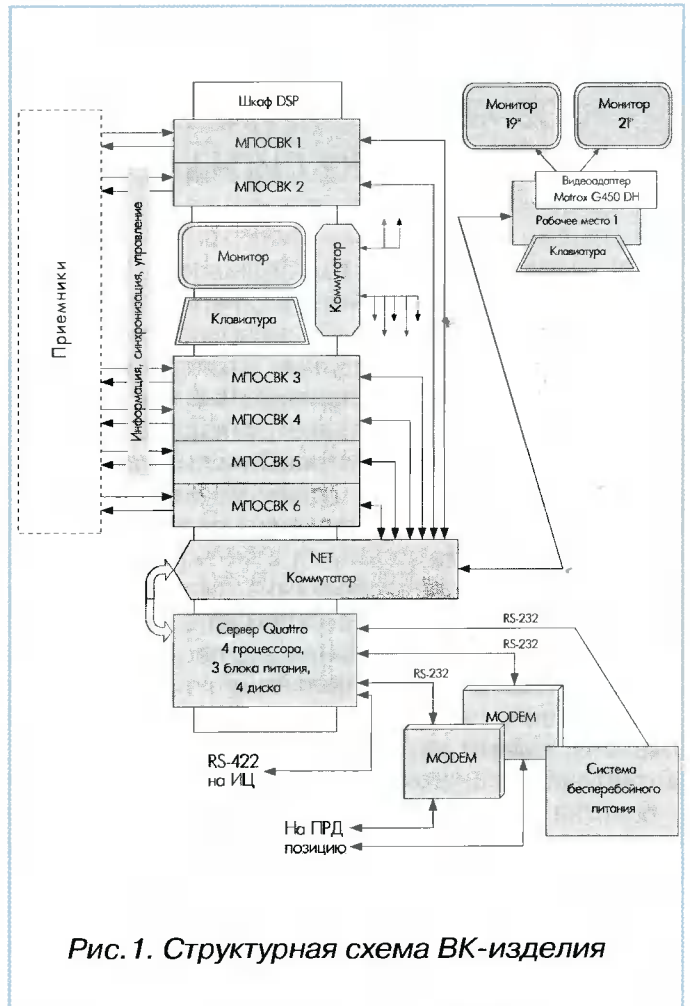


Рис. 1. Структурная схема ВК-изделия

Структурная схема модуля первичной обработки представлена на рис. 2.

Дальнейшие перспективы применения современных средств ЦОС производства АО "Инструментальные системы" в планируемых к разработке изделиях для нас связаны с использованием процессоров SHARC ADSP-21160 как с применением submodule многоканальных ADM и DDC, так и с использованием каналов обмена с аппаратурой разработки НИИДАР.

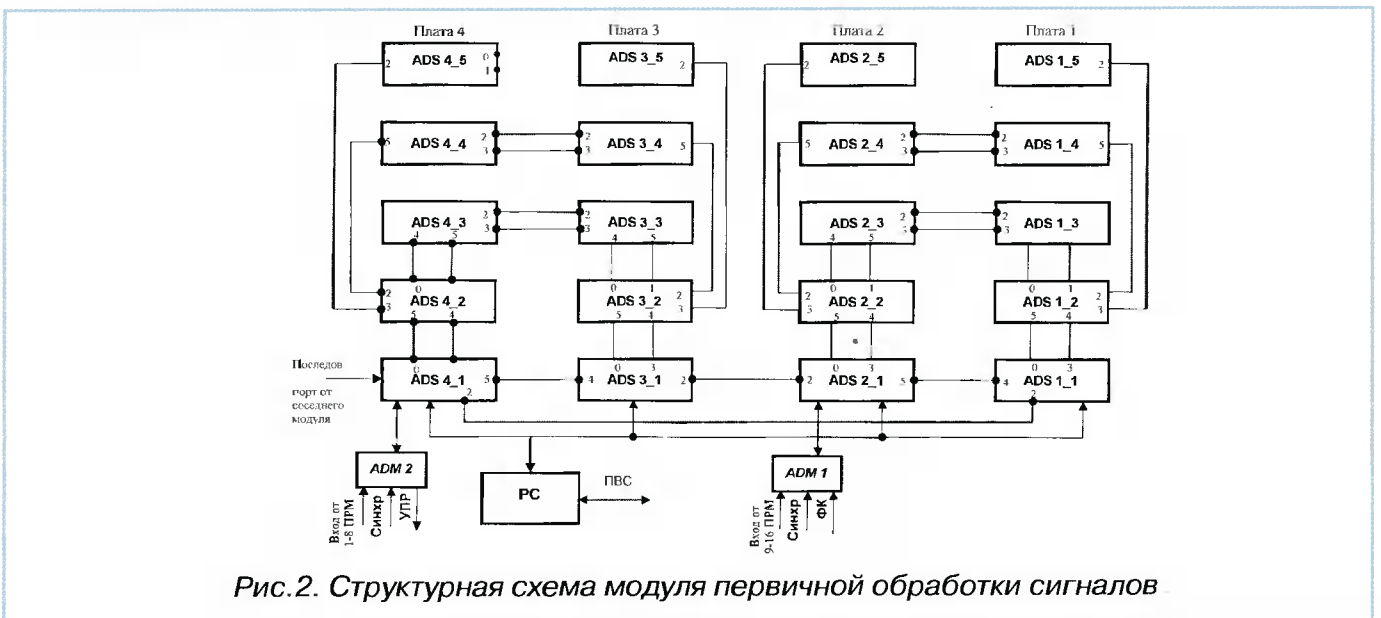


Рис. 2. Структурная схема модуля первичной обработки сигналов

СОВМЕСТНОЕ ПРИМЕНЕНИЕ СТРОБИРУЕМЫХ АЦП И ТАЙМЕРА В ОБРАБОТКЕ СИГНАЛОВ РАДИОЛОКАЦИОННЫХ СТАНЦИЙ

В настоящее время все большее количество плавсредств и летательных аппаратов, включая и небольшие, используют различного типа радиолокационные станции (РЛС). В результате для целей управления и контроля их движения актуальной является задача обнаружения, пеленгования и обработки сигналов РЛС, установленных на них. Одним из эффективных методов анализа радиосигналов является их цифровая обработка.

Однако цифровая обработка сигналов РЛС в режиме радиоконтроля сопряжена с определенными трудностями, связанными с противоречивостью требований, предъявляемых к станциям радиоконтроля, и техническими параметрами сигналов РЛС, такими, как:

- требуемое минимальное время обзора пространства во всем диапазоне частот;
- высокая точность пеленгования ≤ 4 градусов;
- необходимость идентификации РЛС по техническим параметрам радиосигнала;
- широкий диапазон частот сигналов с разбивкой их на поддиапазоны – сотни МГц;
- широкая полоса частот сигнала – до 10 МГц;
- низкая скорость вращения антенны РЛС – до 10 с;
- требуемая минимальная стоимость станции обнаружения и пеленгования.

Указанные параметры предъявляют жесткие требования к системе цифровой обработки сигналов. Так, широкая полоса частот сигнала (малая длительность импульсов), необходимость идентификации РЛС и требуемая высокая точность пеленгования требуют высокой частоты дискретизации и соответственно высокоскоростной обработки данных.

Для обнаружения сигнала и определения одного из идентификационных параметров – времени вращения антенны, требуется непрерывно анализировать каждый пространственно-частотный сегмент не менее 20 с, что накладывает жесткие требования не только к скорости обработки данных, но и к объему ОЗУ АЦП.

Для реализации требований к времени обзора всех пространственно-частотных сегментов и точности пеленгования целесообразно использовать моноимпульсный режим обработки сигналов, принимаемых различными элементами антенной системы. Но это еще в N раз увеличивает первичный объем обрабатываемых данных (где N – количество параллельных радиоканалов).

В настоящей работе рассмотрены метод и его техническая реализация, позволившие существенно сократить объем обрабатываемых данных и соответственно стоимость средств цифровой об-

работки сигналов станции обнаружения и пеленгования сигналов РЛС.

В основу метода положено использование высокой скважности сигналов РЛС, которая для заданных типов сигналов равна 500 – 2000. Основная идея метода состоит в том, что оцифровка сигнала осуществляется специально разработанными АО «Инструментальные системы» высокоскоростными стробируемыми АЦП только на интервалах времени прихода импульсов и одновременно осуществляется их привязка по времени с помощью таймера.

Структурная схема комплекса приведена на *рис. 1*.

В радиотракте производятся коммутация антенных элементов, перенос входного сигнала на промежуточную частоту и амплитудное детектирование – получение видеопульсов. Сигнал на промежуточной частоте поступает через сумматор-коммутатор на частотный детектор, на выходе которого образуется напряжение, пропорциональное несущей частоте входного сигнала, подаваемое на один из каналов АЦП 3.

Видеосигнал подается на обнаружитель, формирующий стробирующие АЦП-импульсы. Задержанный видеосигнал поступает на четыре канала АЦП 1 и АЦП 2. Стробирующие импульсы имеют большую длительность, чем исходные, что позволяет измерять уровень шума и дрейфа усилителей постоянного тока. АЦП 1 работает в «ведущем» режиме, а остальные АЦП и таймер в «ведомом» и используют один внешний опорный генератор. Таким образом осуществляется синхронное начало преобразования во всех каналах.

Первый отсчет после начала преобразования помечается, а таймер выдает на каждый строб один отсчет времени (количество «тиков» опорного генератора). Такой подход позволяет однозначно восстановить временную панораму импульсов.

При частоте дискретизации 40 МГц и отсутствии стробирования общий информационный поток пяти каналов АЦП составляет 400 Мбайт/с, в то время как пропускная способность шины PCI – реально около 40 Мбайт/с. При средней скважности импульсов РЛС 1000 информационный поток от одного источника излучения составит 400 кбайт/с, что позволяет обрабатывать сигналы одновременно от 100 источников.

Таким образом, выбранный подход позволил:

- существенно сократить требования к АЦП по объему ОЗУ в данной реализации – 64 Кбайт FIFO на канал;
- отказаться от использования специальных сигнальных процессоров с взаимной синхронизацией;

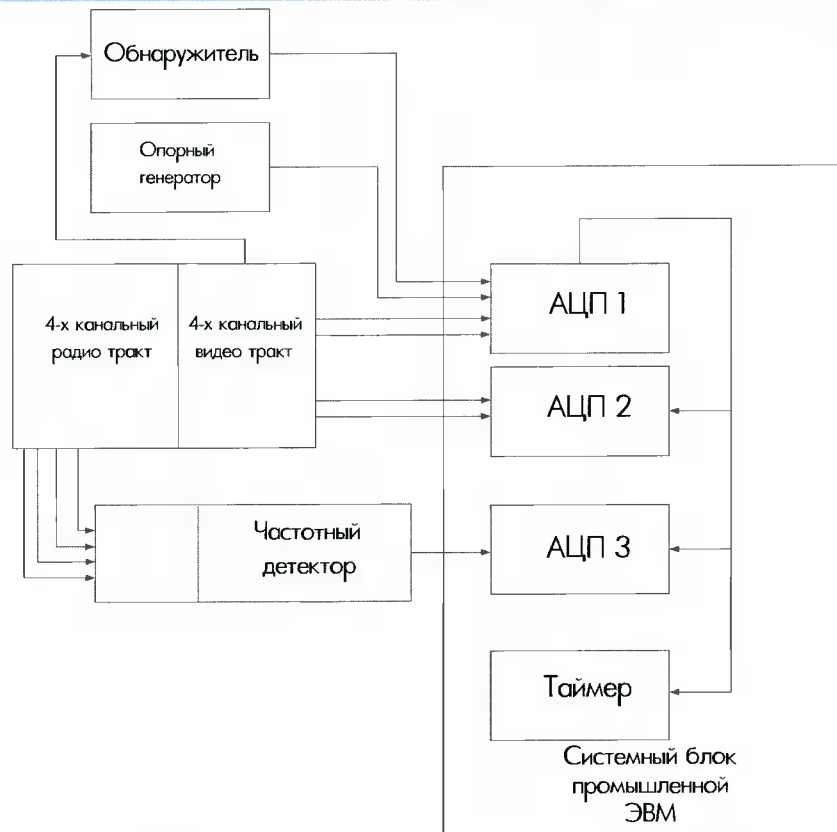


Рис. 1

- вести синхронную обработку сигналов параллельных радиоканалов при моноимпульсном методе пеленгования универсальной ПЭВМ типа Pentium-III;
- снизить стоимость станции обнаружения и пеленгования сигналов РЛС и повысить ее эксплуатационные возможности за счет существенного упрощения системы цифровой обработки сигналов.

Уважаемые авторы!

Редакция научно-технического журнала «Цифровая обработка сигналов» просит вас соблюдать следующие требования к материалам, поступающим в редакцию для публикаций.

Требования к текстовым материалам и сопроводительным документам:

Текст – текстовый редактор Microsoft Word на базе версии WINDOWS' 95 или выше.

Все таблицы и рисунки должны быть пронумерованы.

На все таблицы, рисунки и желательно на библиографические данные должны быть даны ссылки в тексте статьи.

Надписи под рисунками должны быть под каждой иллюстрацией.

Должны присутствовать сведения об авторе (Ф.И.О., организация, телефон).

Требования к иллюстрациям

Векторные (схемы, графики) – желательно использование графических пакетов Adobe Illustrator и Corel DRAW.

Растровые (фотографии, рисунки) – М 1:1, разрешение не менее 300dpi, формат tiff.

Справки по телефонам: (095) 267-0662, 105-3464, 105-3468.

Статьи просим присылать по электронной почте: pl@com2com.ru

АДАПТИВНЫЙ ЦИФРОВОЙ ФИЛЬТР НА ЦСП Л1879ВМ1

В связи с созданием в НТЦ “Модуль” отечественного цифрового сигнального процессора (ЦСП) Л1879ВМ1 [1] возникла необходимость пересмотреть концепцию реализации алгоритмов цифровой обработки сигналов (ЦОС), в том числе радиолокационных, с учетом того, что главное назначение нового процессора состоит в эмуляции нейронных сетей. Одним из перспективных направлений использования Л1879ВМ1 является реализация алгоритмов ЦОС в нейросетевом базисе. Нейронные сети, реализованные на основе процессоров Л1879ВМ1, обещают создать цифровые устройства, способные более гибко адаптироваться к изменениям внешних условий, сохраняя устойчиво высокое качество работы. В отличие от традиционного подхода, когда на основе теоретических моделей сигнала и помех математически рассчитываются весовые коэффициенты оптимального адаптивного фильтра, нейросетевая технология позволяет преодолеть эти трудности без длительных и трудоемких исследований и расчетов путем применения переобучения нейросетевого алгоритма в ходе работы при изменении внешних условий. Однако такие нейросетевые системы ЦОС на базе Л1879ВМ1 – это пока отдаленная перспектива. В ближайшее время более реально использовать Л1879ВМ1 как векторный процессор ЦОС, тем более что архитектура этого ЦПС отличается наличием эффективного 64-разрядного векторного множителя [2]. Векторизация многих однотипных операций при оценке параметров помех и цифровой фильтрации может привести к существенному выигрышу в аппаратных затратах и производительности цифровой обработки. Для иллюстрации сказанного в качестве примера рассмотрим реализацию адаптивного доплеровского фильтра, в котором вначале с помощью век-

торного множителя ЦПС Л1879ВМ1 формируется оценка корреляционной матрицы помехи, а затем на основе этой оценки реализуется многоканальная доплеровская фильтрация [3].

В адаптивном фильтре наиболее трудоемкая операция – это расчет комплексных межпериодных коэффициентов корреляции, который проводится по формуле $\sum (Z_{i,j}^* Z_{i,j+1}^*)$ с усреднением по M -элементам дальности (i) для L -импульсов пачки (j) (в дальнейшем предполагается, что $M = L = 8$). Входные и выходные отсчеты группируются в массивы по 16 32-разрядных слов. Кроме того для хранения усредненных коэффициентов корреляции по каждому из 8 элементов дальности используется массив из 128 32-разрядных слов и три массива по 16 32-разрядных слов.

Матрица векторного множителя Л1879ВМ1 загружается четными элементами входного массива с инверсной мнимой частью (комплексное сопряжение), а затем умножается на нечетные элементы входного массива и суммируется с элементами выходного массива (усреднение оценки по дальности). Схема умножения выглядит следующим образом:

$\text{Re } Z_{i,j}$	$\text{Re } Z_{i,j+1}^*$	$\text{Im } Z_{i,j+1}^*$
$\text{Im } Z_{i,j}$	$\text{Im } Z_{i,j+1}^*$	$\text{Re } Z_{i,j+1}^*$

У каждого второго элемента выходного массива заменяется знак мнимой части, так как комплексно сопрягаются только четные элементы входного массива.

Ниже приводится файл статистики выполнения программы на эмуляторе, время выполнения которой составляет менее 300 тактов тактовой частоты (25 нс), т.е. менее 7,5 мкс на всю пачку. В это время не входят затраты на передачу входного/выходного массивов.

```

Instruction: 151 (scalar – 120,vector – 31), Ticks:293
217 ticks of delay. 21 – fetch, 4 – jump, 117 – decode, 75 – execute.
Average ticks per instruction: 1
Percent of delays: 74
26 null instructions. 26 scalar nulls, 0 vector nulls.
Percent of nul instruction: 17
Percent of empty left scalar parts:29
Percent of empty right scalar parts:91
Percent of empty left vector parts:22
Percent of empty right vector parts:45
Percent of buses utilization
Local bus: 76
Global bus: 10
Input bus: 38
Output bus: 35
Weight bus: 24

```



```

Instruction: 149 (scalar – 106,vector – 43), Ticks:326
290 ticks of delay. 11 – fetch, 5 – jump, 161 – decode, 113 – execute.
Average ticks per instruction: 2
Percent of delays: 88
37 null instructions. 37 scalar nulls, 0 vector nulls.
Percent of nul instruction: 24
Percent of empty left scalar parts:42
Percent of empty right scalar parts:91 Percent of empty right vector parts:58
Percent of buses utilization
Local bus: 60
Global bus: 3
Input bus: 31
Output bus: 21
Weight bus: 13
global __main: label;
data “.MyData”
    inx:    long[8] =    (0000010000000100hl, 0000000000000000hl,
                        0000010000000100hl, 0000000000000000hl,
                        0000010000000100hl, 0000000000000000hl,
                        0000010000000100hl, 0000000000000000hl);
    koef:   long[16] =   (7f7f7f7f7f7f7fhl, 0000000000000000hl,
                        7f5800a881a80058hl, 00587f5800a881a8hl,
                        7f0081007f008100hl, 007f0081007f0081hl,
                        7fa80058815800a8hl, 0058815800a87fa8hl,
                        7f817f817f817f81hl, 0000000000000000hl,
                        7fa80058815800a8hl, 00a87fa800588158hl,
                        7f0081007f008100hl, 0081007f0081007fhl,
                        7f5800a881a80058hl, 00a881a800587f58hl);

end “.MyData”;
nobits “.MyData 1”
    outx: long[8];
    outx_h:word;
    outx_l:word;
end “.MyData 1”;
begin “.textAAA”
<__main>
branch;
ar1 = inx;    nb1 = 80000000h;
sb = 03030303h;
rep 8 wfifo = [ar1++];
ftw; wtw;
ar2 = koef;
ar3 = outx_h;
ar4 = outx_l;
ar5 = outx;
gr2 = 8;
<loop>
    rep 1 data = [ar2++] with vsum, data, 0;
    rep 1 [ar3] = afifo;
    gr0=[ar3];
    gr1=[ar4];
    [ar4]=gr0;
    [ar3]=gr1;
    rep 1 ram=[ar3];
    rep 1 data=[ar2++] with vsum, data, ram;
    rep 1 [ar5++]=afifo;
    gr2--;
    if > goto loop;
return;
end “.textAAA”;

```


Реализация собственно адаптивного многоканального фильтра сводится к расчету выходных значений 8 КИХ-фильтров по 8 отводов, т.е. проводится по формуле $\Sigma(h_i * Z_i)$ по 8 импульсам пачки (i). Входные отсчеты находятся в массиве из 16 32-разрядных слов, а коэффициенты фильтров, рассчитанные на основе корреляционной матрицы, – в массиве из 32 32-разрядных слов. Матрица векторного множителя загружается восемью элементами входного массива, а затем по очереди умножается на действительные и мнимые части восьми наборов коэффициентов. Схема умножения выглядит следующим образом:

h_0	$\text{Re } Z_0$	$\text{Im } Z_0$
h_1	$\text{Re } Z_1$	$\text{Im } Z_1$
h_2	$\text{Re } Z_2$	$\text{Im } Z_2$
h_3	$\text{Re } Z_3$	$\text{Im } Z_3$
h_4	$\text{Re } Z_4$	$\text{Im } Z_4$
h_5	$\text{Re } Z_5$	$\text{Im } Z_5$
h_6	$\text{Re } Z_6$	$\text{Im } Z_6$
h_7	$\text{Re } Z_7$	$\text{Im } Z_7$

Ниже приводится файл программы, время выполнения которого около 300 тактов тактовой частоты (25 нс), т.е. около 7,5 мкс на всю восьмиимпульсную пачку. В это время не входят затраты на передачу входного/выходного массивов. Увеличение разрядности весовых коэффициентов фильтров до 16 приведет к уве-

личению времени выполнения задачи, как минимум, в два раза.

Таким образом, последовательное использование всего лишь одного ЦСП Л1879ВМ1, обладающего 64-разрядным векторным ядром и уникальной возможностью программного управления длиной операндов и результатов, а также параллелизм операций умножения с накоплением, приводят к временным затратам, оцениваемым в 2 мкс на один комплексный (в виде двух квадратур) 16-разрядный отсчет, что ставит отечественный Л1879ВМ1 впереди самых продвинутых мировых ЦСП [4].

Литература

1. Процессор NeuroMatrix Л1879ВМ1. Computer Review, 1998, №21 (71).
2. Шевченко П.А., Фомин Д.В., Черников В.М., Виксне П.Е. Архитектура нейропроцессора NeuroMatrix Л1879ВМ1. Сборник докладов V Всероссийской конференции "Нейрокомпьютеры и их применение". М., 1999.
3. Бартенев В.Г., Медведев В.Н. Сигнальные процессоры и их применение в радиолокации. Учебное пособие. М.: МРП, 1990.
4. Бартенев В.Г., Бартенев Г.В. "Альтера" предлагает создать свой сигнальный процессор. CHIP NEWS, 1997, №7.

Дополнительная информация по телефону: 110-5786.

Уважаемые читатели!

Продолжается подписка на журнал «Цифровая обработка сигналов» на 2002 год.
Журнал издается 4 раза в год.
Справки об условиях подписки – по телефонам: (095) 267-0662, 105-3464, 105-3468.

Организация _____

Почтовый адрес _____

Контактное лицо _____

Телефон, факс, электронная почта _____

Банковские реквизиты _____

Мы просим желающих подписаться заполнить подписной лист и отправить его по электронной почте: pl@com2com.ru или по факсам: (095) 105-3464, 105-3468.

НОВЫЕ РАЗРАБОТКИ DSP: СЕМЕЙСТВО BLACKFIN

Введение

Семейство Blackfin сигнальных процессоров компании Analog Devices дает начало новому классу DSP, характеризующемуся интеграцией наборов команд обработки больших потоков данных и команд контроля и управления. В основу архитектуры положен сигнальный микроконтроллер, разработанный совместно ADI и Intel. Единая модель программирования устраняет сложности, обычно возникающие при работе с системами, имеющими разнородную мультипроцессорную структуру, где обработка сигналов и задачи управления возложены на отдельные процессоры архитектуры.

Обладающие системой снижения энергетических затрат и характеризующиеся достаточной вычислительной производительностью процессоры семейства Blackfin найдут широкое применение в различных областях обработки аудио-, видеоинформации, речи и других данных, там, где имеет место ограничение ресурсов энергии, в частности в мобильных системах телекоммуникаций.

Благодаря встраиванию широкого ряда устройств периферии и памяти, обладающих самыми высокими показателями качества, процессоры семейства Blackfin являются платформой для разработки систем следующего поколения, требующих от сигнального процессора наряду с эффективностью программного обеспечения и поддержкой самых передовых методов цифровой обработки сигналов широких возможностей по взаимодействию с внешними устройствами.

Архитектура ядра процессоров семейства Blackfin

Архитектура ядра процессоров Blackfin представлена на *рис. 1*. Ядро содержит два умножителя-накопителя (MAC), два 32-разрядных АЛУ, четыре АЛУ обработки видеоданных (видео-АЛУ) и один сдвигатель. Блоки вычислений способны оперировать с 8-, 16- или 32-разрядными данными, извлекаемыми из файла регистров.

Каждый MAC осуществляет на каждом цикле умножение (16×16) разрядов с накоплением 40-разрядного результата. При этом 8 дополни-

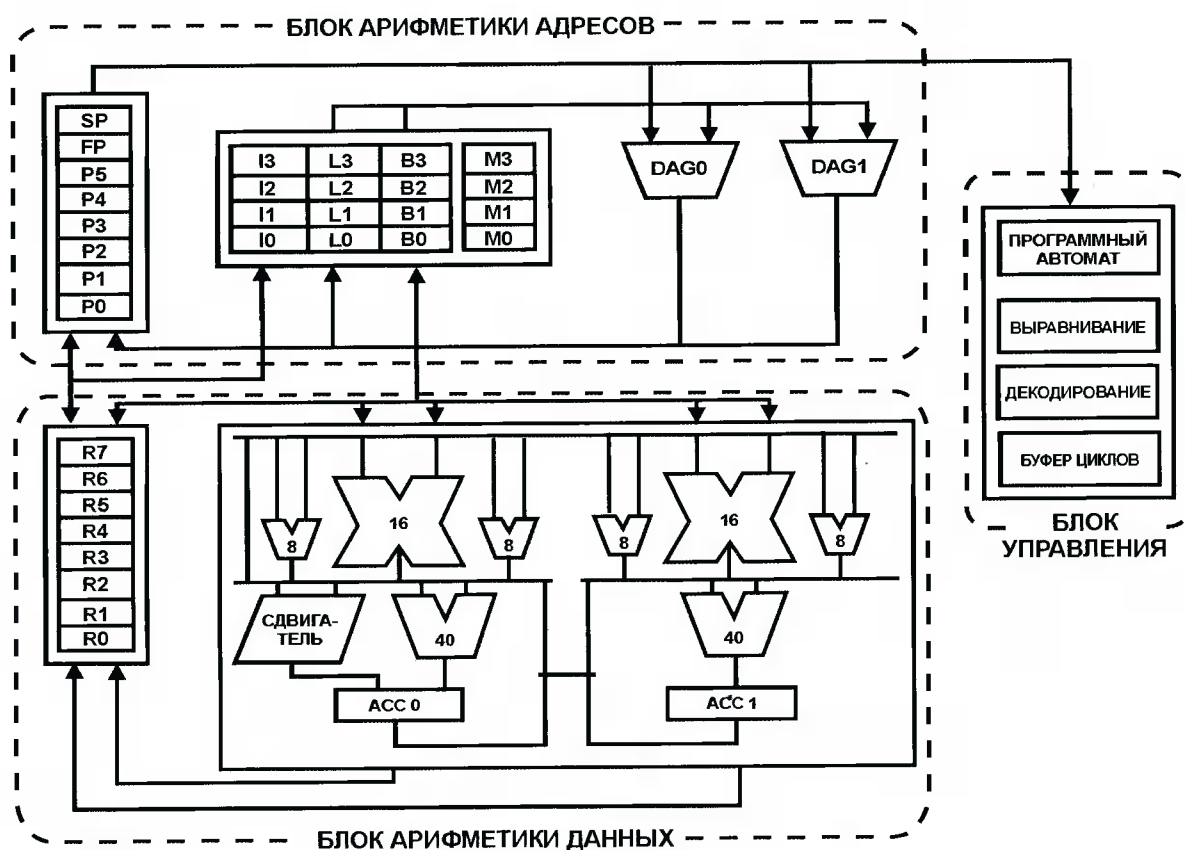


Рис. 1. Архитектура ядра процессоров Blackfin

тельных разрядов повышают точность вычислений, предупреждая возможные переполнения аккумулятора.

АЛУ выполняют стандартные арифметико-логические операции. Они способны оперировать с 16- и 32-разрядными данными и делают вычислительные блоки архитектуры достаточно гибкими, чтобы удовлетворить требованиям к обработке сигналов самых разных применений. Каждый из 32-разрядных входных регистра АЛУ может рассматриваться как два регистра по 16 разрядов. Таким образом, достигается высокая гибкость в выполнении 16-разрядных арифметических операций. В конфигурации регистров парами операндов по 16 разрядов, каждое АЛУ может осуществлять два 16-разрядных или одно 32-разрядное арифметическое действие за один цикл. Использование одновременно двух АЛУ делает возможным одновременное выполнение четырех 16-разрядных операций за один такт, что повышает общую производительность.

Сдвигатель размерностью 40 разрядов позволяет эффективно организовывать процедуры сдвига, нормализации, извлечения и записи данных.

Данные для вычислительных блоков располагаются в многопортовом файле регистров с шестнадцатью 16-разрядными входами или с восемью 32-разрядными входами.

Мощный программный автомат осуществляет управление процессом выполнения команд, включая их выравнивание и декодирование. Программный автомат поддерживает условные переходы, вызовы подпрограмм и исполнение циклов с нулевыми издержками. Специальный буфер цикла локально хранит соответствующий блок команд, исключая необходимость обращений к памяти программ.

Два генератора адреса данных (DAG) позволяют осуществлять одновременную выборку двух операндов из памяти. Генераторы работают с файлом регистров, содержащим четыре набора 32-разрядных регистров: регистры индекса (Index), модификации (Modify), длины (Length) и базовые регистры – регистры начального адреса (Base). Восемь дополнительных 32-разрядных регистров содержат указатели для общей индексации переменных и областей стека.

Процессоры семейства Blackfin построены на основе модифицированной гарвардской архитектуры в сочетании с иерархической структурой памяти. К уровню 1 (L1) относится память, обычно оперирующая на одной скорости с процессором с малым временем ожидания или без него. Уровень 2 (L2) – это вся остальная внутрикристалльная и внешняя память, доступ к которой возможен за несколько тактов процессора. На уровне L1 располагаются: память программ, содержащая только команды, две области памяти данных и специальная сверхоперативная память данных, служащая стеком и хранящая информацию локального использования. На уровне L2 существует единое

пространство памяти, где содержатся как программы, так и данные.

Память программ и память данных уровня L1 могут быть сконфигурированы как SRAM или кэш. Блок управления памятью способен обеспечивать защиту данных, что предотвращает нежелательный доступ к системным регистрам.

Архитектура предоставляет два режима оперирования – пользовательский и администраторский. Пользовательский режим ограничивает доступ к некоторым ресурсам системы, обеспечивая тем самым защиту программного обеспечения. Администраторский режим имеет неограниченный доступ к ресурсам системы.

Набор команд процессоров Blackfin оптимизирован так, что 16-разрядные коды операций представляют наиболее часто используемые команды. Это позволяет достигнуть высочайшей плотности кодов после компиляции. Сложные multifunctionальные команды процессора представляются 32-разрядными кодами. При этом 32-разрядная команда может быть запущена на выполнение параллельно с двумя 16-разрядными, что позволяет программисту задействовать большую часть ресурсов одновременно в пределах одного такта.

Язык ассемблера процессоров Blackfin имеет удобный для написания и чтения программ алгебраический синтаксис. Архитектура процессоров была разработана с учетом будущего применения оптимизирующих Си-компиляторов при программировании DSP, что дает возможность быстрой и эффективной разработки программного обеспечения.

Первый представитель семейства Blackfin – процессор ADSP-21535

ADSP-21535 – это однокристалльная система цифровой обработки сигналов высокой степени интеграции, предназначенная для применений в сферах цифровых телекоммуникаций и мобильных услуг Internet следующего поколения. Характеризующийся встроенной поддержкой стандартных промышленных интерфейсов и высокой вычислительной производительностью ядра ADSP-21535 позволит разработчикам быстро и без лишних затрат на дополнительные внешние компоненты создавать недорогие и эффективные системы ЦОС.

Характеристики процессора:

- 16-разрядное ядро с фиксированной точкой, способное непрерывно работать на частоте 300 МГц;
- гибкая, программно управляемая система динамического регулирования потребления мощности;
- 4 Гбайта единого адресного пространства;
- 48 кбайт памяти уровня L1, которая может быть сконфигурирована как SRAM или кэш;
- 4 кбайта сверхоперативной памяти SRAM уровня L1;

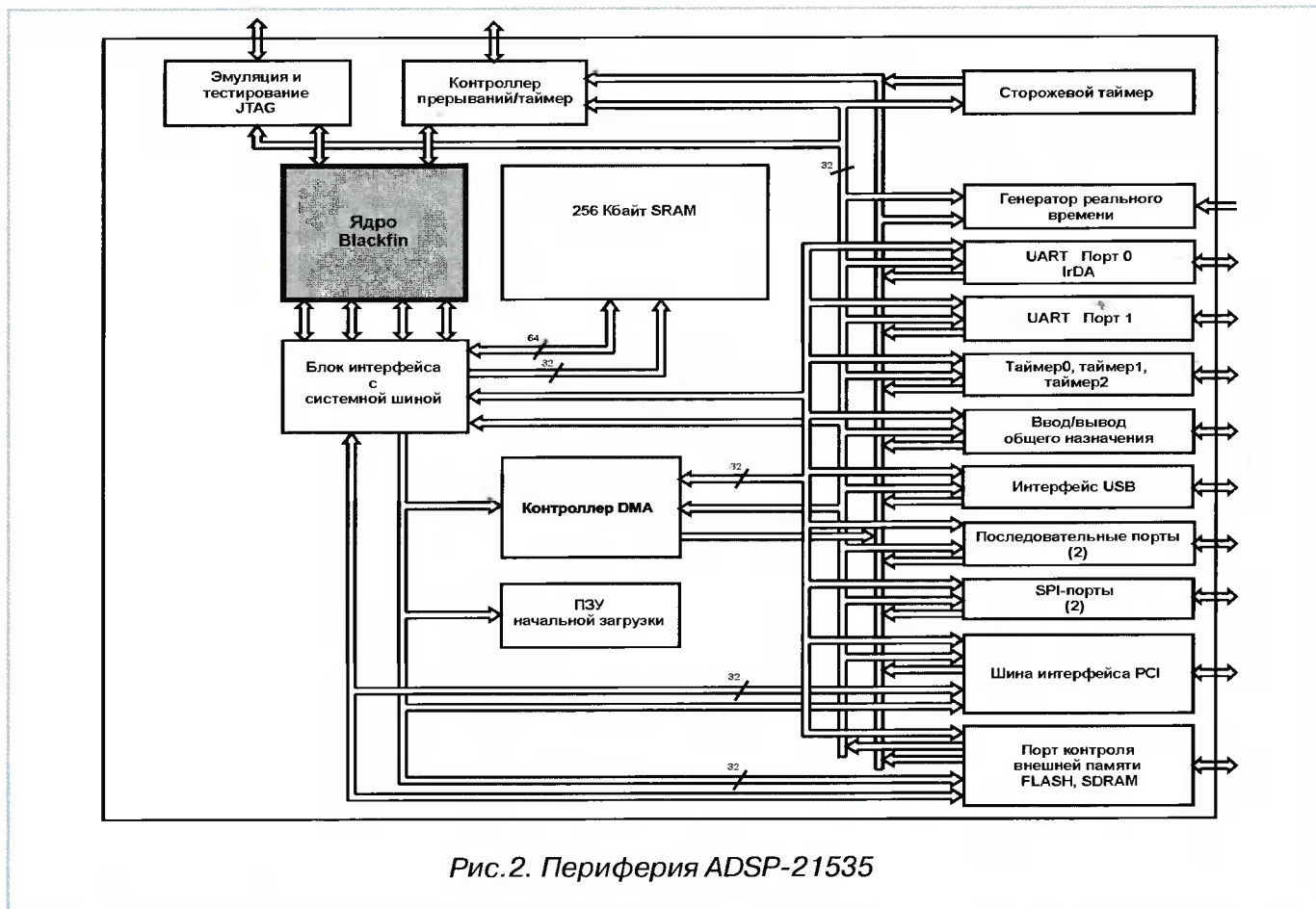


Рис.2. Периферия ADSP-21535

- 256 кбайт внутрикристалльной SRAM на уровне памяти L2;
- встроенная поддержка внешней синхронной или асинхронной памяти, включая PC133SDRAM;
- асинхронный интерфейс PCI на частоте 33 МГц (V2.2-совместимый), поддерживающий режимы "управляющий" и "подчиненный";
- 16 контактов UVB общего назначения;
- блок управления памятью, обеспечивающий ее защиту;
- контроллер событий;
- гибкость структуры памяти начальной загрузки (загрузка из SPI или внешнего источника);
- три 32-разрядных таймера/счетчика общего назначения с возможностями ШИМ каждый;
- модуль тактирования реального времени;
- сторожевой таймер (таймер-контролер события);
- два последовательных порта общего назначения, работающих в дуплексном режиме по 6 выводам;
- два SPI-порта;
- два универсальных асинхронных приемопередатчика (UART) с автоматическим выбором скорости модуляции (один UART включает поддержку протокола IrDA);
- контроллер устройств USB (V1.1-совместимый);
- 12 каналов DMA и контроллер памяти DMA, обеспечивающий внутренний, внешний и PCI-обмен;
- интерфейс отладки/JTAG;
- PLL на кристалле с возможностями умножения частот в 1 – 31 раз;
- внутреннее напряжение питания (ядро процессора) 0,9 – 1,5 В, с возможностью динамического регулирования;
- внешнее питающее напряжение (ввод/вывод) до 3,3 В;
- корпус PBGA с 256 выводами;
- диапазон рабочих температур 0...+85°C.

Периферия

Процессор ADSP-21535 содержит широкий набор устройств периферии (рис.2), подключаемых к ядру посредством нескольких широкополосных шин, обеспечивая гибкость системной конфигурации и высокую производительность системы в целом. Основной периферией являются следующие устройства, реализующие функции общего назначения: UART (универсальные асинхронные приемопередатчики); программируемые таймеры, способные функционировать как ШИМ (широтно-импульсные модуляторы) или служить для измерения характеристик внешних импульсов; контакты ввода-вывода общего назначения; генератор реального времени; сторожевой таймер (таймер-контролер события). Такой набор периферии удовлетворяет широкому ряду типичных требований различных систем и может быть расширен при необходимости. В дополнение к основной периферии общего назначения ADSP-21535 имеет высокоскоростные последовательные порты для связи с различными аудиокодеками и кодами модемов; контроллер

прерываний, осуществляющий гибкое управление прерываниями от внутрикристальной периферии и внешних источников; средства контроля и управления расходом энергии, способные обеспечивать для различных применений необходимые соотношения производительности и расхода мощности процессора.

Внутрикристальная периферия может быть легко дополнена нависными или встраиваемыми логическими схемами, благодаря наличию нескольких интерфейсов обеспечивающих взаимодействие по стандартным типам шин. К ним относятся: шина PCI – 32 разряда, 33 МГц, V2.2-совместимость; последовательные порты расширения SPI; порт USB. Все это позволяет осуществлять взаимодействия с широким рядом устройств периферии, обеспечивая необходимую конфигурацию для самых различных конструкторских решений с минимальной сложностью.

Вся периферия поддерживается гибкой структурой DMA с интеграцией каналов так, как это необходимо для конкретных устройств. Есть также отдельный канал памяти DMA, предназначенный для передачи данных между такими областями памяти процессора, как внешняя SDRAM и память асинхронного доступа, внутренняя SRAM уровня L2 и память PCI-интерфейса. Многочисленные 32-разрядные шины на кристалле, функционирующие на частоте 133 МГц, обеспечивают достаточную пропускную способность ядра процессора, позволяя ему активно и адекватно взаимодействовать со всей внутрикристальной и внешней периферией.

Структура памяти

Процессор ADSP-21535 рассматривает память как единое адресное пространство размером 4 Гбайта с использованием 32-разрядной адресации. Все ресурсы памяти, включая внутреннюю и внешнюю память, области адресации интерфейса PCI и регистры контроля ввода-вывода, составляют отдельные части этого общего пространства. Сегменты единой памяти выстроены в иерархическую структуру, что обеспечивает баланс соотношения затраты/производительность между очень быстрой памятью с малым временем ожидания, такой, как кэш или SRAM, находящихся близко к ядру процессора, и памятью большей по объему, с более низкими показателями затрат и производительности и находящейся дальше от ядра.

Внутренняя память

ADSP-21535 имеет четыре блока внутрикристальной памяти.

Первый блок – память программ уровня L1 – представлен кэш-памятью размером 16 кбайт. Эта память может быть сконфигурирована как SRAM. Она характеризуется возможностью доступа на полной скорости процессора.

Второй блок – память данных уровня L1 – состоит из двух сегментов по 16 кбайт каждый. Они также могут быть сконфигурированы как кэш или SRAM и доступ к ним также возможен на скорости процессора.

Третий блок – 4 кбайта сверхоперативной памяти RAM, которая способна функционировать на полной скорости процессора, однако используется только как SRAM данных.

Четвертый блок внутрикристальной памяти – это массив памяти SRAM уровня L1. Он предоставляет 256 кбайт SRAM высокой скорости доступа и полной пропускной способности ядра процессора, функционирует с некоторым временем ожидания и объединяет память данных и программ, храня их коды в любой комбинации, требуемой той или иной конфигурацией системы.

Ядро процессора имеет специализированный порт доступа к памяти SRAM уровня L2 шириной 64 разряда с малым временем ожидания. На частоте процессора 300 МГц максимальная скорость передачи данных через порт достигает 2,4 Гбайта в секунду.

Внешняя память

Обращение к внешней памяти осуществляется через контроллер внешней памяти (КВП). Он обеспечивает интерфейс с банками данных синхронной памяти DRAM (SDRAM) или с устройствами асинхронной памяти, включая FLASH, EPROM, ROM, SRAM и устройства ввода-вывода.

Контроллер памяти SDRAM может быть запрограммирован на взаимодействие максимум с четырьмя банками данных SDRAM, содержащими от 16 до 128 Мбайт каждый, обеспечивая возможность доступа к 512 Мбайтам SDRAM в целом. Каждый банк данных является программируемым независимо и располагается смежно с остальными, каковы бы ни были их размеры и адреса размещения. Это обеспечивает гибкость конфигурации и возможность простого представления всей RAM, как единой области с последовательной адресацией.

Контроллер асинхронной памяти также может быть запрограммирован на обеспечение взаимодействия максимум с четырьмя блоками устройств памяти. Этот контроллер обладает гибкостью параметров тактирования работы, благодаря чему совместим с широким рядом различных устройств. Каждый блок занимает 64 Мбайта в независимости от размерности используемого устройства памяти. Таким образом, блоки оказываются смежными только в случае их полного заполнения.

PCI

Шина PCI выделяет три отдельных пространства памяти, адресуемых через окна в памяти процессора: память PCI, ввод-вывод PCI и область конфигурации PCI. Кроме того, интерфейс PCI может также быть использован для связи с ядром



процессора, когда он выступает в качестве центрального процессора всей системы, или как хост-порт, когда хост-процессором системы является другой процессор, а ADSP-21535 функционирует как интеллектуальное устройство ввода-вывода.

Память PCI составляет 4 Гбайта. ADSP-21535 использует окно размером 128 Мбайт для обращения к этому пространству. Начальный адрес в памяти PCI для окна задается регистром базового адреса, а адрес окна в памяти процессора остается фиксированным.

Область памяти ввода-вывода PCI также составляет 4 Гбайта, однако в большинстве случаев используются только 64 кбайта этой памяти для адресов отображения входов-выходов. Для обращения ADSP-21535 выделяет в своем адресном пространстве окно на 64 кбайта и регистр базового адреса.

Область конфигурации PCI – это ограниченное адресное пространство, используемое системой для инициализации и диагностики ресурсов. Оно имеет очень низкую скорость передачи данных от процессора к устройству PCI.

Память UVB

ADSP-21535 не выделяет специальной памяти под ввод-вывод. Все ресурсы отображаются в памяти с помощью 32-разрядных регистров контроля. Внутрикристалльные UVB имеют регистры контроля, входящие в регистры отображения в памяти (РОП). РОП имеют наивысшие адреса в общем 4 Гбайтном адресном пространстве и делятся на две группы. Одни регистры используются ядром центрального процессора; другие осуществляют установку и управление внутрикристалльной периферией за пределами ядра. РОП ядра доступны только ядру и только в администраторском режиме. Системные РОП доступны ядру в администраторском режиме и могут быть сконфигурированы как видимые или скрытые для других устройств в зависимости от нужной структуры защиты данных.

Область памяти начальной загрузки

Внутреннее ROM начальной загрузки содержит небольшое загрузочное ядро, которое конфигурирует необходимую периферию. Загрузка происходит из внутрикристалльной ROM начальной загрузки при соответствующей конфигурации ADSP-21535 через управляющий регистр. Загрузка также может осуществляться из внешней памяти.

Функционирование в режиме низкого расхода энергии

ADSP-21535 имеет четыре режима пониженного расхода мощности, значительно уменьшающих затраты энергии, когда процессор вынужден работать в условиях низкой производительности. Кроме того, схема управления питанием обеспечивает функции контроля и внешнего динамического регулирования поддерживаемого на процес-

соре напряжения. Контроль тактирования для каждого встроенного устройства периферии также уменьшает расход энергии.

Режим полной работоспособности (без экономии мощности)

В этом режиме схема PLL включена и функционирует в полной мере, осуществляя повышение частоты тактовых импульсов в 1 – 31 раз и обеспечивая максимальную рабочую частоту. Это нормальное состояние процессора, когда он способен продемонстрировать наивысшую производительность. Ядро процессора и вся действующая периферия работают на полной скорости. Фактор масштабирования частоты для PLL задается программно через регистр контроля PLL.

Активный режим (экономия невысока)

В активном режиме PLL включена, однако повышение частоты не производится. Входные тактовые импульсы напрямую используются для тактирования ядра процессора и периферии. Значительная экономия мощности в этом случае возможна при работе процессора на частоте, в полтора раза превышающей частоту входных импульсов тактирования. В этом режиме может быть изменен фактор масштабирования частоты схемы PLL путем записи нужного значения в соответствующее поле регистра контроля PLL. Специальный счетчик PLL определяет, когда изменение скорости достигает максимального эффекта.

Режим пониженной активности (средняя экономия)

Схема PLL в данном случае отключается. Для тактирования ядра и периферии используются напрямую входные тактовые импульсы. Так же, как и в активном режиме, значительный эффект экономии расхода мощности достигается при частоте процессора, в полтора раза превышающей частоту входных импульсов тактирования, однако в отличие от активного режима экономия повышается за счет отключенного состояния схемы PLL. Фактор масштабирования частоты может быть изменен.

Режим сна (высокая экономия)

Режим сна характеризуется отключением тактовых импульсов от ядра процессора. Однако системное тактирование продолжает существовать. Пробуждение процессора происходит по какому-либо прерыванию, обычно по внешнему событию или от таймера реального времени. Когда процессор находится в режиме сна и появляется прерывание, он переходит либо в активный режим, либо в режим полной работоспособности, в зависимости от содержимого поля BYPASS регистра контроля PLL, указывающего, производить или не производить масштабирование частоты.



Рис.3. Режимы пониженного расхода энергии

Глубокий сон (максимальная экономия)

В данном режиме тактирование снимается как с ядра процессора, так и со всех синхронизируемых блоков. Асинхронные системы, такие, как таймер реального времени, могут оставаться активными, однако не в состоянии работать с внутренними ресурсами или внешней памятью. Вывод процессора из состояния глубокого сна возможен только по прерыванию перезапуска или по асинхронному прерыванию, генерируемому таймером реального времени. Появление прерывания перезапуска (RESET) переводит процессор либо в режим полной работоспособности, либо в активный режим, аналогично предыдущему случаю. Появление прерывания от таймера реального времени переводит процессор в режим полной работоспособности без анализа содержимого регистра контроля PLL.

В данном режиме внешний регулятор оповещается о том, что можно менять напряжение ядра Vdd.

Переходы между режимами

Возможные переходы из одного режима работы процессора в другой изображены на рис. 3. Они осуществляются по прерываниям или с помощью программирования регистра контроля PLL.

Мощность, потребляемая процессором, в большой степени может считаться функцией частоты следования тактовых импульсов процессора и квадрата напряжения на нем. К примеру, уменьшение частоты тактирования на 25% даст 25%-ное уменьшение энергетических затрат, а 25%-ное уменьшение напряжения приведет к снижению расхода энергии более чем на 40%. Кроме того, такие меры снижения затрат являются аддитивными, то есть одновременное понижение частоты и напряжения приводит к существенной экономии расходуемой мощности.

Динамическое управление расходом энергии процессора ADSP-21535 позволяет регулировать

как величину входного напряжения, так и частоту тактовых импульсов. Экономия затрат энергии может быть оценена по следующему уравнению.

Показатель эффективности экономии=

$$(f_{ум}/f_{НОМ}) \times (Vdd_{ум}/Vdd_{НОМ})^2,$$

где $f_{НОМ}$ – номинальная тактовая частота ядра процессора (300 МГц);

$f_{ум}$ – уменьшенная частота;

$Vdd_{НОМ}$ – номинальное внутреннее напряжение процессора (1,5 В);

$Vdd_{ум}$ – уменьшенное напряжение.

В частности, если частота тактирования понижается до 50 МГц, а напряжение Vdd до 1,2 В, то получаемые затраты энергии составят около 10% номинальных (при $f_{НОМ}$ и $Vdd_{НОМ}$).

Средства проектирования

ADSP-21535 поддерживается полным набором программных и аппаратных инструментов проектирования, включая эмуляторы и среду VisualDSP++.

Сферы возможного применения процессоров Blackfin

Семейство Blackfin применимо для широкого ряда устройств – от беспроводных систем связи следующего поколения до различных потребительских нужд.

Высокая вычислительная производительность – это главное, что заставляет использовать сигнальные процессоры во многих современных системах и устройствах проводного и беспроводного доступа к Internet, сотовой телефонии и связанной с этим обработки мультимедиа-информации, включая аудио-, видео- и другие данные. Чтобы удовлетворить требованиям рынка ЦОС в 20 миллиардов долларов, прогнозируемого к 2005 году, компании, занимающиеся разработкой новых ЦОС-технологий должны будут предложить высочайшую вычислительную производительность своих ЦСП с низкими затратами энергии и возможностью быстрой разработки устройств на их основе и реализации готовой продукции. Продукты семейства Blackfin компании Analog Devices как нельзя лучше отвечают этим и другим требованиям рынка, благодаря интеграции в их структуре архитектуры сигнального микроконтроллера, разработанного совместно с Intel, и дополнительной периферии и специальных технологий, ориентированных непосредственно на приложения.

Достоинства архитектуры Blackfin, делающие ее столь мощной, таковы:

- высокая вычислительная производительность (планируемая частота ядра процессора до 1 ГГц) цифрового сигнального процессора с фиксированной запятой и двойным MAC, обладающего функциями эффективного управления RISC-ми-



кроконтроллера и имеющего единую интегрированную систему команд;

- динамическое управление расходом энергии (планируемое напряжение питания ядра менее 0,9 В), обеспечивающее динамическое переключение частоты и напряжения оперирования за счет гибкого программного управления;
- оптимизация процесса программирования, включающая поддержку языков высокого уровня Си/Си++, ускоряющая этап программирования/отладки и обеспечивающая быстроту и удобство разработки и реализации систем.

Различные отрасли рынка ЦОС по-разному оценят те или иные достоинства Blackfin в соответствии со своими требованиями, однако все перечисленные особенности будут очень полезны для разработки любых систем ЦОС. В дальнейшем в процессорах семейства Blackfin будет повышаться степень интеграции блоков периферии, имеющих важное значение для широкого ряда применений. В некоторых случаях процессоры Blackfin будут включать ускорители (акселераторы) – аппаратные блоки, способные ответить специфическим требованиям быстро развивающихся отраслей рынка ЦОС.

Сотовые терминалы

Широкие требования к сотовым терминалам следующего поколения будут продолжать возрастать. Пользователю нужны все более совершенные и сложные алгоритмы интегрированной обработки голоса, видеoinформации и данных, требующие повышения производительности, увеличения гибкости и снижения затрат энергии от основных компонентов сотовых терминалов – сигнального процессора и микроконтроллера. Сегодняшние терминалы обычно используют DSP для обработки речи и задач шифрации, в то время как микроконтроллер общего назначения реализует пользовательский интерфейс, управляет энергией и выполняет некоторые другие функции.

Семейство Blackfin позволит сменить методику построения сотовых терминалов следующего поколения. Наряду с повышением вычислительной производительности процессоры семейства Blackfin будут характеризоваться RISC-системой команд с конвейерной обработкой и меньшей сложностью, что повысит возможности масштабирования частот и уменьшит стоимость конечной продукции. Процессоры Blackfin используют систему команд с оптимальным распределением длины, обеспечивающую наивысшую для конкретного применения плотность кодов операций общего контроля и управления. Такие особенности наряду с наличием системы динамического управления расходом энергии позволяют сказать, что процессоры семейства Blackfin будут широко применимы для создания сотовых терминалов следующего поколения.

В настоящее время компания Analog Devices осуществляет внедрение технологии Blackfin в уже разработанные и апробированные процессоры семейства SoftFone полосовой обработки сигналов в системах сотовой связи. Процессоры SoftFone 3G, используя все достоинства ядра Blackfin, будут реализовывать функции модуляции, адаптивной коррекции, кодирования и другие в сотовых системах третьего поколения.

Услуги Internet

Сеть Internet является мощным средством совместной передачи речи, видеoinформации и других разнообразных данных между различными устройствами, подсоединяемыми к Internet и осуществляющими прием, обработку данных и предоставление информации конечному потребителю. Набор таких устройств достаточно широк: интеллектуальные мобильные Internet-устройства – персональные секретари (PDA), видеотелефоны, электронные Internet-игры, web-терминалы, web-телефоны, сетевое телевидение, терминалы электронной почты и Internet-аудиоплееры. Каждое новое поколение таких устройств требует все большей вычислительной производительности сигнальных процессоров, способных реализовать постоянно усложняющиеся алгоритмы различной обработки данных: распознавание речи, распознавание рукописных текстов, работу с непрерывным потоком видеoinформации, сжатие и восстановление аудиоданных.

Устройства доступа к Internet должны отличаться малыми габаритами и мобильностью. Они питаются от батареек, и энергия питающих батарей будет являться существенным фактором их работоспособности. В связи с этим вопрос минимизации потребления энергии сигнальными процессорами становится весьма актуальным. Система динамического управления питанием и наличие режимов пониженного расхода мощности, отличающие все процессоры Blackfin, позволяют утверждать, что они будут широко использоваться для построения мобильных устройств Internet. Кроме того, семейство Blackfin характеризуется встроенными аппаратными и программными механизмами, позволяющими эффективно работать с видео – наличие четырех видео-АЛУ и ряда специальных команд, реализующих известные алгоритмы обработки видеоданных. Эффективность работы с видео – это необходимое свойство сигнальных процессоров, которые будут применяться в Internet-устройствах следующего поколения.

Internet-телекоммуникации

В настоящее время сфера Internet-телекоммуникаций в нашей стране и за рубежом развивается чрезвычайно активно. Такие услуги, как передача голоса, факс, передача данных и видеoinформации, а также службы удаленного доступа и

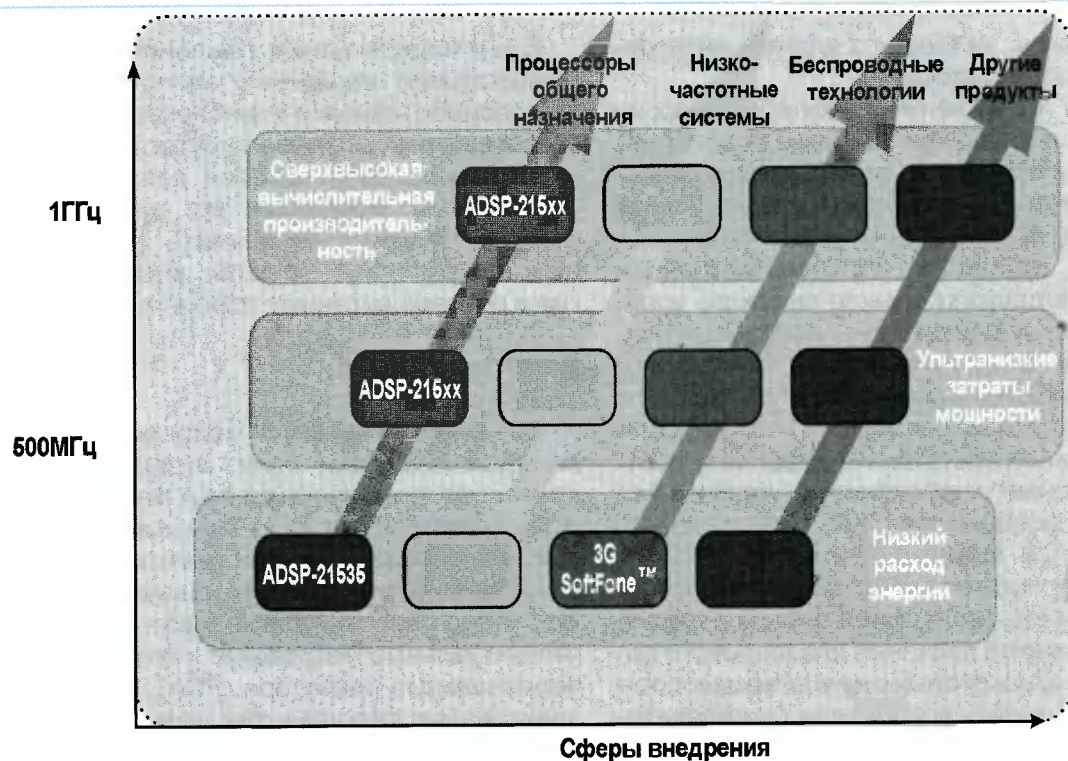


Рис.4. Развитие процессоров семейства Blackfin

шлюзы VoIP становятся все более распространенными. И каждая из систем, реализующих эти функции, использует в своей структуре цифровую обработку сигналов, базирующуюся на применении сигнального процессора.

Шлюзы VoIP предоставляют канал для передачи голоса в сетях с коммутацией пакетов. Службы удаленного доступа осуществляют передачу данных и видеоинформации по сетям с коммутацией каналов. Несмотря на то что задачи этих двух сервисов различны, их общей целью является максимизация количества каналов передачи информации. Уже первый процессор семейства Blackfin с частотой 300 МГц (600MMACs) способен обеспечить десятикратное уплотнение каналов благодаря значительному повышению производительности ядра процессора. Кроме того, процессоры Blackfin устраняют необходимость в дополнительном микроконтроллере, который ранее выполнял функции контроля, детектирования и коррекции ошибок.

Потребительский рынок и рынок персональных компьютеров

ADSP-21535 включает широкий набор встроенной периферии, делающей его удобным для применения в самых различных областях. Особенно следует отметить наличие SDRAM-контроллера, USB-и PCI-интерфейсов. Контроллер SDRAM обеспечивает прямое подсоединение больших банков внешней памяти DRAM, в частности PC133 SDRAM. Это делает возможным использование процессора в таких устройствах, как цифровые камеры, портативные видеокаме-

ры, принтеры. Интерфейсы USB и PCI могут быть эффективно использованы в сферах построения персональных компьютеров и их периферии, например в модемах, звуковых картах, при развертывании беспроводных локальных сетей.

К возможным сферам применения процессоров Blackfin также следует отнести: спутниковые системы глобального позиционирования, коммутаторы центральных телефонных станций и сетевые коммутаторы, широкополосные сети передачи данных и цифровые аудиосистемы.

Развитие семейства Blackfin

Процессоры семейства Blackfin продолжают свое быстрое развитие и внедрение в различные сферы цифровой обработки сигналов. Производители процессоров ориентируются на такие показатели эффективности Blackfin: рабочая частота 1 ГГц при напряжении питания 0,7 – 1 В.

На рис. 4 продемонстрированы направления разработок процессоров Blackfin общего назначения и внедряемых в конкретные сферы ЦОС.

Первые процессоры семейства Blackfin – ADSP-21535 – должны стать доступны с октября 2001 года. В разработке находится процессор ADSP-21532 с улучшенными возможностями регулирования уровня питающей энергии и более низкой ценой, а также другие устройства.

За дополнительной информацией обращайтесь на Internet-сервер фирмы Analog Devices по адресу: <http://www.analog.com/dsp/tools>, а также на серверы ее официальных дистрибьютеров: <http://www.argussoft.ru> и <http://www.autex.ru>.

В.Е. Чернов

СПОСОБЫ ВЗАИМОДЕЙСТВИЯ ПОСЛЕДОВАТЕЛЬНЫХ АЦП С СИГНАЛЬНЫМИ ПРОЦЕССОРАМИ ФИРМЫ TEXAS INSTRUMENTS

Разработчикам при решении задач, связанных с повышением производительности систем цифровой обработки сигналов, зачастую приходится выбирать новые, более быстродействующие АЦП, что влечет за собой изменение не только аппаратной части устройства, но и программной. В данной статье на примере *TMS320C50* будет показан метод взаимодействия различных последовательных АЦП с процессорами Texas Instruments (TI) посредством стандартного последовательного порта, возможности которого присущи и всем более поздним процессорам.

В табл. 1 приведены АЦП, не требующие дополнительной логики для связи со стандартным последовательным портом сигнальных процессоров TI.

В целях описания принципов обмена данные АЦП разделены на две категории:

- схемы, выполняющие преобразования на лету (on-the-fly), – преобразование происходит одновременно с обменом данными;
- схемы с последовательным преобразованием – преобразования начинаются вслед за обменом данными.

На рис. 1 показан типичный пример подключения последовательного АЦП к сигнальным процессорам TI. Выход общего назначения XF активизирует микросхему АЦП. Управляющие линии и линии данных последовательного порта управляют обменом данными. Выход EOC используется только в последовательных АЦП и служит для оповещения процессора о завершении процесса преобразования и того, что последний может начать обмен данными.

Стандартный последовательный порт

Перед разъяснением принципов обмена данными поясним принципы работы стандартного последовательного порта сигнальных процессоров TI.

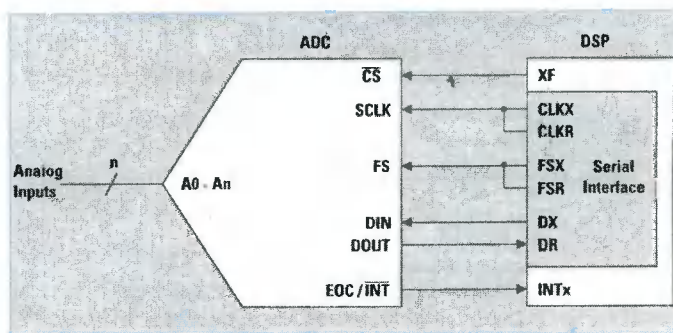


Рис. 1. Соединение АЦП и сигнального процессора TI по последовательному порту

С эволюцией ЦСП изменялся и последовательный порт, таким образом, существуют несколько его модификаций:

- буферизованный последовательный порт (BSP) с модулем автобуферизации (AMU);
- буферизованный последовательный порт с внутренней "очередью" FIFO;
- порт с временным разделением (TDM), обычно используемый в приложения телекоммуникаций;
- многоканальный буферизованный последовательный порт (McBSP) является последней версией реализации последовательного интерфейса сигнальных процессоров TI, совмещающий в себе свойства всех вышеописанных модификаций данного интерфейса с рядом новых возможностей.

В большинстве приложений для обмена используется стандартный последовательный порт. Обмен данными через порт осуществляется через 6 линий:

- **CLKX** – вход/выход синхронизации передачи данных. Данный выход тактирует сдвиг данных с выхода регистра (XSR) на выход DX. Порт может быть сконфигурирован как на генерацию тактовых импульсов, так и на прием их из вне. В случае использования внутреннего генератора для

Таблица 1. Семейства последовательных АЦП

DEVICE	CONVERSION	SUPPLY (V)	RESOLUTION (bits)	INPUT CHANNEL	CONVERSION RATE (MSPS)	POWER DOWN	SWEEP MODE	FIFO
TLV1570	On-the-fly	2.7 – 5.5	10	1	1.25	Auto	–	–
TLV1572	On-the-fly	2.7 – 5.5	10	8	1.25	Auto	✓	–
TLV1544	Sequential	2.7 – 5.5	10	4	0.1	Prog.	✓	–
TLV1548	Sequential	2.7 – 5.5	10	8	0.1	Prog.	✓	–
TLV2544	Sequential	2.7 – 5.5	12	4	0.2	Prog.	✓	✓
TLV2548	Sequential	2.7 – 5.5	12	8	0.2	Prog.	✓	✓
TLC2554	Sequential	5.0	12	4	0.4	Prog.	✓	✓
TLC2558	Sequential	5.0	12	8	0.4	Prog.	✓	✓

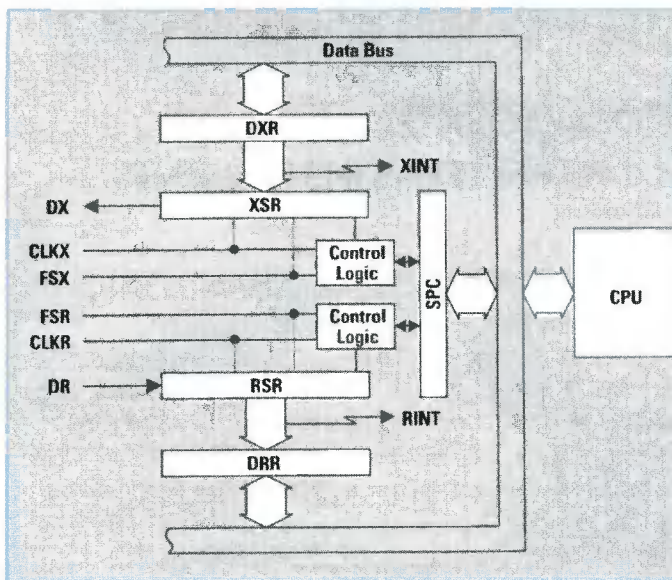


Рис.2. Структура стандартного последовательного порта

обеспечения последовательного обмена **CLKX** работает на выход;

- **FSX** – вход/выход синхронизации кадров. Импульсы данного выхода инициируют передачу информации от последовательного порта. Сигнал может как генерироваться внешним устройством, так и внутренним генератором;
- **DX** – выход данных, через него производится передача данных от последовательного порта к периферийному устройству;
- **CLKR** – вход синхронизации приемника. Данная линия работает только на вход, т.е. генерация тактовых импульсов производится только передающим устройством;

- **FSR** – вход синхронизации принимаемого кадра. Импульсы также генерируются только внешним устройством;
- **DR** – вход данных.

На рис.2 показана структурная схема стандартного последовательного порта, управление которым осуществляется посредством 5 регистров:

- **DXR** – регистр передаваемых данных. Передаваемые данные записываются процессором в данный регистр, после чего копируются в **XSR**. **DXR** обеспечивает двойную буферизацию в целях обеспечения непрерывной передачи, запись данных осуществляется одновременно с передачей ранее записанных;
- **XSR** – передающий сдвиговый регистр, передает данные, скопированные из **DXR**;
- **RSR** – приемный сдвиговый регистр, получает данные из внешнего источника, после чего копирует их в регистр **DRR**;
- **DRR** – регистр принятых данных. В данный регистр копируются значения, полученные в регистре **RSR**, которые, в свою очередь, копируются из него центральным процессором. **DRR** обеспечивает двойную буферизацию, позволяющую вести непрерывный прием данных. Текущая порция данных из этого регистра считывается во время приема регистром **RSR** следующей;
- **SPC** – содержит конфигурационное слово последовательного порта, задаваемое центральным процессором.

В режиме передачи процессор инициирует передачу путем записи данных в регистр **DXR**. После этого данные из **DXR** копируются в **XSR**, далее побитно выводятся на выход **DX**. После заверше-

Таблица 2. Биты управляющего регистра **SPC**

NAME	FUNCTION
/XRST/RRST	The Transmit and Receive reset signals activate and deactivate the transmitter and receiver of the serial port. /XRST, /RRST = 1, transmitter and receiver are active /XRST, /RRST = 0, activity halts
TXM	The Transmit Mode bit specifies the source for FSX-pulse generation. TXM = 1, FSX is generated on-chip and synchronized to CLKX TXM = 0, FSX needs to be applied from external source
MCM	The Clock Mode bit specifies the clock source for CLKX. MCM = 1, on-chip clock source is used MCM = 0, external clock source is chosen
FSM	The Frame Synch Mode bit specifies when a frame sync pulse is needed. FSM = 1, Burst Mode is selected (an FS-pulse is used for each word) FSM = 0, Continuous Mode is selected (only one start pulse is required)
FO	The Format bit specifies the word length of the transmitter and receiver. FO = 0, word length is 16-bit FO = 1, word length is 8-bit



FREE	SOFT	RSRFULL	/XSREMPY	XRDY	RRDY	IN1	INO	RRST	XRST	TXM	MCM	FSM	FO	DLB	RES
R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

Рис.3. Управляющий регистр стандартного последовательного порта

ния копирования из *DXR* в *XSR* генерируется прерывание *XINT*. Это прерывание служит сигналом возможности новой записи в *DXR*.

В режиме приема входные данные “затягиваются” в регистр *RSR*, после чего копируются в *DRR*. Далее генерируется прерывание *RINT*, сигнализирующих о наличии новых данных в регистре *DRR*. В это время регистр *RSR* принимает следующую порцию данных. Таким образом, чтение данных центральным процессором и прием их по последовательному порту происходят параллельно.

Конфигурирование последовательного порта

До начала обмена данными последовательный порт необходимо сконфигурировать посредством 16-разрядного регистра *PC*. На рис.3 показана структура этого регистра.

Из 16 бит для конфигурации последовательного порта используются только 6 бит *R/W* – выделены цветом. В табл.2 пояснены их назначения. Остальные биты должны быть обнулены.

Следующий пример показывает обычную настройку порта для работы с типичными АЦП последовательного типа Texas Instruments.

- Для стандартного последовательного порта все неотмеченные на рис.3 биты должны быть обнулены.
- Во время настройки приемник и передатчик должны быть отключены за счет установки в нулевое значение битов *XRST*, *RRST*.
- Все тактовые сигналы должны генерироваться внутри кристалла процессора, для этого необходимо установить в “1” биты *TXM*, *MCM*.
- Для совместимости с 16-разрядными АЦП необходимо бит *FO* установить в “0”.
- Все последовательные АЦП нуждаются в управляющем сигнале, по которому начинаются преобразование и передача данных. Этим сигналом будет сигнал синхронизации кадров *FS*, вследствие чего необходимо установить бит *FSM* в “1”. На рис.4 показан результирующий двоичный, а также 16-ричный код, который необходимо загрузить в регистр *SPC*.

Прием и передача в пакетном режиме

Последовательный порт может быть настроен для работы как в непрерывном режиме, так и в пакетном. В обоих режимах обмен данными начинается по сигналу *FS*. В непрерывном режиме необходим лишь один импульс *FS*. В пакетном режиме *FS* указывает на начало передачи 16-битного слова.

Существуют две синхронизирующие линии данных *CLKX* и *CLKR*. На рис.5 показана схема подключения АЦП к последовательному порту с внутренней генерацией (контроллером последовательного порта) синхронизирующих импульсов. То же самое необходимо и для *FSX* и *FSR*.

Передача инициируется центральным процессором путем записи передаваемых данных в регистр *DXR*. Со вторым положительным фронтом *CLKX* данные из *DXR* копируются в выходной сдвиговой регистр *XSR*. В это время генерируется сигнал синхронизации кадров, а также прерывание *XINT*. После первого положительного фронта *CLKX* *FSX* устанавливается в ноль, передаваемые данные сдвигаются и поступают на выход – вывод *DX*, в то время как принимаемые данные поступают на вход – вывод *DR*, с которого, в свою очередь, на вход сдвигового регистра *RSR*. Оба потока данных начинаются со старших бит. Данные на выходах изменяются по положительному фронту *CLKX*, по отрицательному – записываются в АЦП и *RSR*. Таким образом, после 16 отрицательных фронтов *CLKX* (начиная с того момента, когда *FSX* установился в ноль) регистр *RSR* оказывается заполненным. Далее содержимое *RSR* копируется в регистр *RINT*, после чего генерируется прерывание *RINT*. 16-й отрицательный фронт заканчивает полный цикл обмена (приема и передачи). Следующие циклы обмена должны инициироваться центральным процессором путем записи в регистр *DXR*.

Прерывания последовательного порта *XINT* и *RINT* – внутренние сигналы, доступны только центральному процессору. При генерации одного из данных прерываний выполняемая программа

FREE	SOFT	RSRFULL	/XSREMPY	XRDY	RRDY	IN1	INO	RRST	XRST	TXM	MCM	FSM	FO	DLB	RES	
0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	Bin
0				0				3				8				Hex

Рис.4. Конфигурационное слово последовательного порта

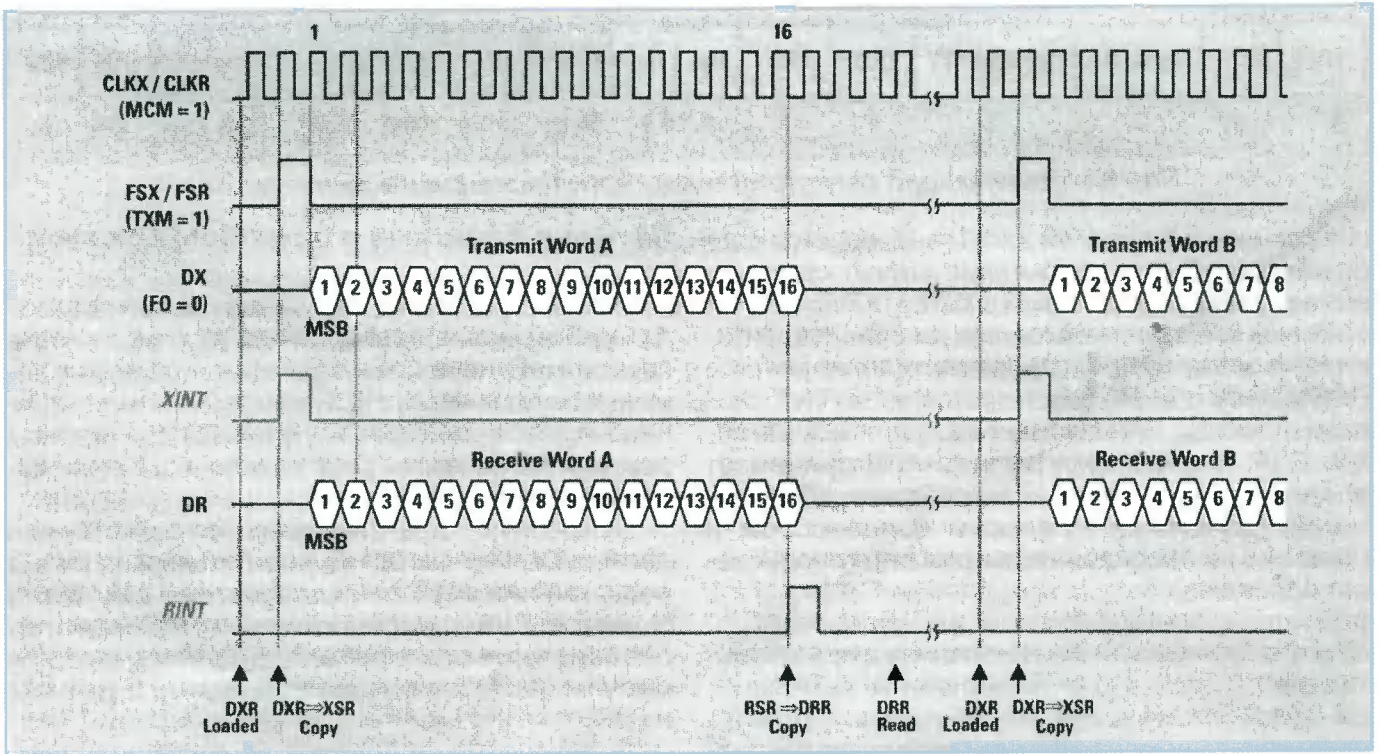


Рис.5. Прием и передача в пакетном режиме

прерывается, начинают выполняться функции обработки прерываний. Во время обработки прерываний обмен через порт не прекращается.

Например, *XINT* часто используется для перезаписи *DXR*, после того как старые данные из него были скопированы в *XSR*. Это гарантирует, что следующая передача данных из *DXR* в *XSR* произойдет сразу же после того, как данные в *XSR* будут переданы, следовательно, передача будет осуществляться без пауз. Однако, как это будет показано ниже, при работе с последовательными АЦП прерывание *XINT* должно быть запрещено. Прерывание *RINT* используется для чтения

данных из регистра-приемника – *DRR* и последующего сохранения его значения в памяти данных. При работе с АЦП, с принципом работы “на лету” *RINT* может использоваться также для инициации следующего процесса передачи данных, что позволит увеличить пропускную способность порта.

Особый случай пакетного режима – обмен с максимальной частотой следования пакетов показан на рис. 6.

При максимальной частоте пакетов биты данных передаются без задержек, т.е. бит за битом, без пауз между пакетами (после 16-го

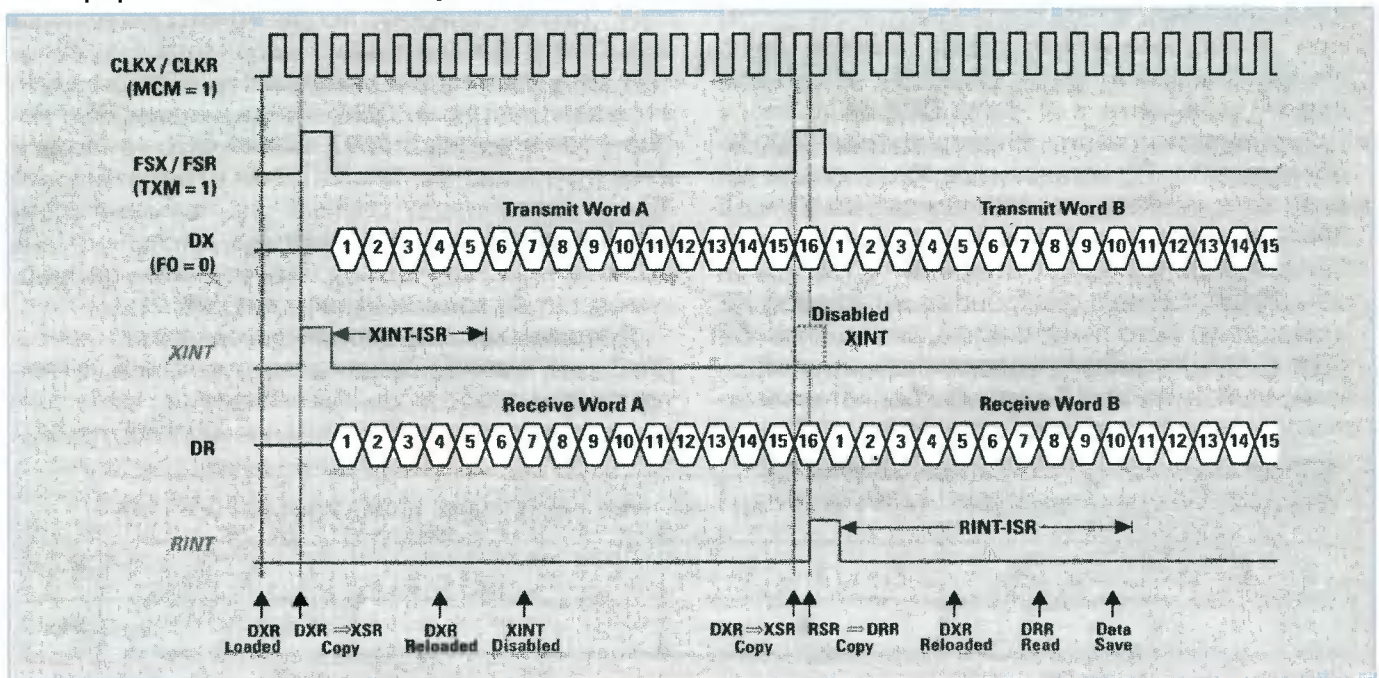


Рис.6. Прием и передача в пакетном режиме с максимальной частотой пакетов

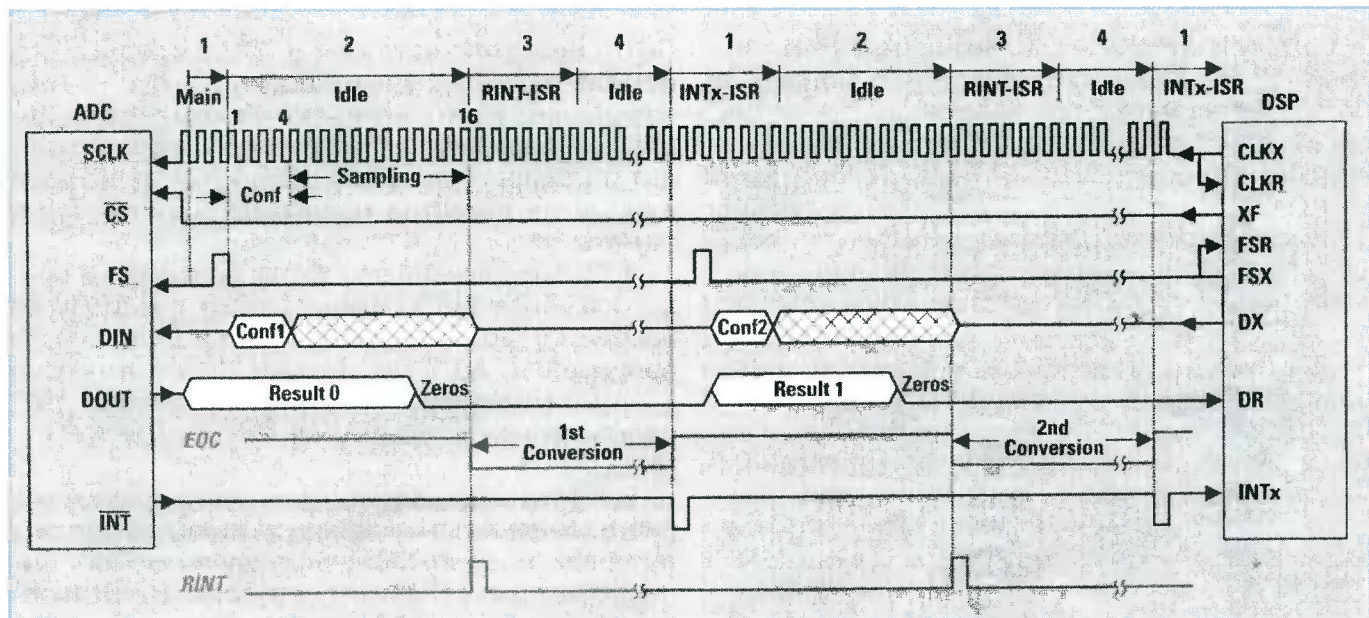


Рис. 7. Обмен DSP с АЦП в последовательном режиме

бита со следующим тактом следует 1-й). Это достигается путем перезагрузки *DXR* во время первого *XINT*, после чего *XINT* запрещается. Выполнение этих двух инструкций занимает порядка 5 циклов *CLKX*. С отрицательным фронтом 16-го импульса *CLKX* в *XSR* "сдвигается" последний передаваемый бит, после чего последние данные из *DXR* копируются в *XSR*. В это время генерируется кадровый импульс, приходящий вместе с последним передаваемым битом предыдущего кадра, инициирующий передачу нового кадра.

Через половину периода следования импульсов на *CLKX* после 16-го отрицательного фронта последний принимаемый бит записывается в *RSR*. С последующим копированием *RSR* в *DRR* генерируется прерывание *RINT*. Со следующими *RINT* центральный процессор перегружает регистр передачи *DXR*, после чего читает значение *DRR* и сохраняет его в памяти данных. В то время как центральный процессор выполняет обработку *RINT*, последовательный порт продолжает обмен с АЦП. С этого момента только один обработчик прерываний (для *RINT*) используется для сохранения полученных данных в памяти и инициации новых циклов передачи, обработка данного прерывания не должна превышать по длительности 15 тактов *CLKX*.

Взаимодействие с последовательными АЦП

Последовательные АЦП, представленные в табл. 1, работают в две фазы. В первой фазе АЦП одновременно получает конфигурационные данные от *DSP* и передает результат преобразования. Во второй фазе происходит непосредственно аналого-цифровое преобразование с последующим сигналом запроса прерывания при окончании преобразования.

На рис. 7 показаны временные диаграммы работы АЦП TLV2544 в "однократном" (single-short) режиме. Так как преобразование должно быть закончено до того, как начнется другое, непрерывный поток бит данных невозможен, что справедливо для всех таких АЦП.

Многие АЦП содержат выход *EOC/INT*, служащий для оповещения о завершении преобразования. Далее предполагается, что вывод *EOC/INT* запрограммирован на генерацию импульса запроса прерывания по завершении преобразования.

В целях наглядности на рис. 7 представлены сигналы *EOC* и *RINT*. В то время, когда *EOC* находится в "0", происходит преобразование аналогового сигнала в цифровой, *RINT* – начало обработки прерывания последовательного порта *DSP*.

Процесс сбора данных начинается с выставления процессором тактовых импульсов на линии *SCLK* последовательного интерфейса. Далее *DSP*, через вывод *XF*, активизирует микросхему АЦП низким уровнем на входе */CS*. С отрицательным фронтом на */CS*, выход данных АЦП – *DOUT* выходит из режима повышенного импеданса, при этом на нем будет случайное значение.

После того как АЦП был активизирован, все процессы обмена данными осуществляются по следующим пяти шагам.

1. *DSP* инициирует обмен данными путем записи конфигурационного слова в регистр *DXR* последовательного порта. После второго положительного фронта на выводе *SCLK*, следующего за записью в регистр *DXR*, на выводе *FS* генерируется импульс синхронизации кадра.

2. После отрицательного фронта на *FS* начинается передача конфигурационного слова на вход *DIN*. Первые 4 бита являются основными конфи-

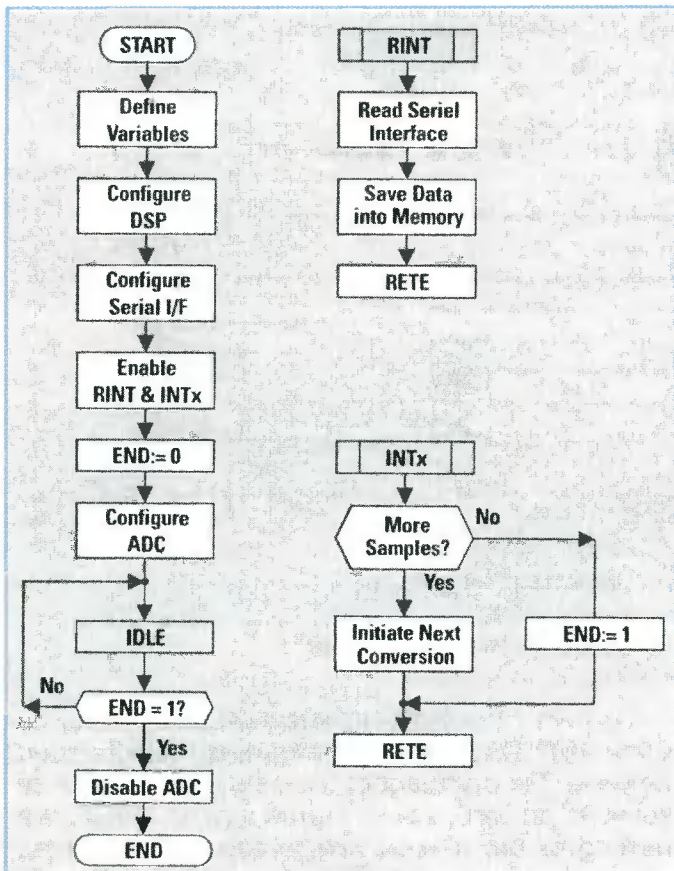


Рис.8. Структура алгоритма обмена с АЦП в последовательном режиме

гационными битами, остальные 12 – игнорируются АЦП. Одновременно АЦП передает DSP результат преобразования через выход *DOUT*. В целях совместимости с 16-битными АЦП 10 значащих бит дополняются 6 нулями. При 12-битном преобразовании дополнительных нулей соответственно 4.

3. С 16 отрицательным фронтом на *SCLK* выход *DSP DX* переходит в третье состояние,

DOUT при этом остается в “0” до следующего обмена данными. Далее АЦП начинает преобразование, в это же время генерируется запрос на прерывание *RINT*, процессор переходит в подпрограмму его обработки, в которой данные из регистра приемника копируются в память.

4. По завершении обработки прерывания процессор переходит в спящий режим, в котором он находится до наступления немаскированного прерывания. АЦП заканчивает преобразование данных и генерирует импульс на выходе */INT*, подключенном к одному из входов *DSP/INT1 – /INT3*.

5. Процессор переходит в подпрограмму обработки прерывания *INTx*, в которой загружается новое конфигурационное слово в *DXR*. Запись значения в *DXR* инициирует новый цикл обмена данными, после чего повторяются шаги 2 – 4 и так, пока не завершится весь процесс сбора данных.

На рис. 8 показан алгоритм, описанный выше.

Обмен с АЦП типа “на лету”

Такие преобразователи выполняют аналого-цифровое преобразование одновременно с обменом данными с процессором. Сбор данных, конфигурирование и преобразование происходят за 16 тактов, таким образом, поток данных может быть непрерывным. АЦП типа “на лету” обеспечивают скорость преобразования до 1 – 4 MSPS. На рис. 9 показаны временные диаграммы работы такого АЦП – это многоканальный TLV1570.

После активации АЦП процессором путем выставления низкого уровня на входе */CS* процесс сбора данных выполняется следующими тремя шагами:

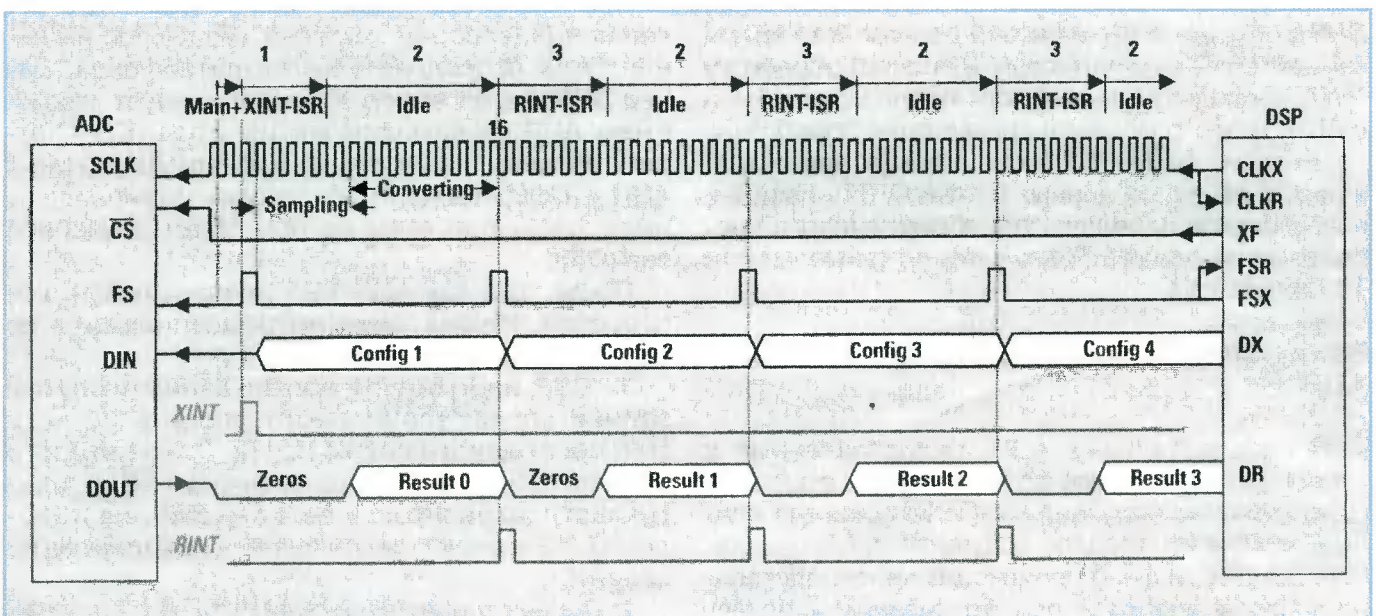


Рис.9. Обмен DSP с многоканальным АЦП в режиме “на лету” (on-the-fly)

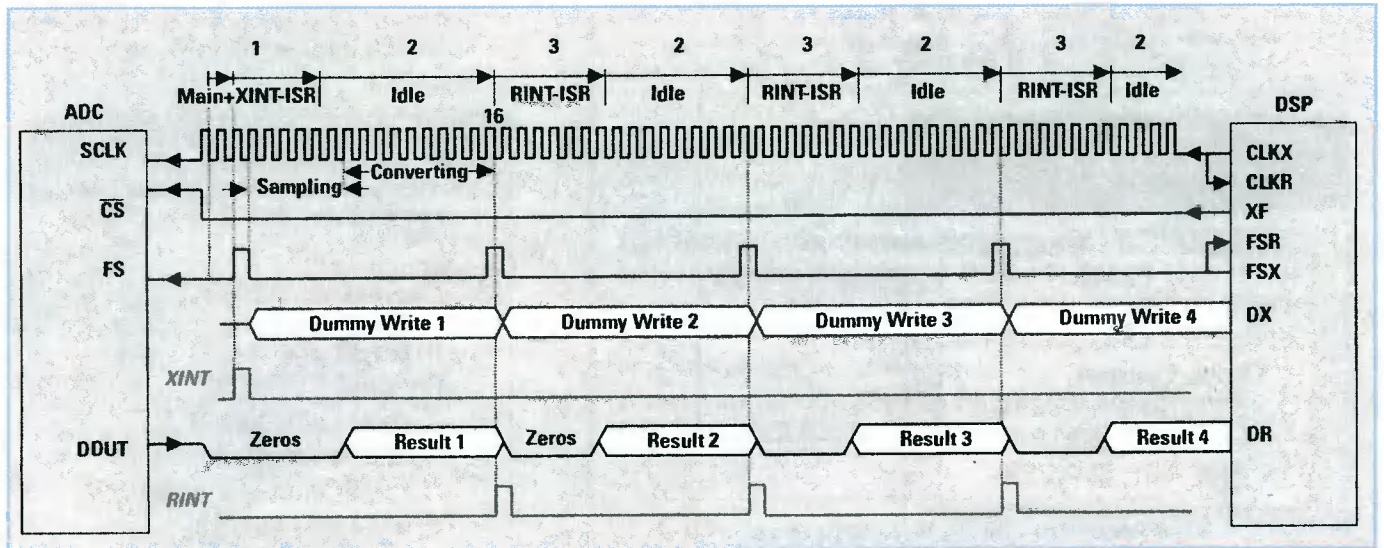


Рис. 10. Обмен DSP с одноканальным АЦП в режиме "на лету" (on-the-fly)

1. DSP заносит значение конфигурационного слова в регистр передачи последовательного порта – DXR, после чего генерируются кадровый импульс и прерывание XINT. Последовательный порт выполняет передачу 16 конфигурационных бит в АЦП. В то же время АЦП передает 16 бит данных, состоящих из 4 нулей и последующих 12 бит результата преобразования. Тем временем

подпрограмма обработки XINT перегружает DXR и запрещает XINT для всех будущих кадров данных.

2. Пока происходит обмен данными, процессор находится в спящем режиме, вплоть до появления прерывания.

3. С 16 положительным фронтом SCLK новый импульс FS начинает следующий кадр. С отрицательным фронтом 16-го SCLK генерируется прерывание RINT, выводящее процессор из спящего режима, после чего DSP переходит в подпрограмму обработки этого прерывания. Процессор читает данные из регистра DRR и записывает полученные данные в память. После чего в DXR для подготовки следующего цикла обмена записывается следующее конфигурационное слово. После завершения выполнения подпрограммы обработки RINT процессор возвращается в спящий режим. Шаги 2 и 3 выполняются до завершения процесса сбора данных.

На рис. 10 показаны временные диаграммы работы одноканального АЦП TLV1572. Временные диаграммы обмена сходны с TLV1570, за исключением того, что выходные данные TLV1572 представляют результат текущего преобразования, в то время как выходные данные TLV1570 – результат преобразования, выполненного в предыдущем кадре данных.

TLV1572 – не конфигурируемый АЦП и в нем нет входа DIN. Однако DSP требуется запись незначущего значения в регистр DXR в целях генерации импульса FS, который сигнализирует о начале кадра данных и инициирует преобразование.

Подпрограммы с С-интерфейсом

Выше были описаны процедуры обмена, реализуемые на ассемблере. Данные ассемблерные процедуры используются для оптимизации вре-

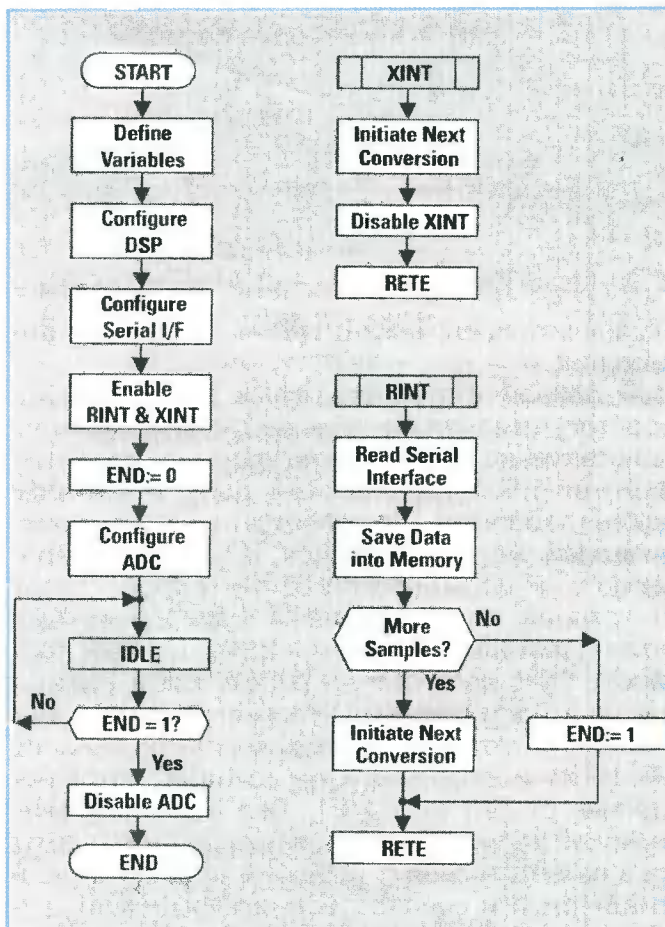


Рис. 11. Структура алгоритма обмена с АЦП в режиме "на лету" (on-the-fly)

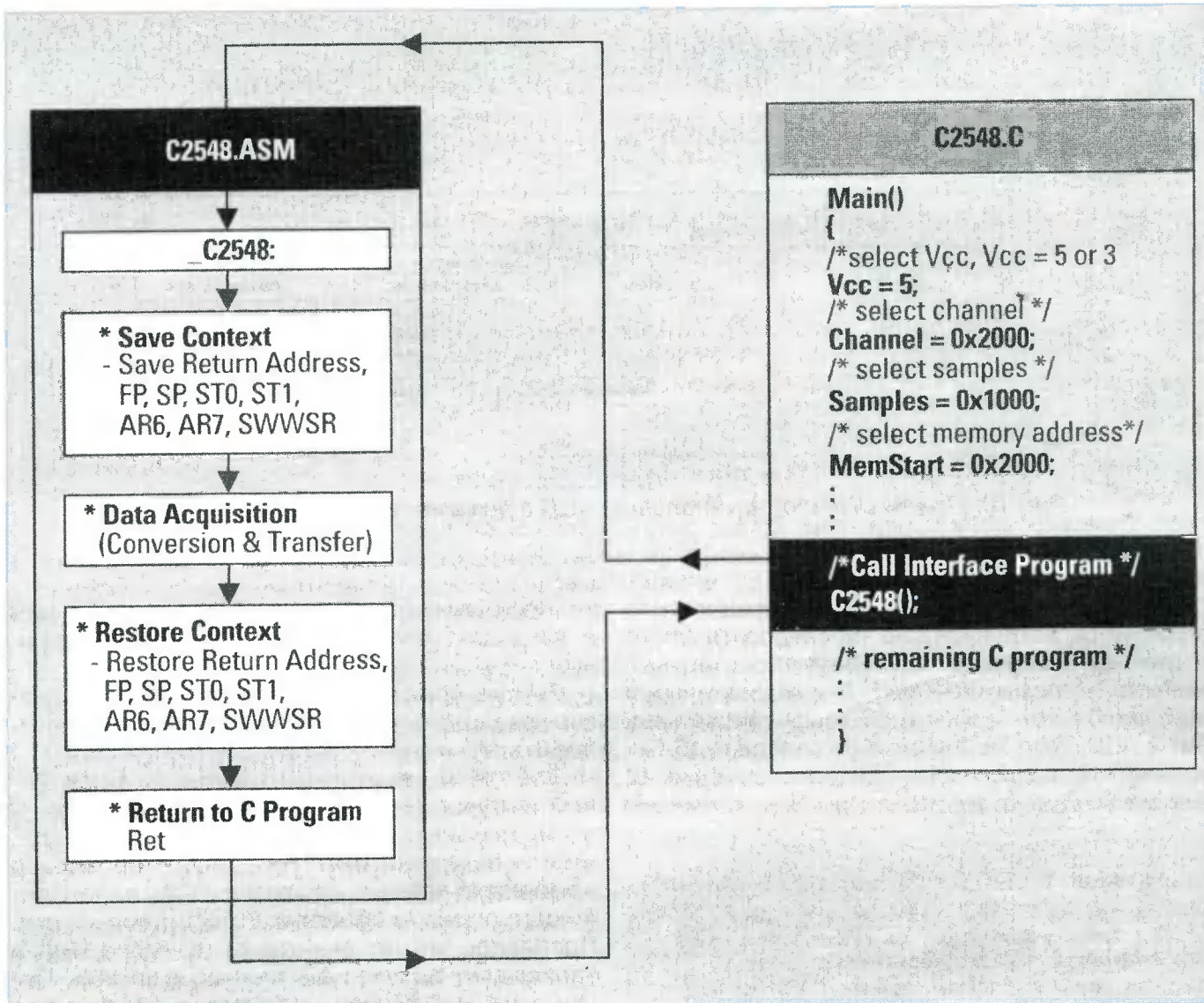


Рис.12

мени обмена данными между DSP и АЦП. Однако большинство DSP-программистов используют C гораздо чаще, чем ассемблер.

На рис.12 приведена структура алгоритма с вызовом ассемблерной процедуры из C для 8-канального 12-битного АЦП – TLV2548.

Помимо описанных выше шагов ассемблерная процедура сохраняет все указатели и регистры, которые используются в основной C-программе. После выполнения операций по обмену перед выходом в C-программу восстанавливаются сохраненные данные.

После задания переменных в C-программе, вызывается ассемблерная подпрограмма, сохраняются все рабочие регистры и начинается непосредственно обмен данными. Как только необходимое количество выборок получено, восстанавливаются все значения регистров и указателей. Процессор выходит из ассемблерной подпрограммы и продолжает выполнять C-программу. Использование в подпрограммах обмена C-интерфейса позволяет повысить их встраиваемость в другие, что, в конечном сче-

те, значительно снижает время написания приложения.

В данной статье ставилась цель показать простоту реализации обмена с внешними устройствами по последовательному порту. Стандартный последовательный порт, о котором здесь говорилось, не является последней реализацией этого интерфейса. В настоящее время во всех последних сигнальных процессорах TI встроен многоканальный буферизованный последовательный порт (McBSP). Данный порт может быть настроен на работу как в режиме стандартного последовательного порта, описанного выше, так и в режимах совместимых со многими используемыми сегодня потоками данных от SPI до T1/E1, без использования внешней логики. Использование прямого доступа в память позволит избежать обработки приема/передачи процессором каждого слова, необходимо лишь проводить начальную инициализацию, далее весь обмен будет производиться контроллером прямого доступа без участия процессора.