

ЦИФРОВАЯ ОБРАБОТКА СИГНАЛОВ

3/2003

НАУЧНО - ТЕХНИЧЕСКИЙ ЖУРНАЛ

СПЕКТРАЛЬНЫЙ АНАЛИЗ
ОБРАБОТКА
ВИДЕОИНФОРМАЦИИ
МОДУЛИ ЦОС
И ИХ ПРИМЕНЕНИЕ
РЕАЛИЗАЦИЯ НА ПЛИС

ISSN 1684-2634



9 771684 263005 >

ЦИФРОВАЯ ОБРАБОТКА СИГНАЛОВ

Научно-технический журнал
№3 (9)/2003

Издается с 1999 года.
Выходит четыре раза в год.

ГЛАВНЫЙ РЕДАКТОР
Ю.Б. ЗУБАРЕВ

ЗАМЕСТИТЕЛИ ГЛАВНОГО РЕДАКТОРА:
В.В. ВИТЯЗЕВ, В.П. ДВОРКОВИЧ

РЕДАКЦИОННАЯ КОЛЛЕГИЯ:

Б. А. Бабаян, Ю. И. Борисов,
С. А. Грибачев, Г. В. Зайцев, Р. В. Зубарев,
А. П. Кирпичников, М. И. Кривошеев,
Н. А. Кузнецов, М. С. Куприянов, А. А. Ланнэ,
В. Г. Мистюков, С. Л. Мишенков,
А. А. Петровский, Ю. Н. Прохоров,
А. Н. Соловьев, Ю. Г. Сосулин,
Н. Г. Харатишвили, В. В. Шахгильдян,
Ю. С. Шинаков

Адрес редакции:
103064 Москва, ул. Казакова, 16
Тел./факс: (095) 267-0662
E-mail: editor@dspa.ru
http://www.dspa.ru

Для писем:
129090 Москва, а/я 48.

Издатель:
ООО «КБ ВП»
Генеральный директор: С. А. Задворнов
Дизайн и верстка: И. А. Фашевская
Корректура: С. В. Витязев

Подписной индекс по каталогу
ОАО «Роспечать» – 82185

Подписано в печать 28.08.2003. Формат 60x90/8.
Гарнитура «Pragmatica C». Печать офсетная.
Бумага мелованная. Печ. л. 7,0. Тираж 1000 экз.
Заказ №768. Отпечатано в
ООО «Типография Принтхаус»
Москва, ул. Вавилова, вл. 9а, стр. 7,
тел.: 132-7218, 105-07-98.

Издание зарегистрировано в Министерстве
Российской Федерации по делам печати,
телерадиовещания и средств массовых
коммуникаций.
Свидетельство о регистрации ПИ №77-1488
от 14.01.2000

© КБВП, 2003

В НОМЕРЕ:

В.В. Витязев Модули ЦОС – инструментальные средства встраиваемых DSP-технологий	2
С.Н. Миронов, В.В. Костров Переопределенная AP-модель одномодовых мешающих отражений с заданными спектральными характеристиками	3
В.И. Кошелев Оценка спектрального динамического диапазона в задачах цифровой обработки сигналов	8
В.В. Золотарев Недвоичные многопороговые декодеры	10
Ю.В. Чесноков, В.И. Чижиков Дискретное вейвлет-преобразование в обработке электрокардиограмм с мерцательной аритмией	13
Д.Б. Головкин, М.С. Куприянов Бесконтактное измерение скорости движения поверхности цифровым методом	16
А.К. Пяткин, М.В. Никитин Реализация на ПЛИС быстрого преобразования Фурье для алгоритмов ЦОС в многофункциональных РЛС	21
Ю.И. Борисов Разработка вычислительного комплекса цифровой обработки видеoinформации в реальном времени на базе субмикронного нейропроцессора L1879BM1	26
И.И. Фефилов, П.М. Матюшин Перестраиваемое процессорное ядро – основа устройств «Система на Кристалле»	32
В.Г. Мистюков Модуль цифровой обработки сигналов XDSP-3PC компании Scan Engineering Telecom	37
И.И. Турулин, Ю.Б. Верич Применение системы MATLAB для синтеза узкополосных нерекурсивных фильтров	44
А.А. Рыболовлев, В.Г. Трубицын Логическое устройство стартового набора TMS320VC5416 DSK. Использование элементов памяти стартового набора и анешних элементов памяти для расширения общего пространства памяти	46
С.В. Витязев Новости DSP компаний Analog Devices и Texas Instruments	53

Модули ЦОС – инструментальные средства встраиваемых DSP-технологий



В течение ряда лет редакция журнала систематически отслеживает появление на мировом и российском рынках новых перспективных DSP-технологий и знакомит читателей с тенденциями и

направлениями развития цифровых сигнальных процессоров и инструментальных средств проектирования систем ЦОС на их основе. За прошедшие годы неоднократно публиковались статьи, отражающие развитие DSP-технологий таких мировых лидеров в этой области, как компании Texas Instruments, Analog Devices, Motorola. Что особенно приятно отметить: и отечественные разработчики и производители оказались на высоте и не остались без нашего внимания. В 2001 г. («Цифровая обработка сигналов», 2001, №3, с. 25–38) на страницах нашего журнала появилась первая широко представленная информация о новой отечественной платформе сигнальных процессоров – СБИС «МУЛЬТИКОР» (НПЦ «ЭЛВИС»). Начиная с 2001 г. регулярно выходят статьи, посвященные программированию и применению первого отечественного субмикронного нейропроцессора Л1879ВМ1, созданного в НТЦ «Модуль».

Редакция планирует и дальше поддерживать тесное сотрудничество со всеми отечественными производителями современной элементной базы, средств программирования и отладки систем ЦОС, а также с представителями ведущих зарубежных компаний, работающих в области DSP-технологий.

Вместе с тем сигнальные процессоры являются, образно говоря, только «кирпичиками», из которых предстоит разработчикам систем ЦОС воздвигать свое «здание», опираясь на собственные архитектурные и технологические решения, подчас далекие от совершенства. На этом нелегком пути к ним на помощь приходят фирмы, специализирующиеся в области разработки и производства модулей ЦОС самых различных назначений: от простых однопроцессорных устройств с расширенными средствами поддержки аналогового ввода/вывода до сложнейших высокопроизводительных многопроцессорных систем. Длительное время на

этом рынке успешно работают отечественные фирмы ЗАО «Инструментальные системы», ЗАО «МикроЛАБ Системс», ЗАО «СКАН Инжиниринг-телеком», Лаборатория ЦОС НИИ «Прогноз» и другие.

Первый выход журнала («Цифровая обработка сигналов», 1999, №1) познакомил читателей с продукцией компании «Инструментальные системы» за 10 лет работы на рынке ЦОС. Впервые дается обзор новых архитектурных решений в области цифровых радиоприемных устройств с применением специализированных сигнальных процессоров DDC (Digital Down Converter). Приводится краткая информация о процессорных модулях ЦОС компании «Инструментальные системы» на основе сигнальных процессоров фирм Texas Instruments и Analog Devices. Периодически появляющиеся в дальнейшем статьи от компании «Инструментальные системы» в большей степени касались вопросов разработки и оптимизации программных средств многопроцессорных систем ЦОС и анализа их эффективности при использовании сигнальных процессоров новых поколений. Все, что касается состояния дел в области рынка модулей ЦОС и предложений отечественных фирм на этом рынке, к сожалению, не нашло адекватного отражения на страницах нашего журнала. Учитывая возрастающий интерес к встраиваемым DSP-технологиям на базе модулей ЦОС, редакция журнала считает необходимым и целесообразным систематизированную публикацию статей в указанном направлении.

С этим выпуском открывается новая рубрика журнала: «Модули ЦОС и их применение», в рамках которой найдут отражение вопросы разработки, программирования и применения модулей цифровой обработки сигналов. Приглашаем все заинтересованные организации, представляющие интересы фирм-разработчиков модулей ЦОС, а также специалистов, работающих в области создания инструментальных средств проектирования и отладки многопроцессорных систем на базе ПЛИС и сигнальных процессоров, принять участие в формировании содержательной части новой рубрики.

*Зам. главного редактора
профессор В. В. Витязев*

УДК 621.396.6

Переопределенная АР-модель одномодовых мешающих отражений с заданными спектральными характеристиками

С.Н. Миронов, В.В. Костров

Введение

При разработке и испытаниях радиолокационной аппаратуры необходимо учитывать возможность работы импульсной радиолокационной станции (РЛС) в условиях воздействия помех. В целях уменьшения материальных затрат на проведение испытаний устройств цифровой обработки сигналов применяется полунатурное моделирование, при котором в реальном масштабе времени с помощью имитаторов сигналов создается окржающая станцию помеховая обстановка. Это позволяет провести достаточно полный анализ работы процессора РЛС, в том числе и в условиях воздействия различных помех, в частности пассивных помех (ПП). Степень надежности таких исследований, их адекватность реальным условиям функционирования РЛС существенно зависят от используемых моделей эхо-сигналов. Особый интерес представляют модели мешающих отражений с заданными спектрами. Однако спектры реальных эхо-сигналов от ПП имеют сложную форму, поэтому их описание представляет собой трудную задачу. Априорно известными являются лишь приближенная форма и параметры спектральной плотности мощности (СПМ), к числу которых относятся средняя частота и ширина спектральных составляющих. Целью данной статьи является разработка методики моделирования эхо-сигналов одномодовых мешающих отражений по заданной средней частоте и ширине СПМ с использованием авторегрессионной модели. Предлагаемая модель ориентирована на применение в имитаторах эхо-сигналов обзорной импульсной РЛС с высокой скважностью, в которых осуществляется естественная дискретизация сигналов с частотой $\omega_d = 2\pi f_d$.

Построение модели мешающих отражений с заданными спектральными характеристиками

В работе [1] рассмотрены вопросы синтеза и оптимизации моделей авторегрессии – скользящего среднего (АРСС). Основная трудность при имитации эхо-сигналов от ПП или мешающих отражений (МО) с помощью АРСС-моделей заключается в расчете параметров составляющей скользящего среднего. Согласно экспериментальным данным [2], СПМ сигналов от ПП имеют резонансный характер, что соответствует чисто полюсным или авторегрессионным моделям (АР-моделям). Спектральная плотность мощности авторе-

Рассматривается авторегрессионная модель (АР-модель) эхо-сигналов от пассивных помех. Исходными данными для моделирования являются основные характеристики спектральной плотности мощности (СПМ) одномодовой помехи – средняя частота и ширина спектра. Параметры авторегрессии вычисляются из переопределенной системы уравнений Юла–Уолкера. Приводятся результаты статистического моделирования эхо-сигналов от пассивных помех по предлагаемой методике, усредненные характеристики параметров СПМ и сравнительный анализ с соответствующими характеристиками для «минимальной» АР-модели, параметры авторегрессии которой вычисляются из «минимальной» системы уравнений Юла–Уолкера.

грессионного процесса порядка P может быть представлена в виде

$$|\dot{S}_P(j\omega)|^2 = \left| b(0) \cdot \left(1 + \sum_{m=1}^P \dot{a}(m) \exp(-jm\omega) \right) \right|^2 \quad (1)$$

где $b(0)$, $\dot{a}(1)$, $\dot{a}(2)$... $\dot{a}(P)$ – параметры авторегрессии; $m=1, \dots, P$, или с учетом дискретизации:

$$|\dot{S}_P(k)|^2 = \left| b(0) \cdot \left(1 + \sum_{m=1}^P \dot{a}(m) \exp(-jm \frac{2\pi k}{K}) \right) \right|^2 \quad (2)$$

где $|\dot{S}_P(k)|^2$ – k -й отсчет СПМ порядка P , $k=-K/2, -K/2+1, \dots, K/2; K+1$ – объем выборки СПМ.

В работе [3] предложена АР-модель комплексного временного ряда $\dot{x}(n)$ порядка P с заданной формой СПМ. Основу построения АР-модели составляет способ аппроксимации СПМ случайного процесса с дисперсией σ^2 , шириной полосы $\Delta\omega = 2\pi\Delta f$ и центральной частотой $\omega_0 = 2\pi f_0$. Семейство возможных видов СПМ одномодовых МО с рассматриваемыми спектральными характеристиками записывается в виде [4]

$$|\dot{S}_d(j\omega)|^2 = \frac{2\sigma^2}{\Delta\omega} \cdot \left(1 + \left(\frac{\omega - \omega_0}{\Delta\omega} \right)^2 \right)^{-1}, \quad (3)$$

где $-\frac{\omega_d}{2} \leq \omega \leq \frac{\omega_d}{2}$, или в дискретном виде

$$|\dot{S}_d(k)|^2 = \frac{2\sigma^2}{\Delta\omega} \cdot \left(1 + \left(\frac{(2\pi k/K) f_d - \omega_0}{\Delta\omega} \right)^2 \right)^{-1}, \quad (4)$$

где $|\dot{S}_d(k)|^2$ – k -й отсчет аппроксимируемой СПМ; $k=-K/2, -K/2+1, \dots, K/2; K+1$ – объем выборки СПМ; $l=2, 4, 6$.

Такая аппроксимация удобна для многих технических приложений, поскольку позволяет моделировать случайные процессы с разнообразными СПМ [4]. Кроме того, экспериментальные исследования сигналов реальных РЛС свидетельствуют о том, что спектр радиолокационных мешающих отражений хорошо согла-

суется с АР-моделями [2]. В рамках данной статьи рассматривается вопрос моделирования мешающих отражений с унимодальным спектром. Несмотря на то что эта модель является достаточно простой, она позволяет получить отдельные компоненты тестовых эхосигналов от пассивной помехи.

Во временной области мешающие отражения моделируются временным рядом $\dot{x}(n)$, который генерируется в виде реакции формирующего фильтра с квадратом модуля передаточной характеристики (2) на отсчеты дискретного белого шума $\xi(n)$ с нулевым математическим ожиданием и единичной дисперсией. На выходе фильтра формируется последовательность комплексных отсчетов $\dot{x}(n)$ с интервалом дискретизации $T_d=1/f_d$. В рекуррентном виде уравнение последовательности может быть представлено соотношением

$$\dot{x}(n) + \sum_{m=1}^P \dot{a}(m)\dot{x}(n-m) = b(0)\xi(n), \quad n=0, 1, \dots, N, \quad (5)$$

где $N+1$ – объем выборки сигнала. В качестве начального значения $\dot{x}(0)$ используется гауссовская комплексная случайная величина $\xi(0)$ с единичной дисперсией.

Определение параметров модели

При заданном виде СПМ (4) и выбранной для нее модели (2) необходимо определить параметры авторегрессии, которые должны удовлетворять уравнениям Юла–Уолкера [2]

$$\dot{r}(i) + \sum_{m=1}^P \dot{a}(m)\dot{r}(i-m) = \begin{cases} |b(0)|^2, & i=0 \\ 0, & 1 \leq i \leq P, \end{cases} \quad (6)$$

где $\dot{r}(i)$ – i -й комплексный коэффициент автокорреляции последовательности $\dot{x}(n)$.

Исходя из (4), коэффициенты автокорреляции $\dot{r}(i)$ можно получить с помощью преобразования Винера–Хинчина [5]

$$\dot{r}(i) = \frac{1}{K+1} \sum_{k=-K/2}^{K/2} |\dot{S}_d(k)|^2 \exp(j \frac{2\pi i k}{K}). \quad (7)$$

Параметры авторегрессии в (5) должны наилучшим образом соответствовать корреляционной последовательности (7).

Для нахождения параметров авторегрессии решается «минимальная» система уравнений Юла–Уолкера [2], в которой количество уравнений равно $P+1$, т.е. количеству параметров. Полученный на выходе формирующего фильтра комплексный временной ряд может быть гиперчувствительным к точности вычисления коэффициентов автокорреляции (7) по ограниченной экспериментальной выборке. Это приводит к появлению побочных выбросов в СПМ (2) и к значительному отличию ее от аппроксимируемой СПМ (4).

Для решения этой проблемы параметры авторегрессии целесообразно вычислять из переопределенной системы уравнений Юла–Уолкера, которая в матричном виде записывается следующим образом [6]:

$$\begin{bmatrix} \dot{r}(0) & \dot{r}(-1) & \dot{r}(-2) & \dots & \dot{r}(-P) \\ \dot{r}(1) & \dot{r}(0) & \dot{r}(-1) & \dots & \dot{r}(1-P) \\ \dot{r}(2) & \dot{r}(1) & \dot{r}(0) & \dots & \dot{r}(2-P) \\ \dots & \dots & \dots & \dots & \dots \\ \dot{r}(P) & \dot{r}(P-1) & \dot{r}(P-2) & \dots & \dot{r}(0) \\ \dots & \dots & \dots & \dots & \dots \\ \dot{r}(T) & \dot{r}(T-1) & \dot{r}(T-2) & \dots & \dot{r}(2-P) \end{bmatrix} \begin{bmatrix} 1 \\ \dot{a}(1) \\ \dot{a}(2) \\ \dots \\ \dot{a}(P) \end{bmatrix} = \begin{bmatrix} |b(0)|^2 \\ 0 \\ 0 \\ \dots \\ 0 \end{bmatrix}, \quad (8)$$

где $\dot{r}(-i) = \dot{r}^*(i)$, * – знак комплексного сопряжения, $T-P$ – глубина переопределения системы уравнений Юла–Уолкера ($T > P$).

Параметры переопределенной АР-модели (АРп-модели) удобнее всего находить отдельно. Для этого система уравнений (8) разбивается на уравнение относительно параметра $|b(0)|^2$

$$|b(0)|^2 = \dot{r}(0) + \sum_{m=1}^P \dot{a}(m)\dot{r}(-m) \quad (9)$$

и линейную переопределенную систему уравнений относительно комплексных параметров $\dot{a}(1), \dot{a}(2), \dots, \dot{a}(P)$

$$\begin{bmatrix} \dot{r}(0) & \dot{r}(-1) & \dots & \dot{r}(1-P) \\ \dot{r}(1) & \dot{r}(0) & \dots & \dot{r}(2-P) \\ \dots & \dots & \dots & \dots \\ \dot{r}(P-1) & \dot{r}(P-2) & \dots & \dot{r}(0) \\ \dots & \dots & \dots & \dots \\ \dot{r}(T-1) & \dot{r}(T-2) & \dots & \dot{r}(T-P) \end{bmatrix} \cdot \begin{bmatrix} \dot{a}(1) \\ \dot{a}(2) \\ \dots \\ \dot{a}(P) \end{bmatrix} = \begin{bmatrix} \dot{r}(1) \\ \dot{r}(2) \\ \dots \\ \dot{r}(P) \\ \dots \\ \dot{r}(T) \end{bmatrix}, \quad (10)$$

В более компактной форме система (10) запишется в виде

$$\dot{\mathbf{R}}_1 \cdot \dot{\mathbf{a}} = \dot{\mathbf{R}}_2, \quad (11)$$

где $\dot{\mathbf{a}} = \{\dot{a}(1), \dot{a}(2), \dots, \dot{a}(P)\}^T$ – вектор-столбец параметров авторегрессии, T – знак транспонирования.

Матрица $\dot{\mathbf{R}}_1$ имеет размер $T \times P$. Для получения квадратной матрицы в левой части системы уравнений (11) и нахождения элементов вектора-столбца $\dot{\mathbf{a}}$ необходимо обе части равенства (11) слева умножить на транспонированную комплексно-сопряженную матрицу $\dot{\mathbf{R}}_1^*$, т.е.

$$\dot{\mathbf{R}}_1^* \cdot \dot{\mathbf{R}}_1 \cdot \dot{\mathbf{a}} = \dot{\mathbf{R}}_1^* \cdot \dot{\mathbf{R}}_2. \quad (12)$$

Решение системы (12) запишется следующим образом

$$\dot{\mathbf{a}} = (\dot{\mathbf{R}}_1^* \cdot \dot{\mathbf{R}}_1)^{-1} \dot{\mathbf{R}}_1^* \cdot \dot{\mathbf{R}}_2. \quad (13)$$

Заметим, что для решения системы (12) можно использовать также итерационные методы [7]. Определение параметров авторегрессии завершается вычислением параметра $b(0)$. Для этого элементы вектора $\dot{\mathbf{a}}$ подставляются в формулу (9), берется модуль от полученного значения и извлекается квадратный корень.

Рассчитанные параметры авторегрессии используются при моделировании имитатором мешающих отражений с заданной СПМ. Изменяя основные характеристики $\sigma^2, \Delta\omega$ и ω_0 СПМ (4) и вычисляя параметры ав-

торегрессии (весовые коэффициенты формирующего фильтра) можно имитировать различные классы МО, например от местных предметов, метеобъектов, стай птиц. К реализациям эхо-сигналов от ПП, получаемых с использованием соотношения (5), аддитивно добавляются широкополосные шумы приемного устройства, которые моделируются с помощью датчика последовательности гауссовских случайных чисел с независимыми значениями. Требуемое отношение помеха-шум обеспечивается соответствующим выбором основных параметров СПМ (4) и дисперсии гауссовского процесса, аппроксимирующего внутренние шумы приемника.

Экспериментальные результаты

Проведем анализ качества моделирования мешающих отражений на основе АРп-модели и сравним полученные характеристики с соответствующими показателями качества для АР-модели. Количественной характеристикой точности аппроксимации СПМ (4) с помощью (2) служит относительная средняя ошибка спектральной модели

$$\delta S(P) = \frac{1}{K} \sum_{k=0}^{K-1} \frac{|\dot{S}_p(k)|^2 - |\dot{S}_d(k)|^2}{|\dot{S}_p(k)|^2} \quad (14)$$

Аналитическое исследование поведения ошибки (14) вызывает серьезные математические трудности, особенно при больших значениях порядка P и глубины переопределения системы уравнений Юла-Уолкера $T-P$. В связи с этим для исследования эффективности использования АРп-модели и анализа ошибок аппроксимации применялись методы, связанные с вычислениями на ЭВМ. В частности, проверка свойств генерируемых случайных процессов базировалась на методе статистических испытаний (метод Монте-Карло).

Для реализации расчетов на ЭВМ задавались численные значения порядка АР-модели P , глубина переопределения $T-P$ и параметры СПМ (4). В качестве исходных характеристик СПМ далее используются следующие значения: $f_d=500$ Гц, $f_0=50$ Гц, $\Delta f=20$ Гц, $\sigma^2=1,4$ Вт, $K=500$. Спектральная плотность мощности (4) с данными параметрами при различных значениях $l=2, 4, 6$ представлена на рис. 1.

Зависимости средней ошибки для АР-модели (линии с квадратами) и средних ошибок для двух АРп-

моделей (с глубинами переопределения, равными 1 и 100) при значениях $l=2, 4, 6$ изображены соответственно на рис. 2, 3 и 4. Из рис. 2-4 видно, что при оценивании СПМ по параметрам авторегрессии ошибки для АР- и АРп-моделей с увеличением порядка уменьшаются. При $P \geq 15$ и $l=2$ погрешность аппроксимации не превышает 2% (рис. 2), $l=4, 6$ - 5% (рис. 3, 4) для обоих видов моделей.

Применение АРп-моделей на основе переопределения системы уравнений Юла-Уолкера позволяет снизить на 1...5% среднюю ошибку спектральной модели $\delta S(p)$, начиная с четвертого порядка. При этом, как показали расчеты, глубина переопределения слабо влияет на качество моделирования заданного вида СПМ (4) (графики для $T-P=1$ и $T-P=100$ практически сливаются).

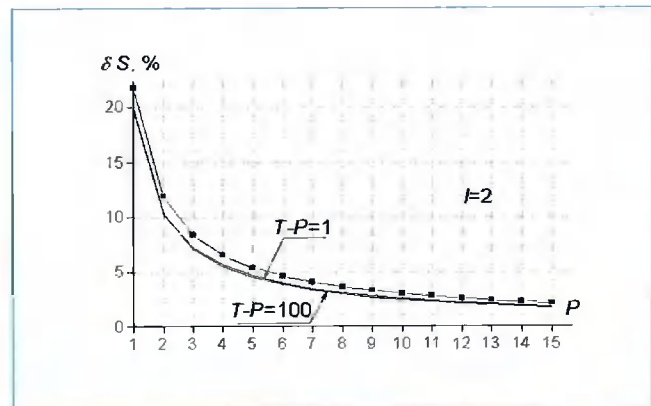


Рис. 2

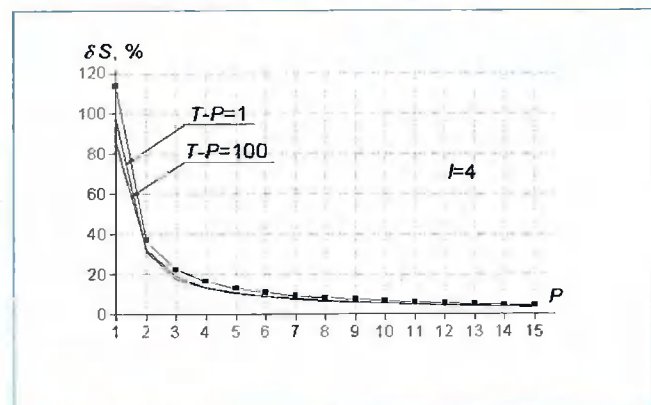


Рис. 3

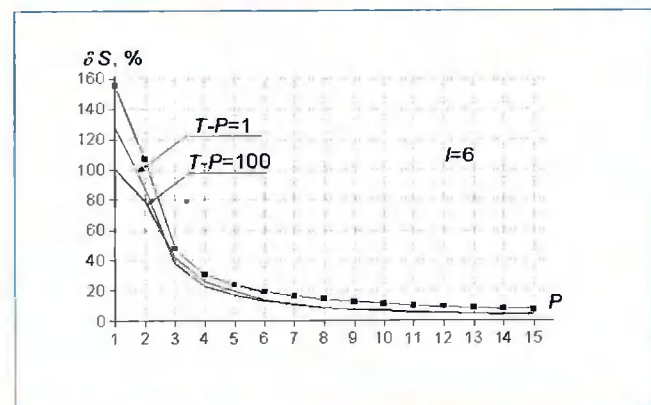


Рис. 4

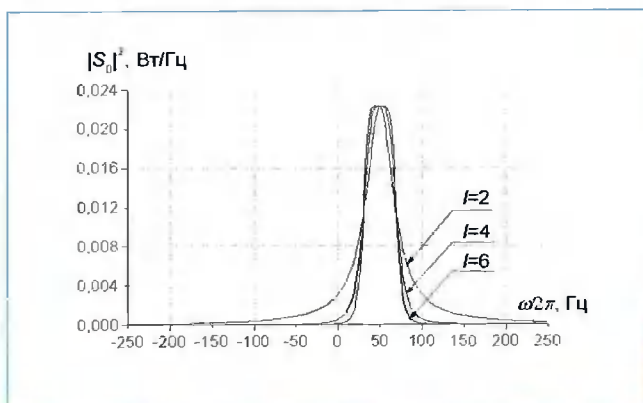


Рис. 1

Статистическое исследование случайных процессов, полученных с использованием АРп-моделей, было проведено для различных значений P , $P \leq 15$. Поскольку на точность моделирования СПМ глубина переопределения влияет слабо, при вычислении параметров авторегрессии было принято значение $T-P=10$. Для выбранной глубины переопределения оценка СПМ по временному ряду (5) вычислялась с помощью дискретного преобразования Фурье [5]. Характеристиками моделирования f_0 и Δf по вычисленной СПМ могут служить зависимости математических ожиданий центральной частоты m_{f_0} и полосы частот $m_{\Delta f}$ и соответствующие им среднеквадратические отклонения (СКО) σ_{f_0} , $\sigma_{\Delta f}$ от порядка АРп-модели. В качестве исходных параметров СПМ использовались вышеприведенные данные (рис. 1). Статистический эксперимент проводился по 1000 реализаций процесса $\dot{x}(n)$, описываемого соотношением (5), что соответствует 1,5% точности измерений. Длина выборки сигнала составляла $N=500$, соответствующие им оценки СПМ имели объем выборки $K=500$. Параметры авторегрессии вычислялись итерационным методом Зейделя [7] с погрешностью не более $\varepsilon=10^{-10}$. Графики зависимостей m_{f_0} и $m_{\Delta f}$ от порядка модели при значениях $l=2, 4, 6$ приведены на рис. 5, 6 и 7 соответственно. Графики зависимостей σ_{f_0} и $\sigma_{\Delta f}$ от порядка модели при значениях $l=2, 4, 6$ приведены на рис. 8, 9 и 10. Пунктиром на рисунках показаны статистические характеристики оценки полосы частот, характеристики для АР-модели – линиями с квадратиками.

Из рис. 5–7 следует, что оценка полосы частот как для АР-, так и АРп-моделей является смещенной. Ха-

рактеристики для АРп-модели имеют наименьший разброс. При $l=2$ максимальное отличие характеристик составляет около 12%; при $l=4, 6$ – около 20%. С увеличением порядка моделей средние отклонения от исходной полосы изменяются слабо и, начиная с шестого

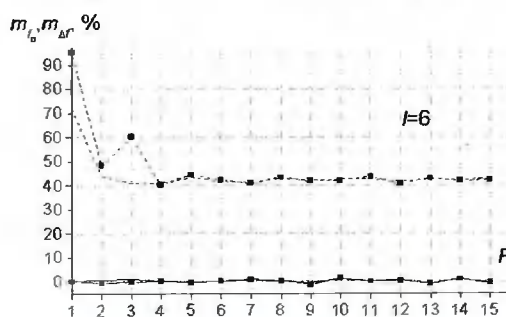


Рис. 7

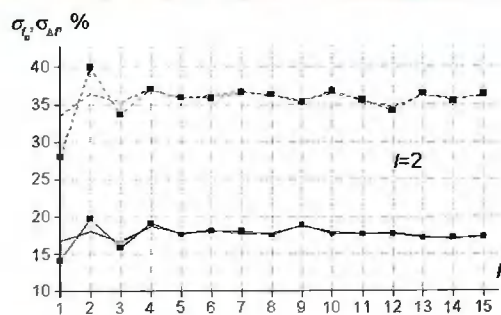


Рис. 8

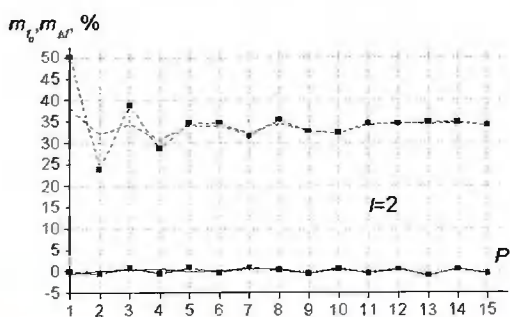


Рис. 5

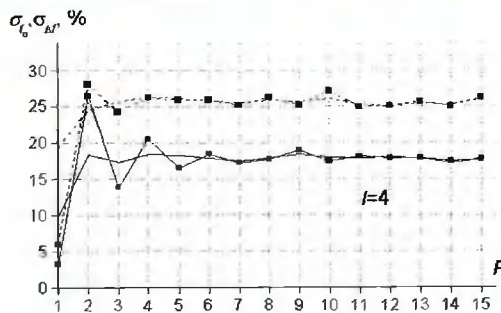


Рис. 9

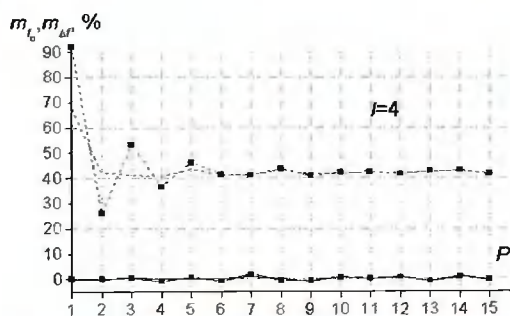


Рис. 6

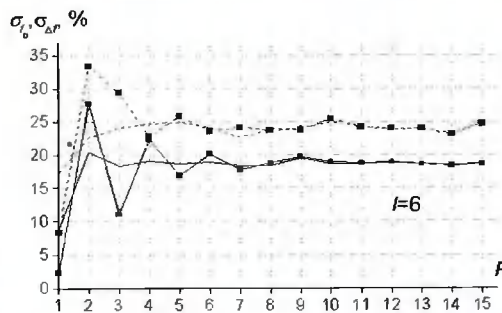


Рис. 10

порядка, в случае $l=2$ стабилизируются на уровне около 33%, а для $l=4, 6$ – около 42%. Среднее отклонение от центральной частоты для АР- и АРп-моделей с увеличением порядка при различных значениях l стремится к нулю. Характеристики для АРп-моделей имеют наименьший разброс, его максимальное значение не превышает 1%.

Из рис. 8–10 следует, что СКО с увеличением порядка АР-модели слабо изменяются и стабилизируются в случае $l=2$ на уровне около 36% – для полосы частот и 17,5% – для центральной частоты, а при $l=4, 6$ СКО стабилизируется на уровне около 25% – для полосы частот и 18% – для центральной частоты. Характеристики для АРп-моделей имеют наименьший разброс. Максимальный разброс СКО при $l=2$ для полосы частот не превышает 5 и 4% – для центральной частоты; – при $l=4, 6$ для полосы частот не превышает 15 и 8% – для центральной частоты.

Заключение

Таким образом, предложенный метод моделирования мешающих отражений с использованием переопределенной авторегрессионной модели случайного процесса достаточно прост и требует задания двух основных характеристик СПМ: центральной частоты и ширины спектра. Проведенный анализ качества моделирования МО показал, что спектральные характеристики АРп-модели по сравнению с характеристиками АР-модели имеют меньший разброс, поэтому при имитации МО целесообразно применять АРп-модель. Кроме того, выявлено, что глубина переопределения уравнений Юла–Уолкера практически не влияет на степень точности приближения СПМ синтезируемого процесса к исходной СПМ.

Из анализа качества моделирования полосы частот и центральной частоты СПМ следует, что увеличение порядка АРп-модели, начиная с $P=5...6$, слабо влияет на ее статистические характеристики. Следовательно, для временного ряда (5) достаточно выбрать шестой порядок АРп-модели. Статистические характеристики моделирования, полученные при $P=6$, приведены в табл. 1.

Отсюда, в частности, следует основной недостаток изложенного метода моделирования: полоса частот СПМ генерируемого случайного процесса имеет смещение. Величину этого смещения целесообразно учитывать при задании модели СПМ. Как ограничение об-

ласти применимости можно расценивать тот факт, что корреляционная функция получаемого процесса явля-

Таблица 1

Параметр	$l=2$	$l=4$	$l=6$
$m_{f_0}(6), \%$	-0,02	0,1	0,3
$m_{\Delta f}(6), \%$	33,8	41,3	41,8
$\sigma_{f_0}(6), \%$	18,1	17,9	19
$\sigma_{\Delta f}(6), \%$	36,1	25,8	24,2

ется экспоненциальной. Некоторые МО имеют корреляционные функции более сложного вида [5]. В заключение заметим, что рассмотренный метод моделирования может применяться и для имитации многомодовых помех. При этом требуемая СПМ задается как сумма унимодальных СПМ.

Работа выполнена при поддержке НТП Минобразования РФ, проект № 205.05.01.057.

Литература

1. Кошелев В.И. АРСС-модели случайных процессов. Прикладные задачи синтеза и оптимизации. М.: Радио и связь, 2002, 112 с.
2. Хайкин С., Карри Б.У., Кеслер С.Б. Спектральный анализ радиолокационных мешающих отражений методом максимальной энтропии // ТИИЭР. Т. 70. №9. 1982. С. 51–62.
3. Костров В.В., Дыранов Ю.В., Миронов С.Н. Моделирование сигналов от пассивных помех по заданным спектральным характеристикам // Методы и устройства передачи и обработки информации / Межвузовский сборник научных трудов. Вып.3. – СПб.: Гидрометеоиздат, 2003, с. 147–152.
4. Жутяева Т.С., Зайцев М.Ф., Щернакова Л.А. Цифровые устройства обработки сигналов на фоне коррелированных помех / Под ред. А.Ф. Богомолова. М.: МЭИ, 1987, 98 с.
5. Лихарев В.А. Цифровые методы и устройства в радиолокации. М.: Сов. радио, 1973, 456 с.
6. Кэдзоу Дж. А. Спектральное оценивание: метод переопределенной системы уравнений рациональной модели // ТИИЭР. Т. 70. №9. 1982. С. 256–293.
7. Краскевич В.Е., Зеленский К.Х., Гречко В.И. Численные методы в инженерных исследованиях. К.: Вища школа, 1986, 263 с.

УДК 621.372. (075)

Оценка спектрального динамического диапазона в задачах цифровой обработки сигналов

В.И. Кошелев

При решении различных радиотехнических задач необходимо практически реализовывать цифровые методы спектрального анализа сигналов с большим амплитудным динамическим диапазоном. Для этого используются многоуровневое квантование входных сигналов в формате с плавающей запятой, увеличение числа разрядов результатов арифметических операций, аппаратные и программные методы расширения динамического диапазона. Термин «спектральный динамический диапазон» (СДД) имеет более узкое применение по сравнению с термином «амплитудный динамический диапазон». При недостаточном СДД ухудшаются условия для спектрального оценивания слабых сигналов, сопровождаемых шумом и узкополосными помехами. Кроме того, априорная неопределенность этого параметра создает дополнительные сложности при анализе и обработке сигналов. Основными факторами, влияющими на величину СДД, являются ширина спектральных линий и мощность сигнальной и помеховой компонент относительно некоррелированного шума (λ). При цифровой обработке сигналов параметр «СДД процесса» определяет порядок фильтров обработки, а с точки зрения математического моделирования непосредственно связан с понятием истинной размерности случайного процесса и определяет порядок модели. Различные варианты решения задачи оценивания СДД приведены в [1, 2, 3] на основе методов максимизации функционала правдоподобия, а также с использованием оценок собственных чисел ковариационной матрицы сигналов.

Ввиду трудности оценки мощности сигнальной и помеховой компонент относительно некоррелированного шума во временной области из-за неразделимости корреляционных связей аддитивной смеси помехи и шума представляет интерес его оценка в спектральной области. Решение данной задачи возможно методом анализа спектра собственных значений корреляционной матрицы обрабатываемого процесса или методом интервальной оценки в многоканальном по частоте фильтре.

Известно [4], что собственные векторы корреляционной матрицы процесса с шумом и без шума одинаковы, а собственные значения отличаются на величину относительной мощности шума, т.е. спектрального динамического диапазона процесса. Разность минимальных собственных значений корреляционной матрицы с шумом растущего порядка стремится к нулю, а предельное минимальное собственное значение может быть принято в качестве оценки мощности шума. Порядок корреляционной матрицы, минимальное соб-

Рассмотрены вопросы оценивания спектрального динамического диапазона многокомпонентного случайного процесса. Результаты исследования могут применяться при определении порядка стохастической модели данных и порядка фильтров подавления коррелированных помех.

ственное значение которой перестает изменяться, можно принять в качестве истинной размерности модели порождающего процесса.

В качестве границы такой оценки можно принять число обусловленности корреляционной матрицы многокомпонентного процесса. При отношении сигнал-помеха на входе устройства обработки $\beta = P_s/P_c \ll 1$ с погрешностью β СДД равен числу обусловленности корреляционной матрицы смеси помехи с шумом. Применение спектральной теории матриц позволяет определить искомым параметр λ . Из спектральных чисел корреляционной матрицы наиболее информативны крайние – минимальное и максимальное числа. Характерно, что соответствующие им собственные векторы определяют векторы обработки оптимальных фильтров режекции и накопления [5]. Свяжем точность оценки $\hat{\lambda}_i$ i -го собственного значения с размерностью выборки, по которой она получена. Обозначим $\Delta\lambda_i$ точность оценки i -го собственного значения λ_i , тогда согласно [4] необходимая длина выборки M выбирается из условия

$$M \leq 2\lambda_i^2 (\bar{\lambda}_i - \lambda_i)^{-2}.$$

При замене максимального собственного значения ее верхней гранью N [6] получим, что с погрешностью $\Delta\lambda$, необходимая длина выборки $M < 2N/\Delta\lambda$. Например, при размерности матрицы $N=10$ и точности оценки $\Delta\lambda_i=10\%$ верхняя граница необходимой длины выборки не превышает 200, при $\Delta\lambda_i=100\%$ (что часто приемлемо для практических условий, т.к. соответствует ошибке оценки мощности 3 дБ) необходима выборка длиной до 20 отсчетов. Несколько большей является длина выборки для оценки собственных векторов \mathbf{W}_i , которая должна удовлетворять условию

$$M \leq \|\bar{\mathbf{W}}_i - \mathbf{W}_i\|^{-2} \sum_{j=1, j \neq i}^N \lambda_j \lambda_j (\bar{\lambda}_i - \lambda_j)^{-2}.$$

Менее трудоемким с вычислительной точки зрения методом оценивания параметра λ является метод Кейпона, названный им методом максимального правдоподобия. (Терминологическое определение данного метода как метода максимального правдоподобия является не вполне точным и отличается от принятого в статистической теории радиотехнических систем.) Согласно этому методу относительная оценка СДД $\hat{\lambda}$ находится в

направлении опорных частот, на которых результирующий сигнал имеет максимальную и минимальную мощность, и может быть реализована устройством, изображенным на рис. 1. Процессор БПФ обеспечивает формирование сетки опорных направлений (частот), а предварительное взвешивание вектора входных выборок u весовыми коэффициентами w_j позволяет уменьшить уровень боковых лепестков частотных характеристик каналов и расширить оцениваемый СДД. Представляет интерес зависимость СДД от относительной ширины спектра флуктуаций процесса $\lambda(dFT)$ и количества обрабатываемых отсчетов N . Соответствующие зависимости приведены на рис. 2, откуда следует, что в практически интересующем диапазоне изменения параметров СДД лежит в пределах $10^2 \dots 10^8$.

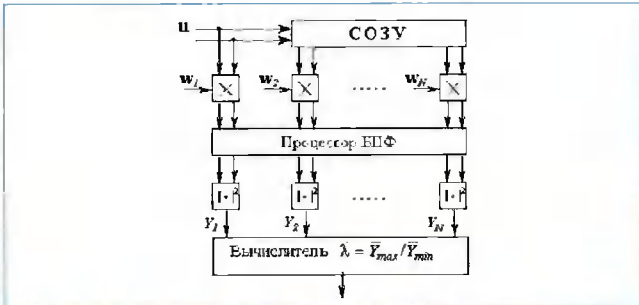


Рис. 1

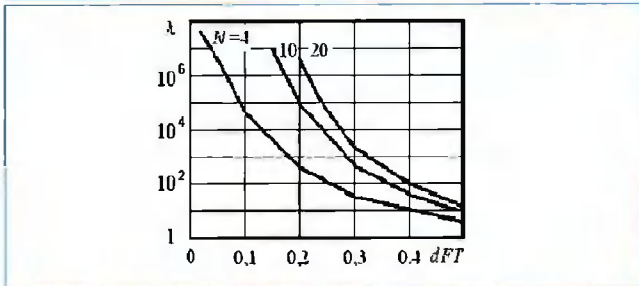


Рис. 2

Теоретически оценка СДД определяется как

$$\hat{\lambda} = \frac{e^H \hat{R}_{cn} e}{e^H \hat{R}_{cn}^{-1} e},$$

где $e = \{ \exp(ij2\pi/N) \}$ опорное направление, соответствующее минимуму дисперсии выборочной корреляционной матрицы помехи с шумом \hat{R}_{cn} . При использовании процессора БПФ можно получить приближенное значение оценки спектрального динамического диапазона $\hat{\lambda} = \bar{Y}_{max} / \bar{Y}_{min}$, где \bar{Y}_{max} , \bar{Y}_{min} – усредненные по независимым отсчетам спектра минимальное и максимальное значения квадратов амплитуд в частотных каналах БПФ. Замена истинного значения λ приближенным исключает трудоемкую процедуру обращения выборочной матрицы \hat{R}_{cn} .

Для примера зависимости, связывающие оценки $\hat{\lambda}$ и его истинные значения λ при одномодовом характере СПМ и различной ширине моды, приведены на рис. 3 ($N=8$) и рис. 4 ($N=16$). Полученные зависимости показывают, что если при узкополосной спектральной плотности мощности помехи оценка $\hat{\lambda}$ имеет приемлемую точность вплоть до значений $\lambda \leq -90 \dots -100$ дБ, то с расширением полосы диапазон оценки сужается до $\lambda \leq -40 \dots -60$ дБ.

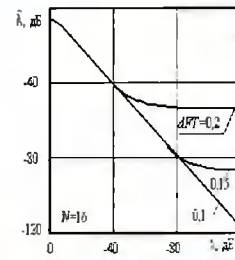


Рис. 3

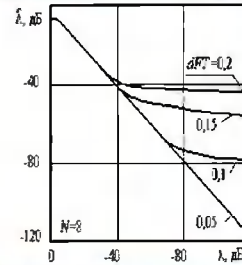


Рис. 4

Таким образом, оценка СДД с необходимой для практических задач точностью может быть получена при использовании метода опорных направлений с помощью вычислительно эффективного алгоритма БПФ. Данная оценка используется для оптимизации порядков моделей случайного процесса [7] и цифровых фильтров обработки сигналов [5], при оценке шумов прецизионных генераторов сигналов [8] и в других прикладных задачах.

Литература

1. Шаталов А.А. Многомерные адаптивные предпроцессоры для обработки сигналов по методу главных компонент // Радиотехника. – 2000. – №5. – С. 44–49.
2. Кошелев В.И., Андреев В.Г. Оценка собственных значений в задаче обработки эхо-сигналов // 100-летие начала использования электромагнитных волн для передачи сообщений и зарождения радиотехники. Тезисы докладов международной конференции, Москва, 4–6 мая 1995 г. – М.: Изд-во журнала «Радиотехника», 1995. – Ч. 1. – С. 180–181.
3. Менелис В.Б., Сергиенко А.Н. Оценка отношения сигнал/шум // Известия вузов. – 2001. – Т. 44. – № 2. – С. 22–28.
4. Фукунага К. Введение в статистическую теорию распознавания образов. Пер. с англ. / Под ред. Дорофеева А.А. – М.: Главная редакция физико-математической литературы, 1979. – 368 с.
5. Попов Д.И., Кошелев В.И. Синтез систем когерентно-весовой обработки сигналов на фоне коррелированных помех // Радиотехника и электроника. – 1984. – Т. 24. – №4. – С. 789–792.
6. Кошелев В.И. Адаптивная обработка радиолокационных сигналов на базе процессора БПФ // Цифровая обработка сигналов. – 2001. – №4. – С. 12–17.
7. Кошелев В.И. АРСС модели случайных процессов. Прикладные задачи синтеза и оптимизации. – М.: Радио и связь, 2002. – 112 с.
8. Андреев В.Г., Кошелев В.И., Логинов С.Н. Алгоритмы и средства спектрального анализа сигналов с большим динамическим диапазоном. – Вопросы радиозлектроники. Радиолокационная техника (РЛТ). – Вып. 1–2, 2002. – С. 77–89.

Многопороговые декодеры (МПД) являются дальнейшим развитием обычных мажоритарных алгоритмов [1] и обеспечивают декодирование, во многих случаях просто совпадающее с оптимальными переборными методами.

Рассмотрим обобщение МПД для двоичных данных в гауссовских каналах [2–5] на недвоичные симметричные каналы. Ценность этого метода заключается в том, что мажоритарные алгоритмы имеют всего лишь линейный рост сложности (числа операций декодирования) от длины кода n . Поскольку обычно оптимальные методы характеризуются экспоненциально нарастающей с длиной кода сложностью, применение недвоичных МПД, обозначаемых далее как QМПД, представляется особенно желательным. Еще более существенно, что в случае больших значений основания кода q ($q > 10$) практически невозможно создать эффективные оптимальные декодеры (ОД), поскольку при этом их сложность в большинстве случаев возрастает пропорционально q^k , где k – длина кодирующего регистра. Это и определяет важность применения QМПД, поскольку возможности декодеров для кодов РС очень ограничены, а сложность их реализации неоправданно велика.

Пусть задан q -ичный ($q > 2$) симметричный канал с вероятностью ошибки $p_0 > 0$, такой, что при передаче любой исходный символ кода переходит в один из оставшихся $q-1$ символов случайно, независимо и равновероятно. По аналогии с двоичным симметричным каналом без памяти (ДСК) назовем такой канал также q -ичным симметричным каналом (QСК). Для этого канала оптимальным решением при передаче любого символа будет такое, возможно, единственное кодовое слово из q^{nR} возможных, которое отличается от принятого сообщения в минимальном числе символов кода. (Здесь предполагалось, что n – длина кода, выраженная числом символов кода, R – кодовая скорость, $R < 1$.)

Рассмотрим линейный недвоичный код, проверочная матрица которого имеет такой же вид, как и в двоичном случае, т. е. состоит только из нулей и единиц. Пусть эта матрица соответствует самоортogonalному систематическому блоковому или сверточному коду [8,9]. В этом случае слова минимального веса d , где d – минимальное расстояние кода, имеют единственный ненулевой символ i_k со значением q ($q > 0$) в его информационной части. Поскольку проверочные (а значит, и порождающие) матрицы кода со-

Рассмотрены простые декодеры мажоритарного типа для декодирования символьных данных. По аналогии с соответствующими алгоритмами для двоичных данных соответствующие алгоритмы названы q -ичными многопороговыми декодерами (QМПД). Они обладают свойством приближения к решению оптимального декодера при сохранении линейной сложности реализации, которая свойственна только пороговым процедурам. Возможности QМПД сравниваются с эффективностью декодеров для кодов Рида–Соломона (РС).

держат только нули и единички, то операции кодера и декодера по формированию проверочных символов кода и вычислению синдрома S принятого сообщения являются только сложениями. Таким образом, для кодирования и декодирования не требуется наличие недвоичного поля, а достаточно создать только некоторый вариант кольца целых чисел. Это дополнительно и очень существенно упрощает все процедуры кодирования и реализации последующего декодирования.

Пусть декодер типа QМПД устроен так, что после вычисления обычным образом вектора синдрома S принятого сообщения процедура декодирования состоит просто в том, что для очередного контролируемого пороговым (недвоичным!) элементом информационного символа кода i_k происходит подсчет числа и определение значений двух относящихся к нему и наиболее часто встречающихся проверок кода, например q_1 и q_2 , причем q_1 встречается m_1 раз, q_2 – m_2 раз, $m_1 > m_2$, а остальные значения проверок для декодируемого символа i_k встречаются также не более m_2 раз. Тогда QМПД при каждом изменении символа i_k будет переходить ко все более правдоподобным решениям [6,7]. Если окажется, что два наиболее часто встречающихся значения проверок таковы, что $m_1 = m_2$, то символ i_k не изменяется и делается попытка декодирования любого другого информационного символа кода.

Наиболее существенным обстоятельством, повышающим корректирующие возможности описанного недвоичного МПД, является возможность принимать безошибочные решения при больших значениях q всего при двух правильных проверках относительно i_k из d возможных. Это обычно происходит в том случае, когда все неправильные проверки s_i относительно декодируемого символа i_k имеют различные значения s_i , $q_i > s_i > 0$.

Рассмотрим, как можно вычислить нижнюю оценку вероятности оптимального декодирования для кода, задаваемого описанным выше способом. Во всех подобных случаях это будет выявление наиболее часто встречающихся условий того, что вектор ошибки будет

иметь расстояние Хемминга до ближайшего кодового слова меньше, чем его собственный вес. В силу линейности кода этого достаточно для вынесения неправильного решения даже оптимальным переборным алгоритмом. Рассматривая такой вектор ошибки, будем учитывать, что нужно анализировать только те символы этого вектора, которые соответствуют позициям проверок относительно очередного декодируемого символа i_k .

Выпишем вероятности таких наиболее частых событий, которые приводят к ошибкам оптимального декодера (ОД).

К искомым векторам ошибки относятся такие, что [6,7]:

- все проверочные символы и декодируемый символ i_0 ошибочны

$$P_1(e) = p_0^{J+1},$$

где $d=J+1$, d – минимальное кодовое расстояние самоортогонального кода;

- все проверочные символы ошибочны, но два из них одинаковы, а i_0 принят верно

$$P_2(e) = (1-p_0)J(J-1)p_0^J \prod_{i=1}^{J-2} (1-i/(q-1)) / (q-1)/2;$$

- есть один правильно принятый проверочный символ, а остальные ошибочны, как и i_0

$$P_3(e) = J(1-p_0)p_0^J;$$

- есть один правильно принятый проверочный символ, а также i_0 , но из всех остальных неправильно принятых символов есть три одинаковых значения ошибок

$$P_4(e) = (1-p_0)^2 p_0^{J-1} \prod_{i=1}^{J-4} (1-i/(q-1)) J! / (6(J-4)!(q-1)^2);$$

- есть два правильных проверочных символа, а все остальные, включая i_0 , неправильны, причем есть два

ошибочно принятых проверочных символа с одинаковыми значениями

$$P_5 = (1-p_0)^2 p_0^{J-1} J! \prod_{i=1}^{J-4} (1-i/(q-1)) / (4(J-4)!(q-1));$$

- есть три правильных проверочных символа, а все остальные, включая i_0 , неправильны, причем есть три ошибочно принятых проверочных символа с одинаковыми значениями

$$P_6 = p_0^{J-2} (1-p_0)^3 J! \prod_{i=1}^{J-6} (1-i/(q-1)) / (36(J-6)!(q-1)^2).$$

Заметим, что если кодовое расстояние $d < 7$, то уже последний случай рассматривать не следует, так как он предполагает наличие $J=6$ проверок в коде, тогда как для самоортогональных кодов $d=J+1$ [8,9]. Таким образом нижняя оценка вероятности ошибки оптимального декодирования определяется суммой найденных выше вероятностей $P_1 \div P_6$.

Перечисленных событий вполне достаточно, чтобы для большинства реальных условий применения кодов получать удовлетворительные по точности вероятностные оценки потенциальной помехоустойчивости кода. А поскольку QМПД на каждом шаге стремится к решению ОД, то можно ожидать, что при некотором достаточно высоком уровне шума он в большинстве случаев достигнет искомого оптимального решения.

Особенно удобно в технических системах работать с данными, имеющими байтовую структуру. Отметим, что кроме кодов РС в настоящее время вообще нет других сколько-нибудь эффективных методов декодирования недвоичных символьных данных. Сравним вероятностные характеристики кодов РС с возможностями QМПД.

Будем считать, что выбран код РС длины 255 (символ – 8 бит). Подчеркнем, что для QМПД никаких ограничений по длине кода вообще нет, поскольку он работает просто в кольце целых чисел, выполняя в нем только операции сложения и сравнения в выбранном множестве. Очевидно, что недвоичный пороговый элемент, рассмотренный выше при описании операций в QМПД, – простейшее устройство или подпрограмма с числом операций $N \sim 10 \div 50$ для всех тех небольших значений минимального кодового расстояния d ($d < 15$), которое следует применять в таком декодере.

На рис. 1 представлены характеристики декодеров для кодов РС длины $n=255$ (обозначены: RS) и QМПД в QСК. По горизонтальной оси отложены вероятности ошибки p_0 в указанном канале, а по оси ординат – средние вероятности

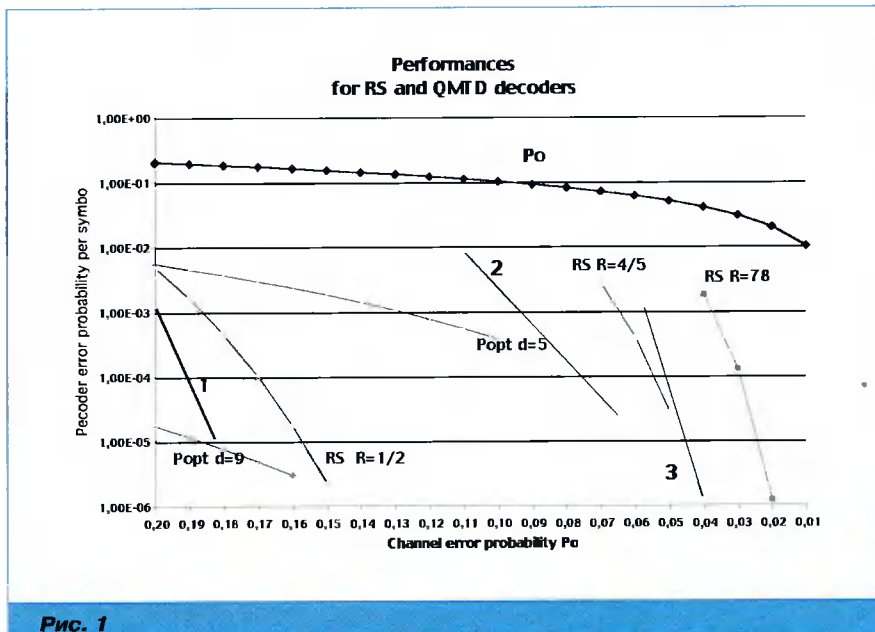


Рис. 1



ошибки на символ в результате декодирования. Для достижения решения, обычно совпадающего с оптимальным или близкого к решению ОД, QМПД для $q=256$ необходимо 5–20 итераций (повторных попыток) декодирования принятого сообщения. Это полностью соответствует методу МПД для двоичных кодов [2–5].

Как следует из вида графиков зависимостей средней вероятности ошибки декодирования на символ $P_s(e)$ от вероятности p_0 канала QСК на входе декодеров для кодовых скоростей $R=1/2$, $R=4/5$ и $R=7/8$, простейший по своему устройству QМПД представлен *графиками 1, 2 и 3* соответственно для указанных выше кодовых скоростей и обеспечивает гораздо более высокие характеристики, чем декодеры для кода РС, благодаря несколько большей длине $n=1000$ используемых кодов и хорошей сходимости решений QМПД к решению ОД. Заметим, что в настоящее время неизвестны другие алгоритмы декодирования с приемлемой сложностью реализации,

которые могут обеспечить такие же характеристики. При увеличении длин кодов характеристики QМПД могут быть дополнительно существенно улучшены.

Очевидно, что каскадирование нескольких недвоичных МПД также значительно улучшит вероятностные характеристики декодирования без значительного увеличения сложности, т.е. числа операций, осуществляемых декодером, работающим только с целыми числами и не выполняющего никаких операций умножения или деления. Это является его решающим преимуществом перед алгоритмами для кодов РС при сопоставлении их по сложности реализации.

Представленные результаты позволяют утверждать, что описанные почти 20 лет назад недвоичные МПД обладают действительно высокой эффективностью, недоступной для декодеров кодов РС. При этом сложность их реализации весьма невелика и, как показывает детальный анализ, может быть дополнительно значительно снижена.

Литература

1. Месси Дж. Пороговое декодирование. – М.: Мир, 1966.
2. Самойленко С.И., Давыдов А.А., Золотарев В.В., Третьякова Е.И. Вычислительные сети. – М.: Наука, 1981, с. 277.
3. Золотарев В.В. Эффективные многопороговые алгоритмы декодирования. – АН СССР, Научный совет по комплексной проблеме «Кибернетика» препринт. М., 1981, с.75.
4. Золотарев В.В. Использование помехоустойчивого кодирования в технике связи. / Электросвязь, 1990, №7, с.7–10.
5. Золотарев В.В. Реальный энергетический выигрыш кодирования для спутниковых каналов. – В кн.: 4-я Международная конференция «Спутниковая связь – ICSC-2000». – М.: МЦНТИ, 2000, т.2, с. 20–25.
6. Золотарев В.В. Алгоритмы кодирования символьных данных в вычислительных сетях. – В сб.: «Вопросы кибернетики», ВК-106. М., 1985.
7. Золотарев В.В. Многопороговое декодирование в недвоичных каналах. – В сб.: «Вопросы радиоэлектроники», серия ЭВТ, вып.12. – М., 1984.
8. Townsend R.L., Weldon E.J. Self-Orthogonal Quasi-cyclic Codes. IEEE Trans., IT-13, 1967, pp.183–195.
9. Robinson J.P., Bernstein A.J. A Class of Binary Recurrent Codes with Limited Error Propagation. – IEEE Trans., vol. IT-13, NO.1, 1967, pp.106–113.

УДК 61:517:144

Дискретное вейвлет-преобразование в обработке электрокардиограмм с мерцательной аритмией

Ю.В. Чесноков, В.И. Чижиков

Введение

Для анализа медицинских сигналов, полученных в результате диагностики, часто используют преобразование Фурье. Но в связи с его недостатками по обработке сигналов с изменяющимися частотно-временными параметрами более перспективным является использование вейвлет-анализа (wavelet analysis), а именно, так называемого вейвлет-преобразования (wavelet transform), которое обладает несомненными преимуществами.

Преобразование Фурье представляет сигнал, заданный во временной области, в виде разложения по ортогональным базисным функциям (синусам и косинусам), выделяя таким образом частотные компоненты. Недостаток преобразования Фурье заключается в том, что частотные компоненты не могут быть локализованы во времени. Это и обуславливает его применимость только к анализу стационарных сигналов.

Большинство медицинских сигналов имеют сложные частотно-временные характеристики. Как правило, такие сигналы состоят из близких по времени, «короткоживущих» высокочастотных компонентов и долговременных, близких по частоте низкочастотных составляющих.

Для анализа таких сигналов нужен метод, способный обеспечить хорошее разрешение и по частоте, и по времени. Первое требуется для локализации низкочастотных составляющих, второе – для разрешения компонентов высокой частоты.

Среди множества методов анализа нестационарных сигналов такого типа на практике наибольшее применение нашли два подхода. Первый – локальное преобразование Фурье (short-time Fourier transform). Следуя по этому пути, мы работаем с нестационарным сигналом как со стационарным, разбив его предварительно на сегменты (фреймы), статистика которых не меняется со временем. Второй подход – вейвлет-преобразование. В этом случае нестационарный сигнал анализируется путем разложения по базисным функциям, полученным из некоторого прототипа путем сжатий, растяжений и сдвигов. Функция-прототип называется *анализирующей*, или *материнским*, вейвлетом (mother-wavelet), выбранным для исследования данного сигнала [1].

Мерцательная аритмия

Мерцание предсердий – это нарушение ритма сердца, при котором на протяжении всего сердечного

Рассматриваются вопросы применения цифровой обработки сигналов для повышения точности диагностики мерцательной аритмии. Показано, что использование аппарата вейвлет-анализа является наиболее перспективным по сравнению с другими методами, в частности по отношению к методам на основе алгоритма дискретного преобразования Фурье.

го цикла наблюдается частое беспорядочное, хаотичное возбуждение и сокращение отдельных групп мышечных волокон предсердий, каждая из которых фактически является теперь своеобразным очагом импульсации [2]. Мерцательная аритмия в большинстве случаев наблюдается при органических изменениях в миокарде предсердий, чаще всего при таких заболеваниях, как ишемическая болезнь сердца, митральный стеноз, и др. В начальных стадиях заболевания болезнь может носить пароксизмальный характер, т.е. проявляться в виде периодически возникающих приступов фибрилляции предсердий, длящихся обычно от нескольких минут до нескольких часов. В промежутках между приступами регистрируется правильный синусоидальный ритм. В дальнейшем мерцательная аритмия приобретает постоянный характер.

Существует два основных признака мерцания предсердий. Первый – это отсутствие на ЭКГ во всех отведениях зубцов Р. Вместо них на протяжении всего сердечного цикла регистрируются частые нерегулярные волны мерцания предсердий – волны *f*. Эти волны лучше всего регистрируются в отведениях II, III, aVF, V1, V2, которые и были использованы для вейвлет-преобразования (рис. 1). Волны *f* появляются на ЭКГ совершенно беспорядочно и нерегулярно и имеют разную амплитуду и форму. Другим важнейшим признаком яв-

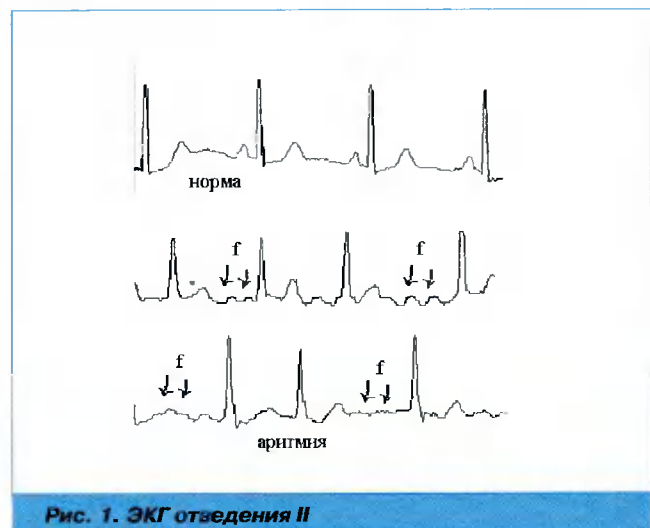


Рис. 1. ЭКГ отведения II

ляется нерегулярность желудочковых сокращений, что выражается в различных по продолжительности интервалах R-R.

Дискретное вейвлет-преобразование

Для дискретного преобразования применяется следующее выражение [3]

$$d_{j,k} = \int \psi_{j,k}(x) f(x) dx, \quad (1)$$

где $f(x)$ – исследуемый сигнал, $\psi_{j,k}$ – функция вейвлет, выбранная для анализа сигнала, $d_{j,k}$ – вейвлет-коэффициент преобразования для пары значений j (масштаб обратно пропорциональный частоте) и k (точка исследуемого сигнала, в которой произведено преобразование).

Формула материнского вейвлета выглядит так

$$\psi(x) = \sqrt{2} \sum_{n=0}^{2M-1} g_n \varphi(2x-n), \quad (2)$$

где

$$g_n = (-1)^n h_{2M-n-1}. \quad (2.1)$$

Здесь M (целое число) определяет число коэффициентов h , функция φ – это единичная ступенька ($x < 0, \varphi(x) = 0$; $x \in [0, 1) \varphi(x) = 1$).

Для дискретного преобразования были взяты вейвлет Хаара (при $M=1, h_0=0,707, h_1=0,707$) и вейвлет D_4 (или 2ψ) из семейства ортонормированных вейвлетов Добеши с конечным носителем (при $M=2, h_0=0,48, h_1=0,84, h_2=0,22, h_3=-0,129$) (рис. 2).

Масштабированные и смещенные версии материнского вейвлета выглядят так

$$\psi_{j,k} = 2^{j/k} \psi(2^j x - k). \quad (3)$$

Вейвлет-преобразование проводилось для масштабов с $j=0$, что соответствует более сжатому виду вейвлета и позволяет выявлять более высокочастотные составляющие в сигнале, до $j=30$ с шагом $0,2$. Постепенно, увеличивая масштаб, выявляются более низкочастотные составляющие. По значениям вейвлет-коэффициентов была вычислена дисперсия

$$\sigma(j, N) = \sqrt{\frac{1}{N-1} \sum_{k=0}^{N-1} (d_{j,k} - \{d_{j,k}\})^2}, \quad (4)$$

где N означает число вейвлет-коэффициентов в масштабе j на заданном временном интервале.

Результаты анализа

Для анализа были взяты несколько кардиограмм и результаты преобразования сравнивались с нормой. Были подвергнуты анализу отведения II, III, aVF, V1, V2. Дисперсия вейвлет-коэффициентов для отведения II изображена на рис. 3 с использованием вейвлета Хаара и на рис. 4 с использованием вейвлета D_4 . Распределение дисперсии для остальных отведений имеет похожий вид. Набору значений дисперсии нормальной ЭКГ соответствует кривая с черными кружками, для

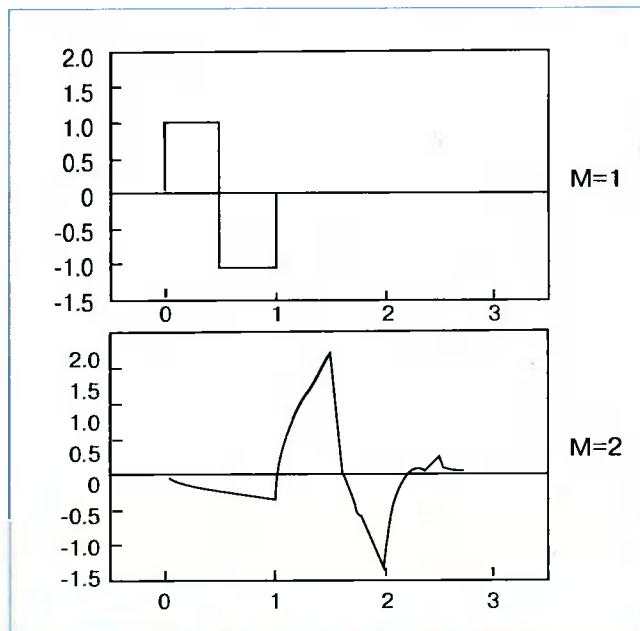


Рис. 2. Дискретные вейвлеты

ЭКГ с аритмией – со светлыми. На рис. 3 видно заметное увеличение значений дисперсии по сравнению с нормой на масштабах с $j=7$ до $j=8,2$. В процессе дискретного преобразования постепенное увеличение масштаба позволяет выявлять низкочастотные составляющие, что и дало увеличение значений вейвлет-коэффициентов на этом промежутке масштабов из-за присутствия хаотичных волн f в отведениях с мерцательной аритмией.

Вейвлет D_4 имеет более сложный вид, что и отразилось на распределении значений дисперсии (рис. 4). Здесь видно уменьшение значений вейвлет-коэффициентов на высокочастотном масштабе и падение дисперсии для $j=9$ на низкочастотном. Используя эти ключевые отличия, можно судить о наличии отклонений ЭКГ от нормы, в частности присутствие аритмии в исследуемом сигнале.

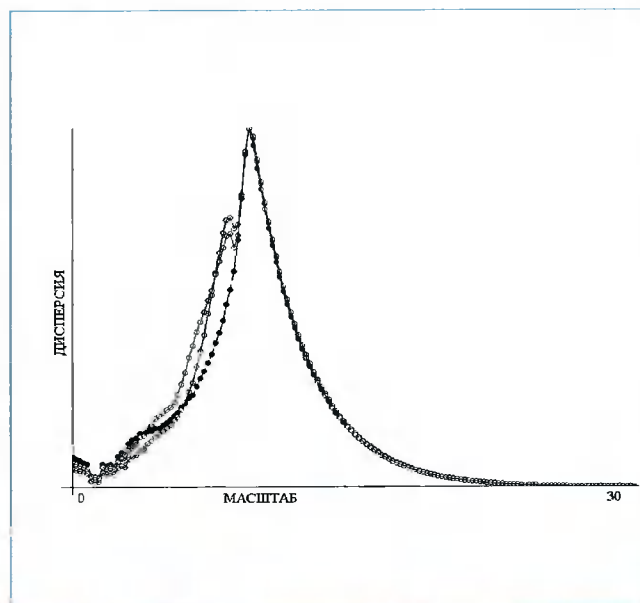


Рис. 3. Распределение дисперсии вейвлет-коэффициентов, полученных с использованием вейвлета Хаара

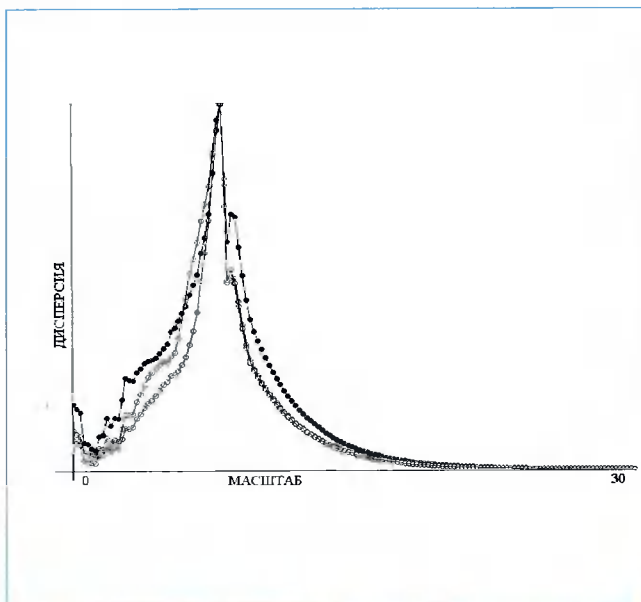


Рис. 4. Распределение дисперсии вейвлет-коэффициентов, полученных с использованием вейвлета D_4

Заключение

Вейвлет-преобразование – это новая техника обработки сигналов в неинвазивной электрокардиографии, дающая усовершенствованные методы. Преимущест-

во этого преобразования состоит в способности отмечать детали ЭКГ-сигнала с оптимальным частотно-временным разрешением. Так как применение вейвлет-анализа в электрокардиографии сравнительно новая область исследования, то много методологических аспектов (выбор материнского вейвлета, масштаба) вейвлет-техники требуют дальнейших исследований для увеличения клинической эффективности. Диагностическая и прогнозирующая важность этой методики в различных областях электрокардиологии требует крупных клинических исследований.

Литература

1. Akay M. Wavelet Applications in Medicine // IEEE Spectrum. 1997. V. 34. N. 5, pp. 50–56.
2. Мурашко В.В., Струтынский А.В. Электрокардиография. – М.: Медицина, 1987.
3. Дремин И.М., Иванов О.В., Нечитайло В.А. Вейвлеты и их использование // УФН 2001. V. 171. N. 5, с. 464–500.

Уважаемые читатели!

Со II полугодия 2003 г. вы можете подписаться на наш журнал в любом отделении связи. Подписной индекс издания по каталогу ОАО «Роспечать» – 82185.

Кроме того, сохраняется возможность оформить подписку непосредственно в редакции. Для этого необходимо заполнить подписной лист и отправить его по факсу (095) 105-3468 или по электронной почте info@dspa.ru

Подписной лист

Наименование организации _____
 ИНН _____
 Почтовый адрес _____
 Контактное лицо _____
 Телефон, факс, электронная почта _____

Банковские реквизиты

Наименование банка _____
 Р/с _____ Город _____
 К/с _____ БИК _____

Справки по телефонам: (095) 105-3464, 105-3468, 267-0662 или по электронной почте info@dspa.ru

УДК 528.516

Бесконтактное измерение скорости движения поверхности цифровым методом

Д.Б. Головкин, М.С. Куприянов

Точность и достоверность измерений скорости

Требования к точности и достоверности измерения скорости движения поверхности могут существенно различаться в зависимости

от поставленной задачи. Для примера можно рассмотреть стандартную систему определения скорости автомобиля. Прибор измерения скорости автомобиля – спидометр представляет собой датчик, связанный с колесом автомобиля через некоторое передаточное звено. Скорость, которую показывает датчик, прямо пропорциональна скорости вращения колеса автомобиля. Понятно, что в ряде ситуаций, когда колеса буксуют, скользят на льду, машина движется юзом по грязи и др., скорость движения автомобиля не будет соответствовать скорости вращения его колес. В задаче, когда человек управляет автомобилем, качество результатов, предоставляемых спидометром, вполне удовлетворительно, чтобы управлять машиной. Имея дополнительные источники информации, такие, как зрение и вестибулярный аппарат, человек в состоянии оценить скорость и направление движения автомобиля с требуемой для управления точностью. При этом показания спидометра будут совершенно не удовлетворительными на этапе создания новой модели транспортного средства, когда необходимо тестирование поведения автомобиля в различных условиях эксплуатации. Здесь необходим некоторый более точный и независимый способ измерения скорости. Этот пример показывает, что в зависимости от задач различаются требования по качеству и точности измерений скорости.

Кроме автомобилестроения существует широкий спектр других задач, где требуется такое же высокое качество решения, как и в тестировании поведения автомобиля, – это всевозможные варианты конвейеров, прокатных станков, контроль расхода жидкостей и др. Если использовать в вышеперечисленных системах способ измерения, аналогичный спидометру автомобиля, то невозможно добиться высокого качества измерения, которое требуется на современном уровне развития производства. Для улучшения качества решения поставленной задачи используют бесконтактные способы. В настоящее время они позволяют успешно осуществлять измерение скорости движения поверхности в широком диапазоне скоростей, при этом дают более точный и достоверный результат, чем методы, основанные на контактном взаимодействии.

Описаны контактный и бесконтактный способы определения скорости движения поверхности. Дается описание характеристик входного сигнала при бесконтактном способе измерения. Рассмотрены различные подходы для решения задачи определения скорости движения цифровыми методами. Приводится эффективная схема решения данной задачи, основанная на пирамидальном алгоритме Маала.

Чтобы произвести сравнительную оценку, сначала необходимо более подробно описать способы измерения скорости поверхности.

Контактный способ

Первым, исторически более старым, способом измерения скорости поверхности является контактный способ. Он сводится к следующему. Контактный датчик в виде ролика или валика в случае твердой поверхности, винта или ротора в случае жидкой среды соприкасается с движущейся поверхностью. При движении поверхности он начинает вращаться. Скорость вращения ролика прямо пропорциональна скорости движения поверхности. Это значение снимается датчиком. В цифровых устройствах для этих целей обычно используется квадратурный кодер, который представляет собой специализированный таймер. Далее информация обрабатывается устройством управления в соответствии с конкретными задачами.

Существенный недостаток систем, основанных на вращающихся элементах, – механические части. Ролик может проскальзывать, как в примере автомобильного колеса, с течением времени он стирается, то есть меняет свои характеристики, что, например, характерно для прокатного стана, из-за чего изменяется коэффициент передачи. Эти и другие факторы вносят существенные погрешности в измерение скорости движения поверхности и требуют периодического тестирования контактной системы и профилактических работ. В результате использование механических систем приводит к снижению качества измерения скорости, а в некоторых ситуациях и к недостоверным результатам. Альтернатива контактного способа – бесконтактный способ измерения.

Бесконтактные способы

Для реализации бесконтактного способа измерения скорости движения поверхности применяется специальная оптическая система, которая функционирует следующим образом. Движущаяся поверхность освещается некоторыми источниками освещения. В зависимости от задач это могут быть источники обычного света или когерентного освещения – лазеры. Отраженный от поверхности свет попадает на дифракционную ре-

шетку, имеющую специфическую структуру. В результате дифракции получается интерференционная картина, которая представляет собой чередование полос яркости и тени с интенсивностью, изменяющейся по синусоидальному закону. В случае движения поверхности интерференционная картинка меняется, полосы интенсивности начинают двигаться вдоль движения со скоростью, прямо пропорциональной скорости движения поверхности. Специальным фотоприемником снимается изменение интерференционной картины. Сигнал с фотоприемника преобразуется в напряжение, то есть на основе скорости изменения интерференционной картины формируется синусоидальный электрический сигнал с частотой, прямо пропорциональной скорости движения поверхности. Сигнал поступает на подсистему обработки. Процесс измерения осложняется тем, что вместе с полезным синусоидальным сигналом на вход фотоприемника также поступают помехи, которые имеют разнообразную природу и характеристики.

Следует отметить, что бесконтактный способ избавлен от недостатков механической системы, которые были обозначены выше, принципиально имеет более высокую точность измерения и не дает недостоверных результатов. Вместе с тем он требует использования специализированных методов отделения полезного сигнала от шумов.

Для анализа сигнала при бесконтактном способе измерения скорости движения поверхности используют сложные устройства, основанные на аналоговых системах фильтрации с последующей микропроцессорной статистической обработкой сигналов.

В настоящее время наблюдается удешевление процессоров цифровой обработки сигналов (ЦОС) при росте их производительности. Это дает возможность уйти от использования сложных аналоговых подсистем систем обработки сигнала, которые имеют ряд недостатков, и заменить их полностью цифровыми. При этом можно достичь существенного удешевления реализации устройства при увеличении качества измерения.

Прежде чем перейти к описанию особенностей построения аналоговых и цифровых схем обработки сигнала, используемых оптической системой при бесконтактном методе измерения, следует рассмотреть характеристики получаемого с фотоприемника сигнала.

Характеристики сигнала

Чтобы построить модель входного сигнала, были проанализированы выборки дискретного сигнала, снятые оптической системой с реального объекта измерения. В результате экспертных оценок выделены следующие основные составляющие входного сигнала:

- полезная синусоидальная составляющая;
- огибающая помеха, зависящая от рельефа поверхности;
- шумовая помеха.

Каждая из составляющих была оценена и промоделирована на основе вероятностных методов [1]. Произведены оценки законов распределения и характеристик случайных величин.

Самую большую энергетическую составляющую имеет огибающая помеха. Ее возникновение обусловлено структурой дифракционной решетки оптической системы. Она зависит от рельефа движущейся поверхности и образуется изменением интенсивности отражения света от нее. Эта помеха обладает следующими характеристиками:

- непериодичность;
- математическое ожидание распределения основной энергии огибающей помехи зависит от скорости движения поверхности и лежит в области частот в 20 и более раз ниже, чем частота полезного сигнала;
- энергия огибающей помехи может превышать энергию полезного сигнала в 100 раз и более.

Специализированными методами оптической обработки входного сигнала, а именно, построением дифракционной решетки сложной структуры удастся существенно уменьшить энергию огибающей помехи. К сожалению, это приводит к удорожанию оптической системы и всего измерительного устройства в целом.

Следующая составляющая входного сигнала – шумовая помеха является результатом сторонних наводок на линию передачи, а также обусловлена влиянием белого света на фотоприемники и другими случайными факторами, природу которых трудно определить. Она имеет следующие характеристики:

- закон распределения, близкий к равномерному по всему частотному диапазону;
- энергия на уровне не более –10 дБ к полезному сигналу.

Для борьбы с этой составляющей используют фокусирование оптического сигнала, экранирование аналоговых электрических информационных линий, аналоговую фильтрацию высокочастотной составляющей и статистическую обработку входного сигнала цифровыми методами.

Полезный сигнал обладает следующими характеристиками:

- форма сигнала близка к синусоидальной;
- частота прямо пропорциональна скорости движения поверхности;
- частота синусоидального сигнала является случайной величиной и изменяется по закону распределения, близкому к нормальному.
- частота изменяется в диапазоне от десятков герц до десятков килогерц.

Пример сигнала во временной форме представлен на *рис. 1*.

На *рис. 1* показан входной сигнал. Основную энергию сигнала дает огибающая помеха. Полезный сигнал выглядит «рябью» на фоне огибающей. Искажение «ряби» связано с шумовой помехой, которая была описана выше.

Этот же сигнал в частотной форме представлен на *рис. 2*.

На *рис. 2* в частотном представлении можно более ясно увидеть распределение энергии огибающей помехи (от 0 Гц), полезного сигнала (небольшое увеличение в районе 40 кГц) и шумовой сигнал с равномер-

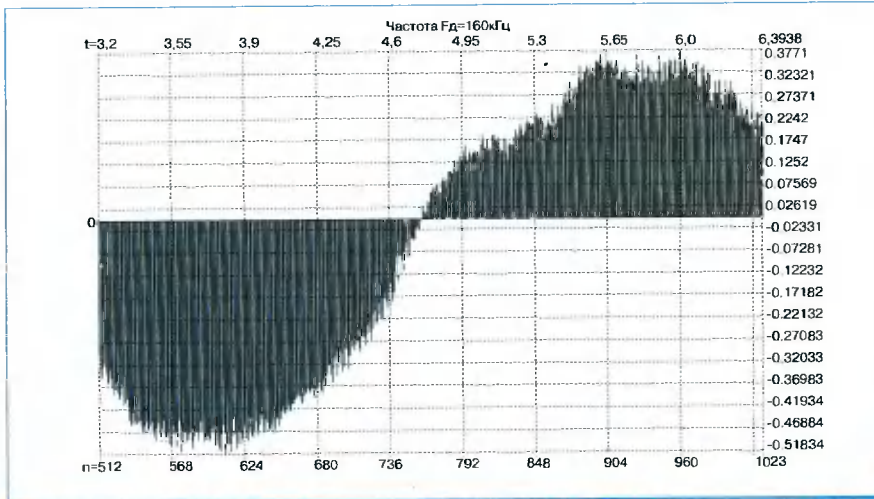


Рис. 1

ным законом распределения по всему частотному диапазону.

После построения модели входного сигнала, выделения его составляющих и определения их характеристик задача переводится в плоскость цифровой обработки и сводится к разработке и построению оптимального алгоритма для определения частоты полезной составляющей сигнала.

Основные идеи бесконтактного метода

Основные идеи выделения полезного сигнала и вычисления его частоты, которые реализованы как в аналоговых приборах, так и в устройствах, основанных на процессорах ЦОС, сводятся к следующему:

- отделить полезный сигнал от огибающей помехи;
- воспользоваться свойством периодичности полезного сигнала в отличие от непериодической огибающей помехи;
- методами фильтрации и статистической обработки минимизировать влияние равномерного шума на полезный сигнал.

Аналого-цифровые методы

Аналого-цифровые приборы измерения скорости бесконтактным способом построены следующим об-

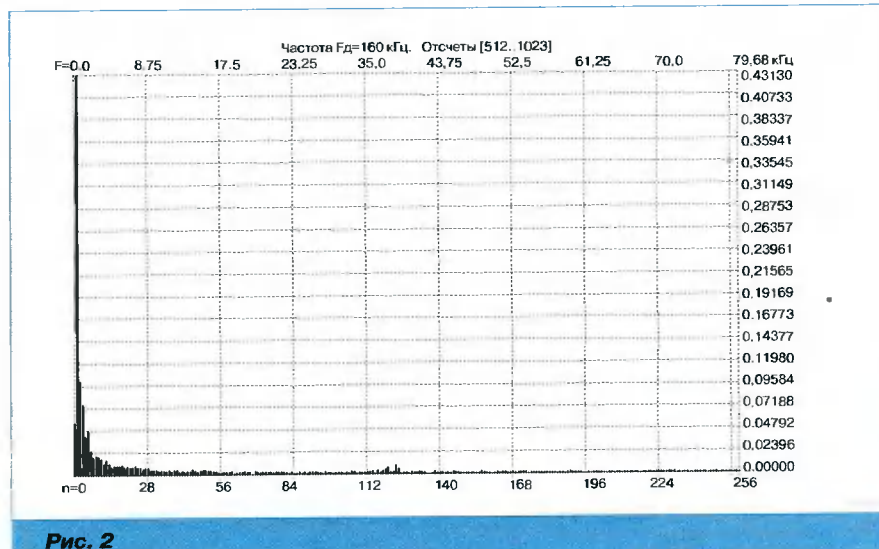


Рис. 2

разом. Информационный сигнал, преобразованный фотодатчиком в напряжение, поступает на набор параллельных аналоговых полосовых фильтров, которые имеют различные полосы пропускания (рис. 3). Частотные характеристики фильтров рассчитываются таким образом, что каждый последующий фильтр имеет полосу в некоторое конкретное количество раз шире, чем предыдущий, и смещен в область более высоких частот. Каждый последующий фильтр представляет собой логарифмическое растяжение предыдущего в частотной области. В совокупности фильтры охватывают весь

частотный диапазон измерения. Каждый из фильтров позволяет отделить полезный сигнал от огибающей помехи, так как ширина полосы пропускания аналогового фильтра гораздо уже, чем 20-кратное отношение частот полезного сигнала и огибающей помехи. Одновременно с отделением огибающей помехи от полезного сигнала фильтры также играют роль уменьшения влияния равномерного шума на полезный сигнал, увеличивая соотношение сигнал/шум в рамках каждого частотного диапазона.

На рис. 3 номерами обозначены параллельные фильтры. Ось X – логарифм частоты, ось Y – амплитуда.

С помощью аналоговых компараторов выходные сигналы с фильтров растягиваются до прямоугольных импульсов и их можно рассматривать как однобитные цифровые данные. Оцифрованные таким образом данные поступают на входы цифровой части системы. В этой части схемы осуществляется математическая обработка принимаемой информации на основе статистического подхода. В случае если с выхода какого-нибудь компаратора поступают сигналы со стабильными периодами за определенный интервал времени, делается предположение, что имеет место полезный сигнал. Критерий стабильности периодов определяется экспериментальным путем и зависит от конкретной задачи.

В случае если одновременно возникает более одного предположения о наличии полезного сигнала, на втором этапе математической обработки осуществляется сравнение сигналов с различных фильтров. При этом можно использовать различные критерии достоверности.

- 1) Частотный критерий, то есть сигнал, должен принадлежать частотному диапазону фильтра, в котором он обнаруживается.
- 2) Приоритет линий. Линии имеют некоторую жесткую систему приоритетов по выводу сигналов.

- 3) Статистический приоритет. Чтобы осуществить приоритет вывода с линии, она должна набрать определенное количество последовательных предположений.
- 4) Медианный вывод. В каждый момент времени осуществляется вывод предположения, значение частоты которого является средним между несколькими последними по времени выборками.

В реальной задаче применяют комплексный критерий, который позволяет уменьшить вероятность возникновения ложных обнаружений.

Устройства, построенные на аналоговых фильтрах, имеют ряд существенных недостатков, которые обусловлены прежде всего сложной аналоговой частью прибора. Для получения необходимого качества результатов необходимо строить аналоговые полосовые фильтры с жесткими требованиями к виду и качеству передаточных характеристик. Это приводит к необходимости создавать сложные и дорогие аналоговые схемы фильтрации на претензионных элементах. Помимо высокой стоимости такие схемы требуют индивидуальной и сложной первоначальной настройки, на которую уходит время и производственные усилия. Вторым существенным недостатком этих приборов является отсутствие возможности адаптации аналоговых схем к разным конкретным задачам. Каждый раз приходится создавать устройства заново.

Системы на основе ЦОС

От вышеописанных недостатков могут избавиться системы, основанные на процессорах ЦОС. Современные сигнальные процессоры позволяют реализовать выделение полезного сигнала без сложных аналоговых схем и легко адаптируются под конкретные задачи путем создания модификаций программного обеспечения. Бурное развитие цифровой вычислительной техники позволяет осуществлять цифровые решения гораздо дешевле аналоговых.

С другой стороны, задача определения частоты полезной составляющей сигнала с помощью цифровых методов осложнена рядом факторов:

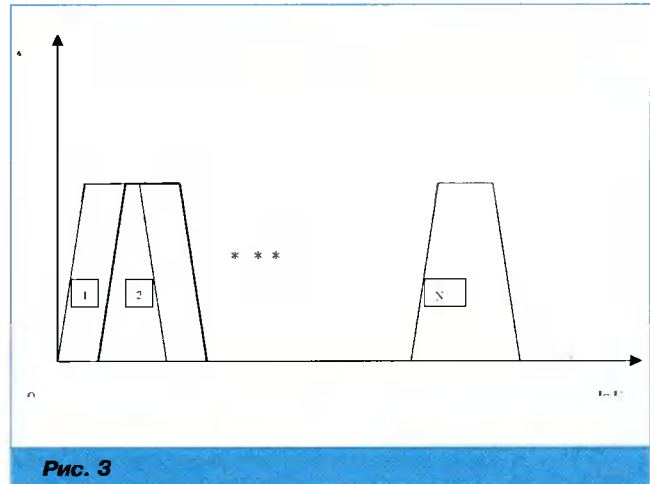
- широкий диапазон изменения частоты полезного сигнала (тысячекратное изменение: герцы – килоггерцы);
- высокий уровень верхних частоты (в ряде задач до 100 кГц и выше);
- соотношение сигнал/шум -40 дБ и ниже;
- высокие требования к точности определения частоты (отклонения не более 0,001).

Прежде чем рассматривать подходы к решению этой задачи, необходимо отметить основные различия между цифровой и аналоговой обработкой сигналов, которые существенно влияют на определение частоты.

- 1) Дискретный спектр в отличие от аналогового спектра имеет периодичность, равную частоте дискретизации.
- 2) Вычислительные затраты возрастают с увеличением частоты дискретизации входного сигнала.

При теоретическом рассмотрении можно определить следующие направления решения данной задачи:

- повторение алгоритма, который заменяет аналоговые фильтры цифровыми;



- спектральный анализ с помощью быстрого преобразования Фурье;
 - методы, построенные на вейвлет-анализе.
- Рассмотрим методы по порядку.

Замена аналоговых фильтров цифровыми

В случае замены аналоговых фильтров цифровыми возникают проблемы следующего порядка:

- каждый из фильтров потребует параллельных вычислительных затрат на каждый отчет входного сигнала;
- сложность построения цифровых полосовых фильтров с «узкой» полосой пропускания.

Следует пояснить второй пункт. Под «узостью» фильтра понимается отношение ширины полосы пропускания и переходных полос к частоте дискретизации системы. Известно, что, во-первых, с сужением переходных полос растет количество коэффициентов и, во-вторых, с некоторого момента наступает предел реализации, связанный с ограниченной разрядностью ячеек памяти процессора (ограниченность представления коэффициентов фильтра). При использовании фильтров с конечной импульсной характеристикой возрастает количество коэффициентов, что требует существенного роста вычислительных затрат. В случае перехода к классу цифровых цепей с бесконечной импульсной характеристикой полюса узкополосных фильтров приближаются к единичной окружности. В результате погрешностей квантования может произойти потеря устойчивости фильтров [2]. Экспертные оценки показали, что подобный подход экономически не целесообразен и рискован. Стоимость такого решения может значительно превышать стоимость аналогового варианта системы.

Решение на основе быстрого преобразования Фурье

Быстрое преобразование Фурье (БПФ) имеет постоянную разрешающую способность, поэтому на низких частотах может существенно усиливаться влияние огибающей помехи. Это приведет к недостоверным результатам. Кроме этого, БПФ, в случае малого количества точек, не имеет достаточную разрешающую способность для точной оценки значения частоты. В случае большого количества точек резко возрастает потребление вычис-

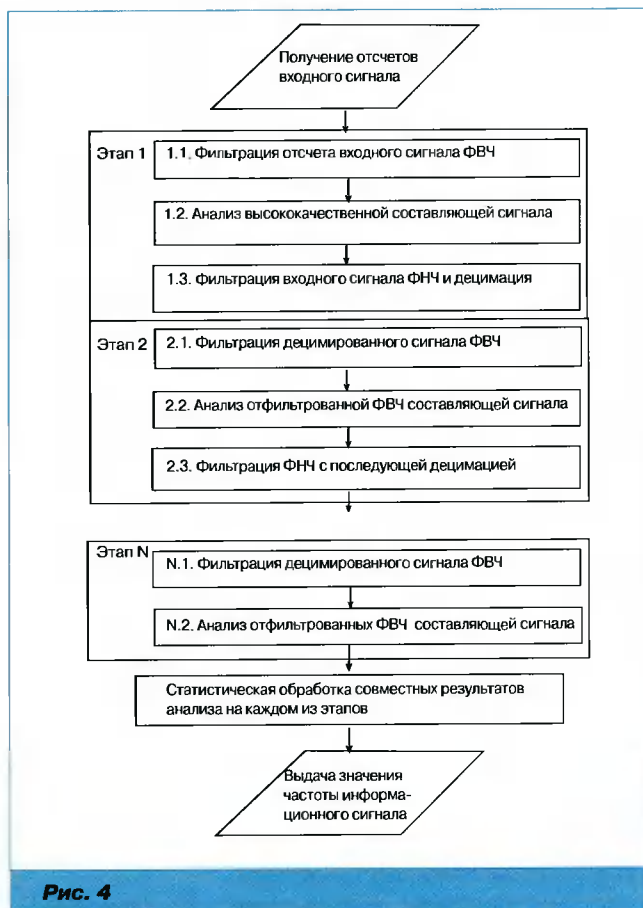


Рис. 4

лительных ресурсов и при этом уменьшается скорость адаптации алгоритма к изменению частоты. В связи с этими обстоятельствами такой метод также является неэффективным для решения поставленной задачи.

Вейвлет-анализ

Анализ задачи показал, что для решения необходимы методы, которые, с одной стороны, удовлетворяли бы требованиям ограниченной вычислительной мощности сигнального процессора, с другой стороны – не имели недостатков по разрешающей способности представления сигнала в различных частотных диапазонах. Данными свойствами обладают алгоритмы с применением вейвлет-разложения.

Для решения данной задачи используется пирамидальный алгоритм Маала диадного разложения частотного диапазона [3]. В результате использования алгоритма Маала информационный сигнал раскладывается на составляющие с различными частотно-временными разрешениями. Требуемая вычислительная производительность не превышает двукратной производительности одного фильтра, а в случае если коэффициент децимации больше 2, даже меньше. Обобщенная схема решения показана на рис. 4, на котором использованы следующие обозначения: ФНЧ – фильтр нижних частот, который выделяет низкочастотную составляющую в сигнале; ФВЧ – фильтр верхних частот, который выделяет высокочастотную составляющую в сигнале.

Текущая последовательность отсчетов входного сигнала фильтруется с помощью ФВЧ и ФНЧ. Выделяются две части: высокочастотная и низкочастотная.

Фильтры имеют перекрытие областей пропускания в области средних частот аналогично аналоговым фильтрам (рис. 3). Перекрытие областей частот необходимо для последующей статистической обработки сигналов, которая описана выше. Отфильтрованный ФВЧ-сигнал анализируется на предмет обнаружения частоты сигнала. Отфильтрованный ФНЧ-сигнал децимируется и поступает на следующий этап обработки. Таким образом, он рассматривается уже с другой частотой дискретизации. Полученный децимированный сигнал поступает на следующий этап пирамидального алгоритма, где процесс повторяется. Все этапы с 1 по N аналогичны. Различие состоит в том, что обрабатываемый сигнал для каждого последующего этапа имеет более низкую частоту дискретизации.

Следует отметить следующие важные свойства алгоритма.

- 1) Возможность параллельной реализации ФНЧ и ФВЧ, так как обрабатываются одни и те же отсчеты входного сигнала.
- 2) Коэффициенты ФНЧ одинаковы на каждом этапе алгоритма. Аналогично коэффициенты ФВЧ одинаковы на каждом этапе алгоритма.
- 3) Вычислительная мощность некоторого этапа i больше или равна вычислительной мощности суммы всех последующих этапов от $i+1$ до N . Это связано с децимацией сигнала. Так как частота дискретизации падает, уменьшается требуемая производительность системы.

Используя эти свойства, можно строить эффективные параллельные алгоритмы вычисления значения частоты зашумленного входного сигнала.

Результаты анализа всех частотных составляющих статистически обрабатываются. Обработка осуществляется по методам, которые аналогичны тем, что применяются в системах с аналоговыми фильтрами.

Экспериментальная разработка позволила реализовать на 16-разрядном процессоре ЦОС семейства DSP56800 фирмы Motorola [2,4,5] систему, позволяющую определить частоту информационного сигнала в диапазоне от 30 Гц до 30 кГц с точностью более 0,1%. Данная система лишена недостатков, обусловленных наличием сложной аналоговой части, легко может быть адаптирована к конкретным изменениям и имеет более низкую стоимость по сравнению с аналоговым вариантом реализации.

Литература

1. Лебедев А.Н., Куприянов М.С., Недосекин Д.Д., Чернявский Е.А. Вероятностные методы в инженерных задачах: Справочник. – СПб.: Энергоатомиздат. Санкт-Петербургское отделение, 2000. – 333 с.:илл.
2. Куприянов М.С., Матюшкин Б. Д. Цифровая обработка сигналов: процессоры, алгоритмы, средства проектирования. – 2-е изд., перераб. и доп. – СПб.: Политехника, 1999. – 592 с.:илл.
3. Дьяконов В.П. Вейвлеты. От теории к практике. – М.: СОЛОН-Р, 2002. – 448 с.:илл.
4. DSP56800. Family Manual. – Motorola Inc., 2000.
5. DSP56F0x. User's Manual. – Motorola Inc., 2002.

УДК 621.396.96

Реализация на ПЛИС быстрого преобразования Фурье для алгоритмов ЦОС в многофункциональных РЛС

А.К. Пяткин, М.В. Никитин

Дискретное преобразование Фурье (ДПФ) является составной частью многих алгоритмов цифровой согласованной фильтрации радиолокационных сигналов, которую осуществляет блок первичной обработки многофункциональной РЛС [1].

Разработаны алгоритмы вычисления ДПФ, известные как быстрое преобразование Фурье (БПФ) [2], которые учитывают отличительные свойства базисных функций ДПФ – дискретных комплексных синусоид, такие, как периодичность и преобразование номеров коэффициентов ДПФ при умножении их друг на друга. Использование БПФ позволяет существенно уменьшить количество арифметических операций, необходимых для проведения ДПФ, что становится особенно заметным при большом (порядка 100 и более) числе входных цифровых сигнальных отсчетов (база БПФ), подвергающихся ДПФ [1]. Поэтому эффективная аппаратная реализация БПФ на современной элементной базе остается актуальной научно-технической задачей, что особенно остро ощущается в радиолокационной технике, к которой предъявляются жесткие и взаимоисключающие требования по производительности, объему и рассеиваемой мощности.

Прежде всего, необходимо решить вопрос, связанный с элементной базой для реализации БПФ, в целях решения задач цифровой линейной согласованной фильтрации радиолокационных сигналов.

В [3] показано, что в настоящее время использование программируемых логических интегральных схем (ПЛИС) в тракте первичной обработки современных многофункциональных РЛС (МРЛС) дает ряд существенных преимуществ по сравнению с многопроцессорными реализациями тракта. Поэтому все дальнейшие исследования будут вестись в проекции использования ПЛИС для реализации алгоритма БПФ.

Рассмотрим известную блок-схему вычислителя БПФ (рис. 1), реализующую алгоритм БПФ с замещением [2]. Она состоит из памяти для хранения входных, промежуточных и выходных отсчетов; памяти для хранения коэффициентов преобразования W^k ; элементарного вычислителя 2-точечного ДПФ, выполняющего базовую операцию БПФ, известную в литературе как «бабочка»; контроллер, управляющий работой вычислителя. На блок-схеме не показаны банки интерфейсной памяти, служащие для накопления входных отсчетов сигнала и выдачи выходных отсчетов спектра, ввиду непринципиальности их учета в данном случае.

Реализация БПФ с применением алгоритма с замещением дает максимальную экономию внутрикристалль-

Рассмотрены вопросы построения вычислителя быстрого преобразования Фурье для алгоритмов ЦОС в многофункциональных РЛС: особенности аппаратной реализации вычислителя на ПЛИС, исследование влияния конечной разрядности представления коэффициентов преобразования, оценка необходимой разрядности ядра вычислителя, проектирование вычислителя с использованием программ математического моделирования.

ной памяти ПЛИС. При этом чтение и запись промежуточных данных происходят в один и тот же банк памяти.

Для алгоритма с замещением существуют 2 вида эквивалентных графов БПФ: граф с «прореживанием по частоте» и граф с «прореживанием по времени» между которыми нет принципиальной разницы с позиции эффективной реализации. Для определенности в дальнейшем будем рассматривать БПФ с «прореживанием по частоте», «бабочка» для которого представлена на рис. 2.

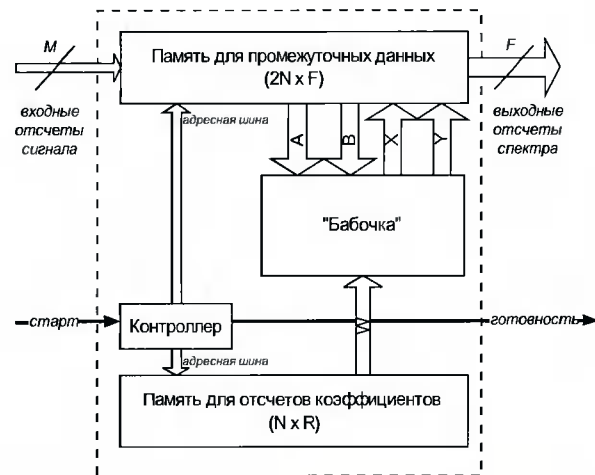


Рис. 1 Блок-схема вычислителя БПФ

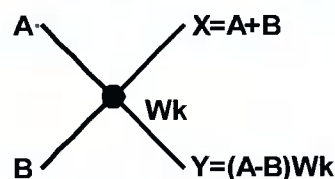


Рис. 2. «Бабочка» для БПФ с «прореживанием по частоте»

Рассмотрим более подробно составные части вычислителя БПФ с «прореживанием по частоте».

Контроллер (рис. 1) реализует граф БПФ путем генерации адресов для банков памяти, принимает управляющий сигнал о начале выполнения преобразования, выдает флаг готовности спектра и обеспечивает выдачу выходного массива спектра в двоично-инверсном порядке. Представляется целесообразным проектирование контроллера на языке HDL (нами использовался Verilog). Это дает возможность написания универсального контроллера, что позволяет строить контроллеры для вычислителей с различными базами БПФ путем изменения параметра в тексте программного кода контроллера и его последующей «перекомпиляции».

Алгоритм генерации адресов на каждом шаге вычислений хорошо описан в литературе [2], и мы не будем на нем останавливаться, отметим только, что его реализация на ПЛИС не сталкивается с какими-либо принципиальными трудностями.

Существенной проблемой, с которой неизбежно сталкивается разработчик схемы цифровой сигнальной обработки на ПЛИС, – это выбор оптимальной разрядности вычислителя [3], в нашем случае – это операции «бабочка». Разрядность «бабочки» складывается из двух составляющих. Первая – это разрядность коэффициентов преобразования W^k (разрядность представления комплексных синусоид). Вторая – разрядность промежуточных данных A и B (рис. 2).

Величину разрядности необходимо выбирать с учетом двух факторов. Во-первых, это динамический диапазон сигнала на входе БПФ. Во-вторых, это допустимое увеличение дисперсии шума (для тракта первичной обработки МРЛС – около 0,1 дБ), которое неизбежно возникает при усечении данных на выходах арифметических элементов – сумматоров и умножителей «бабочки» и суммируется с шумами всего аналого-цифрового тракта обработки сигнала, что приводит к энергетическим потерям в отношении сигнал/шум.

Завышенное значение разрядности данных и коэффициентов ведет к неоправданному расходу ресурсов ПЛИС и понижению тактовой частоты работы вычислителя, что в результате негативно сказывается на отношении производительность/емкость памяти для вычислителя БПФ.

Анализ вопроса об оптимальной разрядности вычислителя «бабочки» начнем с разрядности коэффициентов преобразования. Для этого прежде всего необходимо понять механизм влияния конечной разрядности на точность преобразования.

Известно [2], что конечная разрядность коэффициентов проявляется как их «зашумление». При этом шум коэффициентов, взаимодействуя с мощными гармоническими составляющими входного сигнала в ходе вычисления спектра, проникает таким образом во все выходные спектральные каналы, смешиваясь с другими гармониками входного сигнала и мешая в конечном итоге разрешению слабых гармоник на фоне мощных.

Это явление очень напоминает интермодуляционные искажения, появляющиеся в аналоговых схемах. С другой стороны, уровень шума, проникающего в данный канал, зависит еще и от их общего числа, т.е. от базы преобразования N .

Таким образом, разрядность коэффициентов должна определяться динамическим диапазоном входного сигнала и базой N . Можно показать, что уровень среднеквадратичной ошибки выходного спектра $D(R, N)$ (дБ) в данном спектральном канале, появляющейся из-за конечной разрядности коэффициентов преобразования R (бит), имеет уровень, определяемый относительно максимальной гармоники спектра входного сигнала по формуле

$$D(R, N) \approx -10 \cdot \lg \left(12 \cdot 4^{(R-1)} \cdot \left(\frac{N}{2} + 1 \right) \right). \quad (1)$$

Формула (1) получена в предположении о равномерном спектре шума квантования коэффициентов и о наличии только одной превалирующей по мощности гармоники. В этом предположении шум квантования распределяется равномерно по каждому из $(N/2+1)$ спектральных фильтров.

На практике во входном сигнале может присутствовать несколько мощных гармоник. При этом необходимо просуммировать их общий вклад в «зашумление» фильтров. Однако рост числа мощных гармоник ведет к понижению их отдельных (парциальных) мощностей при фиксированной амплитуде (мощности) входного сигнала.

Мы не исключаем возможность проведения точного статистического анализа шума квантования коэффициентов, который должен учитывать спектральное распределение шума квантования и особенности графа БПФ, опираясь на общую методику, представленную в [4]. Но это представляет известные трудности. Поэтому целесообразно ограничиться приведением эмпирического уравнения, вполне достаточного для применения на практике.

Влиянием конечной разрядности можно пренебречь (увеличение дисперсии шума не превышает 0,05 дБ относительно «идеального» случая – БПФ, выполненного на процессоре с плавающей точкой с 32-битными коэффициентами), если разрядность коэффициентов преобразования R (бит):

$$R \approx M - 1,7 \cdot \lg \left(\frac{N}{2} + 1 \right) + 8, \quad (2)$$

где M (бит) – разрядность сигнала на входе преобразования.

Формула (2) получена с учетом теоретической формулы (1) и эмпирических результатов практического проектирования преобразователей. Она учитывает динамический диапазон входного сигнала (M), распределение шума квантования по всем спектральным фильтрам (второе слагаемое) – теоретическая составляющая, а также возможное присутствие нескольких мощных гармоник во входном сигнале и спектральные выбросы максимумов шума квантования коэффициентов

преобразования (третье слагаемое – добавка в 8 бит) – эмпирическая составляющая.

Переходя к вопросу о разрядности промежуточных данных, необходимо исследовать вопрос об эффективной разрядности представления получаемого спектра (коэффициентов Фурье).

Эффективная разрядность представления спектра выше разрядности входного сигнала. Данный эффект объясняется когерентным накоплением энергии полезных гармоник сигнала в соответствующих спектральных каналах. Иными словами, распределение энергии шумовой составляющей сигнала происходит по всем спектральным каналам – эффект «размывания» шума, в то время как энергия полезной гармонической составляющей входного сигнала распределяется только по одному или нескольким каналам.

Можно показать, что рост эффективной разрядности представления спектра (без учета влияния шума) (бит)

$$\Delta M \approx 1,7 \cdot \lg\left(\frac{N}{2} + 1\right). \quad (3)$$

Отсюда становится очевидным, что разрядность промежуточных данных должна быть не меньше, чем $M + \Delta M$. При этом биты входного сигнала для преобразования их к формату промежуточных данных необходимо сдвинуть на ΔM бит влево.

Однако практический опыт построения вычислителей БПФ приводит к выводу, что необходимо учитывать не только рост эффективной разрядности, но и возникновение шума при выполнении арифметических операций.

Представляется целесообразным увеличивать разрядность F промежуточных данных относительно уровня $M + \Delta M$ путем дополнительного сдвига отсчетов

входного сигнала еще на некоторое число бит Z влево (рис. 3).

Этот способ показал свою эффективность. Он дает возможность «оторваться» от шума операции «бабочка» и управлять его уровнем (ошибкой преобразования) путем сдвига входного сигнала.

Как и в случае с конечной разрядностью коэффициентов, ограничимся приведением полуэмпирической формулы для оценки разрядности преобразуемых данных:

$$F \approx M + \Delta M + Z. \quad (4)$$

Шумом вычислителя с разрядностью промежуточных данных F можно пренебречь (увеличение дисперсии шума не превышает 0,05 дБ относительно «идеального» случая – вычисления БПФ, выполненного на процессоре с плавающей точкой), если $Z=4$.

Данный результат получен эмпирическим путем для БПФ с базой N от 128 до 2048. Для больших N , по-видимому, необходимо увеличение Z до 5 и более, что можно объяснить большей степенью накопления шума квантования при многократном прохождении сигнала через вычислитель «бабочка», так как суммарное их количество зависит от N как $\log_2(N)$.

Рис. 3 иллюстрирует алгоритм преобразования разрядностей. Входные данные сдвигаются влево на $\Delta M + Z$ бит, при этом младшие $\Delta M + Z$ бит сигнала становятся «нулевыми». В дальнейшем эти биты заполняются за счет выполнения арифметических операций в вычислителе «бабочки» и, на выходе блока БПФ имеются две составляющие: первая – приращение эффективных бит спектра (ΔM), вторая – шумовые биты спектра (Z), которые необходимы для управления уровнем шумов преобразователя. Проще говоря, младшие Z бит спектра служат для «накопления» шумов «бабочек». Тем не менее, шумовые биты также несут информацию о сигнале, и их появление связано с платой за малые «шумовые издержки» вычислителя БПФ.

Если входной сигнал уже содержит шумовые биты, полученные в ходе выполнения предыдущих перед БПФ алгоритмов цифровой обработки [3], то можно производить сдвиг входных отсчетов с их учетом.

Аддитивное сложение шума преобразователя (0,05 дБ) и шума из-за квантования коэффициентов преобразования (0,05 дБ) дает увеличение дисперсии шума в результате проведения вычисления БПФ не выше 0,1 дБ.

На рис. 4 приведена одна из возможных блок-схем аппаратной реализации операции «бабочка» (рис. 2). Она содержит 4 умножителя, являющихся основными потребителями

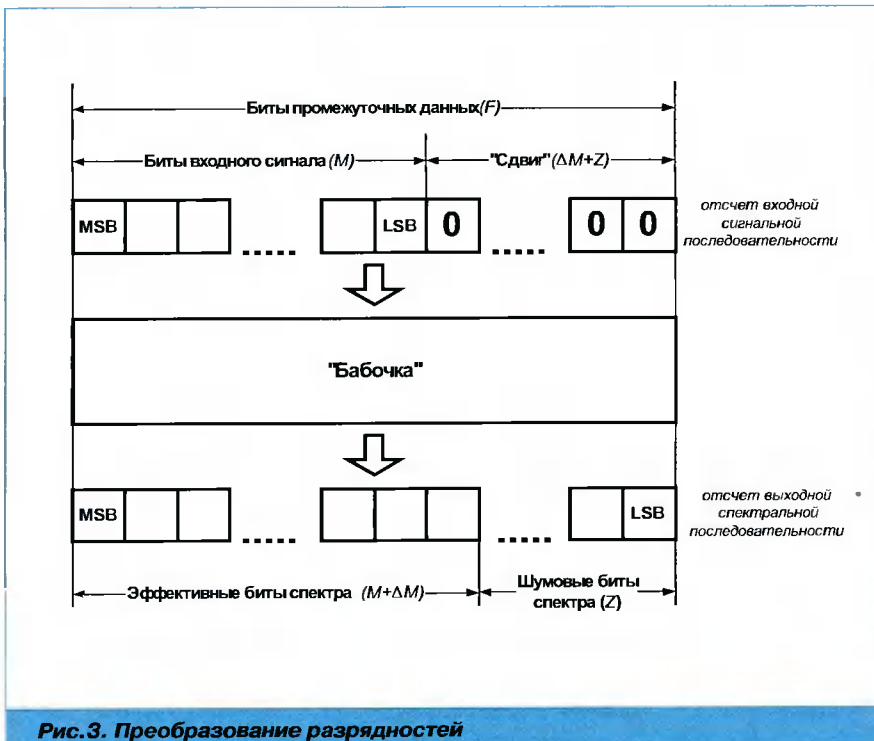


Рис.3. Преобразование разрядностей

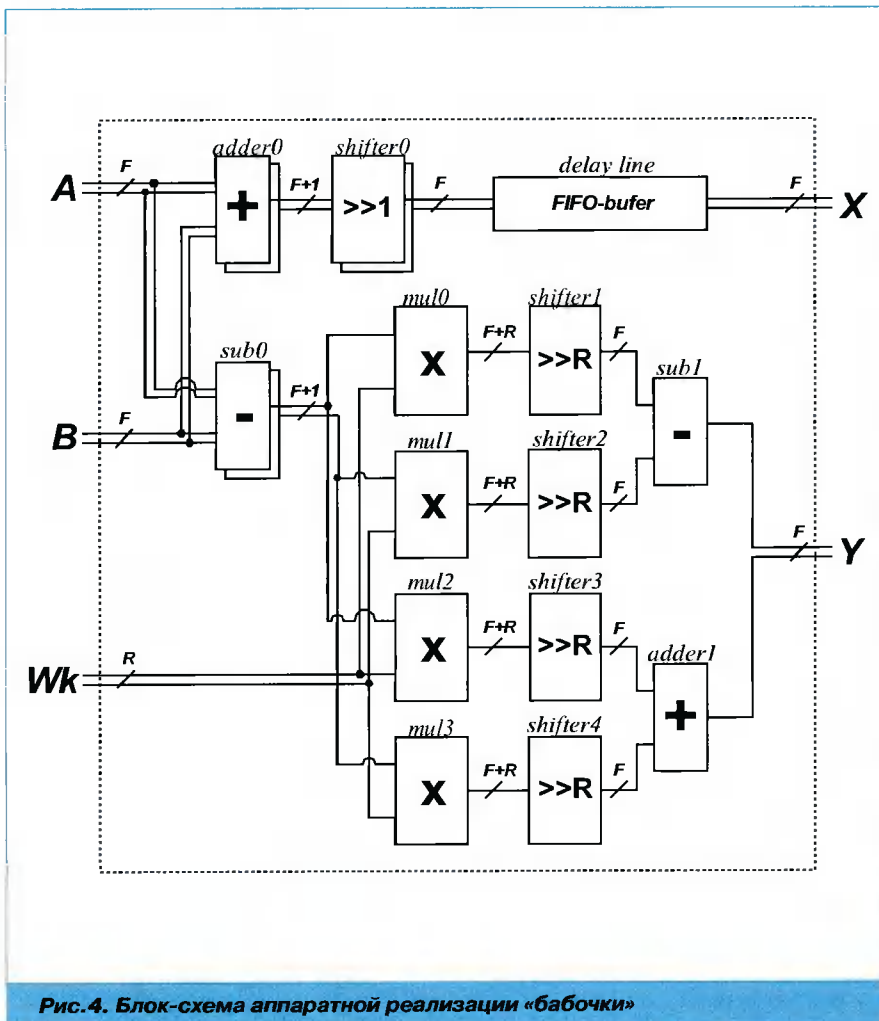


Рис. 4. Блок-схема аппаратной реализации «бабочки»

аппаратных ресурсов вычислителя. При этом достигается максимальная параллельность вычислений и соответственно предельная скорость вычисления БПФ при фиксированной тактовой частоте.

Вычислитель «бабочки» производит арифметические операции над комплексными числами A и B , разрядность которых F , получая на своих выходах комплексные числа X и Y с той же разрядностью. В ее составе: комплексный сумматор (*adder0*); комплексный вычитатель (*sub0*); 4 умножителя (*mul0...mul3*), сумматор (*adder1*) и вычитатель (*sub1*), производящие комплексное умножение на коэффициент преобразования (поворачивающий множитель) W^k , разрядность которого равна R .

Таблица 1. Характеристики вычислителя БПФ

База БПФ	512
Тактовая частота работы вычислителя (рабочая), МГц	80
Максимально возможная тактовая частота работы вычислителя (эксперимент), МГц	>120
Разрядность входного сигнала, бит	14
Время вычисления БПФ, мкс	30
Тип кристалла ПЛИС	FPGA «Xilinx» XCV600
Используемая часть ПЛИС	менее 25%

Устройства сдвига (*shifter0...shifter4*), производящие нормировку данных, показаны условно. В ПЛИС сдвиг осуществляется путем подключения со сдвигом по номерам битов входных и выходных шин элементов и не требует никаких аппаратных затрат.

Построение вычислителя «бабочки» необходимо производить по схеме с промежуточным запоминанием данных в регистрах (*pipeline*). В силу специфики построения логических ячеек ПЛИС (*slices*) это не приводит к росту аппаратных затрат, но позволяет получать тактовые частоты вычислителя до 100–150 МГц, которые близки к предельно возможному для данных типов ПЛИС (табл. 1). При этом образуется вычислительный конвейер, задержки которого необходимо учитывать при построении контроллера. Для этой же цели служит FIFO-буфер (*delay line*), который позволяет получать одновременный выход преобразуемых отсчетов X и Y из вычислительного конвейера, несмотря на несимметричность ветвей «бабочки».

Очень удобно использование двухпортовой памяти внутрикристалльной памяти ПЛИС для хранения

промежуточных данных (рис. 1). Это дает возможность одновременно читать числа A , B и писать числа X , Y независимо от их взаимного расположения в памяти.

В табл. 1 представлены характеристики вычислителя БПФ, спроектированного согласно вышеизложенным тезисам.

На рис. 5 приведен результат его работы – вычисление БПФ с окном Ханна (сплошная линия) от сигнала, состоящего из суперпозиции двух гармонических составляющих (сигнал с частотой соответствующей отклику 120-го фильтра и амплитудой 0 дБ; низкочастотный сигнал (0-й фильтр) с амплитудой 70 дБ) и «белого» шума (со среднеквадратическим значением 0 дБ). Отношение среднеквадратического значения шума к шагу квантования сигнала по уровню составляет 1,7 [5]. Для сравнения показан результат БПФ над тем же сигналом (пунктирная линия), полученный с помощью функции FFT в программе Mathcad.

В заключение отметим, что проектирование вычислителя БПФ на ПЛИС представляет собой задачу достаточной сложности. Поэтому представляется целесообразным сначала произвести математическое моделирование вычислителя, например, в программе Mathcad. Это позволяет фиксировать ошибки в аппаратной реализации путем сравнения выходных массивов модели и схемы на ПЛИС, производя тем самым «калибровку» вычислителя, а также производить оцен-

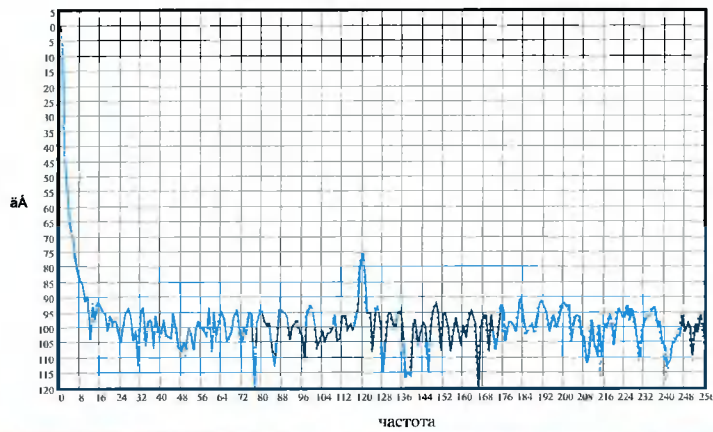


Рис.5. Спектры, подсчитанные вычислителем БПФ на ПЛИС и программой Mathcad

ку шумов преобразователя. На рис.6 приведен текст программы для Mathcad, производящей БПФ, «откалиброванный» по внутренней функции FFT.

```

N := 512
M := ln(N) / ln(2)
S := N / 2
m := 2..M
n := 0..N - 1
s := 0..S

a0_n := READPRN("d:\input.txt")

W1_n := 1 if n < N / 2
      cos(2 * pi * n * (N - n) / (2 * N)) - i * sin(2 * pi * n * (N - n) / (2 * N)) otherwise
Wm_n := W1_n if n < N / 2^m
      Wm_n / 2^m otherwise

m := 1..M
km_n := (-1)^(2^m - floor(n / 2^m))

am_n := Wm_n * (am_1_n * km_n + a_m_1_n * N / 2^m * km_n)

D(F) := A <- 0
      B <- 0
      b0 <- 1 if F / N >= 0.5
           0 otherwise
      for m ∈ 1..M - 1
          B <- B + b_{m-1} * 2^m
          bm <- 1 if F - B / N * 2^m >= 0.5
                  0 otherwise
      for m ∈ 0..M - 1
          A <- A + b_m * 2^m
      A

OUT_s := aM_D(s)
WRITEPRN("d:\output.txt") := OUT
    
```

Определение базы БПФ

Чтение входного массива из файла

Синтез массивов поворачивающих множителей

"Бабочка"

Функция двоичной инверсии

Запись выходного массива в файл

Литература

1. Бобров Д.Ю., Доброжанский А.П., Зайцев Г.В., Маликов Ю.В., Цыпин И.Б. Цифровая обработка сигналов в многофункциональных РЛС : часть 2 – алгоритмы обработки радиолокационных сигналов. Цифровая обработка сигналов 2002, №1.
2. Рабинер Л., Гоулд Б. Теория и применение цифровой обработки сигналов. М.: Мир, 1978.
3. Пяткин А.К. Реализация цифрового формирователя полосы в многофункциональных РЛС. Цифровая обработка сигналов, 2003, №2.
4. Оппенгейм А., Вайнштейн С. Влияние конечной длины регистра при цифровой фильтрации и быстром преобразовании Фурье. ТИИЭР, 1972, т.60, №8, с.41–65.
5. Бобров Д.Ю., Доброжанский А.П., Зайцев Г.В., Маликов Ю.В., Цыпин И.Б. Цифровая обработка сигналов в многофункциональных РЛС. Цифровая обработка сигналов, 2001, №4.

Рис.6. Текст программы для вычисления БПФ на Mathcad

УДК 681.323; 681.324

Разработка вычислительного комплекса цифровой обработки видеoinформации в реальном времени на базе субмикронного нейропроцессора L1879BM1

Ю.И. Борисов

Введение

Развитие методов цифровой обработки информации, технологий создания субмикронных микросхем, а также растущие потребности в интеллектуальных системах контроля ситуаций и принятия решений поставили на повестку дня вопрос разработки специализированных вычислительных комплексов для обработки в реальном времени различных видов изображений. В статье приведен опыт разработки одного из таких комплексов коллективом сотрудников под руководством автора.

Предпосылки к созданию вычислительных комплексов цифровой обработки изображений реального времени

Цифровая обработка изображений (ЦОИ), поступающих от оптических, тепловых, радиолокационных и иных информационных средств, как правило, состоит из многократных преобразований векторов и матриц большой размерности и соответственно требует чрезвычайно большого объема вычислений, поэтому до последнего времени практическое применение ЦОИ ограничивалось системами нереального времени. Только с ростом производительности процессоров можно было приступить к разработке систем реального времени, в которых необходимо применять методы ЦОИ. Наш научно-технический центр (НТЦ «Модуль») в ноябре 1999 г. представил на Всемирный салон изобретений в Брюсселе в качестве изобретения «Нейропроцессор, ...» (Пат. № 2131145 РФ), которое было удостоено золотой медали салона. Это изобретение явилось основой разработки в НТЦ «Модуль» семейства нейропроцессоров, специально ориентированных на поддержку векторно-матричных и нейросетевых вычислений, наиболее часто применяемых в ЦОИ. В частности, был создан процессор L1879BM1, уникальная архитектура которого позволяет за один такт работы процессора выполнить операцию взвешенного суммирования, например операцию умножения матрицы (8x4) восьмиразрядных элементов на вектор размерностью 8 восьмиразрядных элементов и прибавить вектор размерностью 4 шестнадцатиразрядных элемента, что эквивалентно 64 скалярным операциям с восьми-, шестнадцатиразрядными числами. Результаты замеров производительности процессора L1879BM1 при проведении векторных и матричных операций приведены в табл. 1.

Приведенные данные позволяют проводить оценки реализуемости алгоритмов ЦОИ в реальном времени и определять требуемое число процессоров для решения прикладных задач ЦОИ.

Вычислительный комплекс «Трафик-Монитор» как пример реализации ЦОИ в реальном времени

Создание процессора L1879BM1 позволило НТЦ «Модуль» решать практические задачи ЦОИ. В частности, в НТЦ был разработан аппаратно-программный комплекс «Трафик-Монитор» для определения в реальном времени характеристик транспортных потоков по информации от видеокамер.

Комплекс «Трафик-Монитор» решает следующие задачи:

- оцифровку видеоизображения, поступающего от видеокамеры наблюдения за участками автодороги (до 6 полос движения);
- обнаружение и сопровождение транспортных средств, находящихся в зоне наблюдения видеокамеры;
- распознавание типов наблюдаемых транспортных средств (5 типов: легковые, малые грузовые/микроавтобусы, автобусы, длинные грузовые/трейлеры, мотоциклы);
- накопление и обработку данных о транспортном потоке на заданном оператором интервале времени наблюдения;
- определение характеристик транспортных потоков (средней скорости потока, среднего расстояния между транспортными средствами, количества транспортных средств по типам и общее, загруженности полос движения и направления дороги) на заданном временном интервале наблюдения;
- обнаружение фактов медленного движения или пробок;
- передачу накопленной статистической информации (по запросу) на диспетчерский пункт управления транспортными потоками;
- непрерывную передачу изображения наблюдаемого транспортного потока на диспетчерский пункт.

Решение этих задач чрезвычайно актуально для управления современными транспортными потоками и контроля транспортных потоков на различных контрольно-пропускных пунктах. А разработка этого комплекса хорошо подходила для демонстрации возможности решения сложных задач ЦОИ в реальном времени на созданном в НТЦ «Модуль» процессоре.

Таблица 1

Операция	Размер входно-го/(ной) вектора/ матрицы	Разрядность входных данных (бит)	Разрядность выходных данных (бит)	Время на операцию (мкс)
1	2	3	4	5
Векторные операции				
Дискретное быстрое преобразование Фурье	256	32	32	110
	512	32	32	238
	1024	32	32	568
	2048	32	32	1317
Одномерное преобразование Адамара	256	8	16	12,8
	256	8	32	25,6
Преобразование по таблице $y[i]=x[LUT[i]]$	10240	32	32	1038
Передискретизация (прореживание в 2 раза) $y_i=(x_{2i}+x_{2i+1})/2$	10240	8	8	57,5
	10240	16	16	110
Одномерный медианный фильтр (размер окна – 3)	1024	16	16	185
Одномерный медианный фильтр (размер окна – 5)	1024	16	16	320
Одномерный медианный фильтр (размер окна – 100)	1024	16	16	2144
Фильтр с конечной импульсной характеристикой (КИХ) (размер окна – 16) $y_i = \sum_{j=0}^{15} w_j \cdot x_{i-j}$	1024	8	8	11,5
	1024	8	16	23
	1024	8	32	46,1
	1024	16	16	38,4
	1024	16	32	76,8
	1024	32	32	115,2
Поиск максимального элемента вектора	10240	8	-	104
	10240	16	-	199
	10240	32	-	391
Поиск максимального элемента вектора и его положения в массиве	10240	16	-	363
Вычисления CRC контрольной суммы (контроль при помощи циклически избыточного кода)	10240	32	-	7769
Линейное суммирование двух массивов $z_i = x_i + y_i + a$	10240	8	8	68,5
	10240	16	16	134
	10240	32	32	264
Суммирование элементов вектора с константой $z_i = x_i + c$	10240	8	8	38
	10240	16	16	72
	10240	32	32	140
Суммирование элементов вектора $y = \sum x_i$	10240	8	-	40,6
Вычисление модуля элементов вектора $z_i = x_i $	10240	8	8	69
Вычисление модулей разности элементов двух векторов $z_i = x_i - y_i $	10240	8	8	134
Умножение элементов вектора на константу $z_i = x_i \cdot c$	10240	8	8	72,5
	10240	16	16	140
	10240	32	32	140
	10240	64	64	276
Поэлементное перемножение векторов $z_i = x_i \cdot y_i$	10240	8	8	1024
Функция насыщения с фиксированными порогами $y_i = \begin{cases} 2^m - 1, & x_i > 2^m - 1 \\ x_i, & -2^m < x_i \leq 2^m - 1 \\ -2^m, & x_i \leq -2^m \end{cases}$	10240	8	8	37,2
	10240	32	32	139
Функция насыщения с произвольными порогами $y_i = \begin{cases} b, & x_i > b \\ x_i, & a < x_i \leq b \\ a, & x_i \leq a \end{cases}$	10240	32	32	396

1	2	3	4	5
Преобразование разрядностей элементов вектора $8bit \leftrightarrow 16bit$	10240	8	16	72,7
Преобразование разрядностей элементов вектора $8bit \leftrightarrow 32bit$	10240	8	16	149,5
Матричные операции				
Двумерное дискретное косинусное преобразование	8x8	8	32	5,48
Двумерное преобразование Адамара	8x8	8	16	1,0
Транспонирование матрицы	8x8	8	8	2,85
ZigZag-переупорядочение	8x8	32	32	1,73
Медианный фильтр 3x3	384x288	8	8	24582
Свертка 3x3	1024x1024	8	8	20750
Фильтр Собела	384x288	8	8	14759
Передискретизация, сокращение ширины и высоты изображения в два раза	384x288	8	8	690
	384x288	16	16	1450
Матрично-векторное умножение	1024x1024	8	16	825
	1024x1024	8	32	1650
	1024x1024	16	16	1750
	1024x1024	32	32	7000

Формирование облика комплекса «Трафик-Монитор»

Разработка комплекса «Трафик-Монитор» включала разработку алгоритма, конструкции, программного обеспечения и проведение испытаний комплекса.

Разработка алгоритма цифровой обработки изображений

Для решения перечисленных выше задач был разработан алгоритм ЦОИ, предварительная отработка которого проводилась на персональном компьютере в нереальном времени (покадровая обработка видеофильмов различных транспортных потоков). В итоге для комплекса «Трафик-Монитор» алгоритм ЦОИ разработан в составе четырех алгоритмических блоков.

1. В блоке обнаружения решается задача выделения объектов наблюдения на фоне шумов, для чего последовательно производятся: обратное проективное преобразование изображения в ортогональную систему координат; подчеркивание яркостных перепадов (контуров) изображения при помощи двух нелинейных операторов Собела (две дискретные двумерные свертки изображения вертикальной и горизонтальной масками Собела размером 3 x 3); подавление шумов изображения путем дискретной двумерной свертки изображения с низкочастотным фильтром-маской размером 5 x 5; сегментация изображения по порогам яркости и по результатам обработки изображения методами математической морфологии (анализа геометрической структуры образа).
2. В блоке сопровождения производится выделение контурных линий объектов, для чего устанавливается соответствие между обнаруженными сегментами на последовательности кадров (сегменты неустойчивые от кадра к кадру фильтруются), а также

устанавливается соответствие объединений сегментов определенным формам, на этом же этапе определяются скорости каждого объекта и расстояния между объектами.

3. В блоке распознавания объектов последовательно рассчитываются вертикальная и горизонтальная диаграммы изображения объекта (распределения средних яркостей по строкам и столбцам на вертикальном и горизонтальном размерах объекта), далее эти диаграммы преобразуются четырьмя первыми базисными функциями Адамара с целью получения секвентного портрета объекта и сокращения размерности этого портрета до восьми. Распознавание типов транспортных средств производится предварительно обученной нейронной сетью, в которой применена вероятностная мера близости портрета объекта к образу транспортного средства, сформированному в процессе обучения нейронной сети.
4. В блоке формирования статистической информации производится подсчет числа транспортных средств (по типам и всех типов), выезжающих из зоны сопровождения, подсчет средних значений скоростей и расстояний между транспортными средствами по полосам движения, расчет загруженности полос и направлений движения. Эти данные, как и 200 последних кадров видеоизображения сцены, записываются в общую память вычислителя для выдачи на ПК диспетчерского пункта.

Описанная обработка изображений включает массу векторно-матричных и иных операций с большими массивами данных. При этом столь сложную цифровую обработку 103680/86400 пикселей изображения необходимо проводить с частотой 25/30 раз в секунду (в зависимости от вида видеoinформации PAL/NTSC).

Проведенный анализ показал, что для решения в реальном времени столь объемной задачи достаточно 2

параллельно работающих процессора Л1879ВМ1 и порядка 16 Мбайт памяти.

Разработка конструкции комплекса «Трафик-Монитор»

Конструктивно комплекс «Трафик-Монитор» реализуется в нескольких вариантах исполнения: ТМ-PCI, ТМ-СРСI, ТМ-К. ТМ-РСI предназначен для установки в персональный компьютер (РСI), ТМ-СРСI – для установки в промышленный компьютер (СРСI), а ТМ-К – для работы в условиях открытого климата (собиран в специальном герметичном корпусе, который подвешивается на опоре у дороги, питается от сети 220 В, соединяется с ПК диспетчерского пункта через порты RS 232 или RS 485).

Основным элементом конструкции является вычислительный комплекс, реализованный в виде трех электронных блоков: материнской платы, платы контроллера видеокамер и платы вычислителя. Блок-схема вычислительного комплекса «Трафик-Монитор» представлена на рис. 1.

Материнская плата обеспечивает интерфейс комплекса «Трафик-Монитор» с персональным компьютером диспетчерского пункта, также на ней расположены блок памяти 8 Мбайт, используемой для размещения распакованного в результате инсталляции функционального программного обеспечения (ПО) и хранения результатов обработки информации о транспортных потоках до передачи на диспетчерский пункт, и флэш-память 1 Мбайт, в которую загружается упакованное функциональное ПО комплекса «Трафик-Монитор» и параметры калибровки видеокамер (параметры привязки видеокамер к дороге, параметры зон наблюдения за транспортом на дороге).

Контроллер видеокамер собран на базе программируемых интегральных микросхем и предназначен для приема и оцифровки видеокладов, поступающих от видеокамер с частотой 25 кадров в секунду (PAL) или 30 кадров в секунду (NTSC). Контроллер может принимать информацию от 1 до 4 видеокамер. Прием информации осуществляется через мультиплексор, т.е. информация от видеокамер принимается последовательно. Режим обслуживания видеокамер во времени задается параметрически оператором диспетчерского пункта. В результате на выходе контроллера формируются оцифрованные кадры монохромного изображения размером 360 x 280 (PAL) или 360 x 240 (NTSC) пикселей с 256 уровнями градации яркости пикселей.

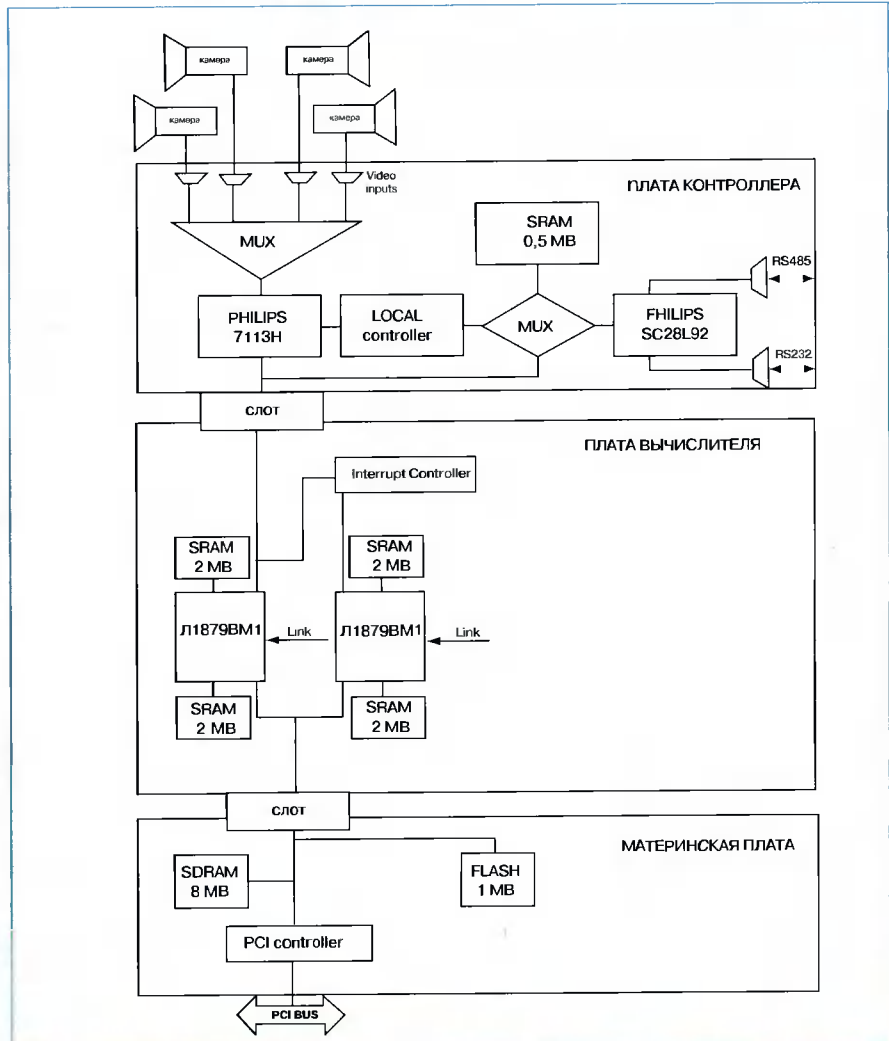


Рис. 1. Блок-схема вычислительного комплекса «Трафик-Монитор»

Плата вычислителя выполнена в составе 2 процессоров Л1879ВМ1, 4 блока памяти по 2 Мбайт и контроллера прерываний. На этой плате решаются следующие подзадачи: управление вычислительным процессом, цифровая обработка изображений (ЦОИ), формирование статистической информации о транспортных потоках.

Конструкции плат проектировались по результатам разработки проекта вычислительного комплекса «Трафик-Монитор» после распределения задач между отдельными платами и разделения ПО вычислительного комплекса на параллельные процессы.

Разработка программного обеспечения вычислительного комплекса «Трафик-Монитор»

Программное обеспечение вычислительного комплекса «Трафик-Монитор» включает: управление вычислительным процессом, цифровую обработку видеокладов изображений, формирование статистической информации о транспортных потоках.

Управление вычислительным процессом заключается в программной поддержке внешних интерфейсов комплекса «Трафик-Монитор», управлении контроллером видеокамер, синхронизации работы процессоров и осуществлении обмена данными между

процессорами, обработке сообщений от ПК диспетчерского пункта, автоматическом перезапуске программы комплекса «Трафик-Монитор» в случае сбойных ситуаций.

При разработке программного обеспечения учет особенностей архитектуры процессора L1879BM1 для оптимизации программ с точки зрения обеспечения минимального времени вычислений являлся одной из наиболее сложных и важных задач разработки. Поэтому исходные тексты ПО написаны на языке ассемблера процессора L1879BM1. В результате было разработано и отлажено ПО, обеспечившее функционирование и решение функциональных задач «Трафик-Монитора» в реальном времени.

В процессе разработки комплекса «Трафик-Монитор» также было создано ПО для оператора диспетчерского пункта, предоставляющее оператору на ПК удобный диалоговый интерфейс для проведения настроек и проверок и для задания режимов работы комплекса «Трафик-Монитор», приема статистической информации о транспортных потоках и получения видеокладов наблюдаемого участка дороги.

Испытания комплекса «Трафик-Монитор»

Наиболее ответственным этапом разработки таких комплексов, как «Трафик-Монитор», является этап испытаний. Поскольку комплекс «Трафик-Монитор» предполагается использовать в системах управления транспортными потоками и на контрольно-пропускных пунктах, к нему предъявляются высокие требования по точности определения характеристик транспортных потоков (относительная ошибка определения общего количества транспортных средств не более 1%, относительная ошибка определения средней скорости транспортных средств не более 5%) и по надежности. Эти требования формализованы и приведены в технических условиях на комплекс «Трафик-Монитор». В ТУ также приведены правила приемки и методы испытаний комплекса «Трафик-Монитор». Так, для определения функциональных характеристик комплекса «Трафик-Монитор» используется 8 специально снятых сценариев транспортных потоков, характеристики которых определены аналитически. Проведение испытаний также позволило усовершенствовать работу алгоритма и программного обеспечения комплекса «Трафик-Монитор».

Дополнительные результаты разработки комплекса «Трафик-Монитор»

В ходе разработки комплекса «Трафик-Монитор» выявилась необходимость решения некоторых задач, об одной из которых пойдет речь ниже. Многие из методов, используемых для ЦОИ, являются типовыми: проективные преобразования, дискретные свертки, унитарные преобразования (Адамара, Хаара, Карунена-Лоэва, двумерное дискретное преобразование Фурье, дискретное косинусное преобразование), методы сжатия (JPEG, MPEG, на основе вейвлет-преобразования), векторно-матричные операции и т.д. А это означа-

ет, что создаваемые процессоры необходимо поддерживать не только базовым ПО (транслятор, компилятор, компоновщик, библиотекарь и т.п.), но и библиотеками типовых функций, характерных для областей применения этих процессоров. При разработке таких сложных программных комплексов, как «Трафик-Монитор», перед разработчиком стоит задача не только учета особенностей архитектуры процессора, но и максимально эффективного использования всех ресурсов вычислительной системы комплекса, правильного распределения обработки данных между процессорами. Трудности, возникающие при программировании многопроцессорных систем, известны. Это и синхронизация процессов, и механизмы обмена данными, и механизмы использования разными процессорами общих ресурсов. Эти задачи могут быть эффективно решены при помощи соответствующих библиотек.

В НТЦ «Модуль» была организована разработка таких библиотек. В настоящее время библиотеки векторно-матричных преобразований, библиотеки специальных преобразований (сверток конечных массивов, двумерных унитарных преобразований, сжатия изображений) содержат около 500 функций. Работа эта требует использования творческих подходов как к разработке программ функций, так и к известным методам и стандартам формирования и описания библиотек. Проблема заключается в том, чтобы минимизировать затраты реального времени на решение задач, а также время на разработку прикладных проектов. Опыт показал, что самостоятельная разработка и тестирование библиотечных функций программистом, впервые использующим язык ассемблера для специального процессора, требует неоправданно больших затрат времени (годы). Эксперимент также показал, что одна и та же процедура (умножение вектора на матрицу с накоплением), реализованная на процессоре L1879BM1 без учета особенностей его архитектуры (написанная на языке C++ и переведенная на язык ассемблера при помощи соответствующего компилятора), потребляет время счета в 30 раз больше, чем при реализации программы с учетом архитектуры процессора. Разработка библиотек могла бы в значительной степени избавить разработчиков прикладных программ и вычислительных комплексов от этих трудностей и от детального изучения особенностей архитектур процессоров и программирования на ассемблере процессора. Все это подтверждает важность и необходимость разработки библиотек программ для процессоров НТЦ «Модуль».

Выводы

Опыт разработки и создания вычислительного комплекса «Трафик-Монитор» является уникальным как с точки зрения технических решений, так и с точки зрения демонстрации возможностей применения процессора, разработанного в НТЦ «Модуль». Комплекс «Трафик-Монитор» представлялся на многочисленных отечественных и зарубежных выставках, на которых был проявлен большой интерес к комплексу и на которых представители НТЦ «Мо-

дуть» не выявили аналогов с таким набором технических возможностей, как в комплексе «Трафик-Монитор».

За счет высокой производительности процессора L1879BM1 при проведении векторно-матричных вычислений в комплексе «Трафик-Монитор» были реализованы сложные и высокоэффективные алгоритмы ЦОИ, а для распознавания типов транспортных средств была синтезирована и обучена нейросеть. В результате достигнуты высокие уровни достоверности результатов решения.

Решения по обработке изображений транспортных потоков, полученные путем оптимизации алгоритмов и программ для реализации их в реальном времени, использование нейросетевых подходов для распознавания объектов, а также разработка и создание на базе процессора L1879BM1 опытных образцов аппаратных платформ для реализации алгоритмов являются ноу-хау и определяют актуальность и научную ценность проекта «Трафик-Монитор».

Практическая значимость работы обусловлена широким спектром приложений полученных решений в задачах управления транспортными потоками. Вычислительный комплекс «Трафик-Монитор» может быть использован как информационное средство для принятия решений центром управления транспортными потоками, для формирования решений в контроллерах управления светофорами (интеллектуальные светофоры), для контроля потока машин на контрольных пунктах портов, таможенных постов, платных ав-

тодорог, крупных автостоянок и т.п. На базе работ по комплексу «Трафик-Монитор» в НТЦ «Модуль» проводились экспериментальные работы по созданию стереосистем ЦОИ. Были созданы опытные стереосистемы определения габаритов и подсчета числа осей большегрузных автомобилей и информационная система предупреждения столкновения автомобилей.

Самостоятельный научный и практический интерес представляют библиотеки для реализации типовых преобразований изображений на нейропроцессорах НТЦ «Модуль». Некоторые из библиотек были разработаны в процессе создания комплекса «Трафик-Монитор». Несколько библиотек находятся в стадии разработки. Эти библиотеки могут быть использованы для цифровой обработки не только видеоизображений, но таких изображений, как радиолокационные, тепловые, телевизионные и т.п. Набор библиотек НТЦ «Модуль» представлен на сайте <http://www.module.ru>, и мы будем благодарны всем заинтересованным лицам за предложения и замечания по этим библиотекам.

В перспективе с появлением нейропроцессора нового поколения (конец 2003 – начало 2004 г.) появятся возможности сократить число процессоров в комплексе «Трафик-Монитор» и расширить спектр функциональных задач, в частности решать в реальном времени наряду с другими задачу идентификации транспортных средств с определением их номерного знака для разбора ситуаций на дороге.

НОВЫЕ КНИГИ

Цифровая обработка сигналов \ А.Б. Сергиенко – СПб.: Питер, 2002. – 608 с.: ил.

Представляет собой базовый курс по цифровой обработке сигналов. Изложены основы теории дискретных сигналов и систем. Рассмотрены методы спектрального анализа и фильтрации дискретных сигналов, алгоритмы синтеза дискретных фильтров, влияние эффектов квантования и конечной точности вычисления на работу цифровых устройств, а также методы модуляции, применяемые для передачи цифровой информации.

Теоретические сведения сопровождаются примерами реализации обсуждаемых алгоритмов с помощью системы MATLAB и ее пакетов расширения Signal Processing, Communications и Filter Design.

Допущена в качестве учебного пособия для студентов высших учебных заведений, обучающихся по направлению подготовки дипломированных специалистов «Информатика и вычислительная техника», преподавателей, научных работников, программистов, а также всех, кто интересуется компьютерной обработкой сигналов.

ЦИФРОВАЯ СВЯЗЬ. Теоретические основы и практическое применение, 2-е издание \ Склад, Бернард.: Пер. с англ. – Издательский дом «Вильямс», 2003. – 1104 с.: ил.

Данную книгу стоит прочесть всем, кто интересуется цифровой связью. Это учебник, в котором математически строго описаны все преобразования, которым подвергается информация на пути от источника к адресату. Это также справочник, в котором дано описание схем, необходимых для практической реализации соответствующих математических абстракций. И наконец, это просто хорошая и интересная книга для всех тех, кто хочет узнать все о цифровой связи, прочитав всего одну серьезную и в то же время доступную работу.

УДК 681.323

Перестраиваемое процессорное ядро – основа устройств «Система на Кристалле»

И.И. Фефилов, П.М. Матюшин

Технология «Система на Кристалле». Обзор рынка

В последние годы во всем мире наблюдается растущий интерес к новому классу электронных устройств, называемых «Система на Кристалле» (английское название – SoC – System-On-Chip). Микросхема класса «Система на Кристалле» обычно содержит одно или несколько управляющих процессорных ядер (общего назначения, контроллеры или специальные, в том числе цифровые сигнальные процессоры), массив программируемой логики и различные цифровые и аналоговые устройства. Существует два основных способа реализации процессорных ядер для устройств «Система на Кристалле». Первый – размещение ядра процессора с общепринятым набором команд и архитектурой на элементах программируемой логики. Это так называемые программные ядра (soft cores). Такой способ позволяет построить SoC-систему на традиционных кристаллах FPGA (Field Programmable Grid Array). Второй способ – ядро процессора и массив программируемой логики представляют собой отдельные области кристалла, связанные между собой и с внешними устрой-

Представлена концепция построения перестраиваемых процессорных ядер как основа устройств класса «Система на Кристалле». Описана реализация процессорного ядра с переопределяемым набором команд на FPGA фирмы Xilinx. Предложены перспективные варианты использования устройств «Система на Кристалле» в различных областях цифровой обработки сигналов.

ствами различными интерфейсами. Такие ядра называют аппаратными (hard cores).

Все основные производители микросхем программируемой логики предлагают свои решения для построения процессорных ядер и SoC-систем. Рассмотрим некоторые из них.

Компания Xilinx предлагает программные 8-битные контроллеры PikoBlaze [1] для FPGA серий Spartan и выше, а также сложные программные 32-битные RISC ядра MicroBlaze [2]. В самой передовой серии FPGA Virtex II Pro добавлены уже аппаратные ядра процессоров PowerPC от компании IBM [3].

Компания Altera разработала систему Excalibur с поддержкой программного ядра Nios и аппаратного ядра ARM [4]. Особенностью ядра Nios (версия 2.0 и выше) является поддержка команд, определяемых пользователем [5]. Для таких команд разработчик может построить исполняющие логические блоки, которые подключаются к АЛУ процессорного ядра. Количество пользовательских команд ядра Nios – 5.

В микросхемах серии FPSLIC компании Atmel [6–8] объединены аппаратное ядро микроконтроллера AVR и программируемая логика объемом до 40 тысяч вентиляей. Серия микросхем Secure FPSLIC также содержит в своем составе ПЗУ для хранения конфигурации FPGA и ядра AVR.

Компания Triscend первая реализовала идею конфигурируемых SoC. Микросхемы серии E5 [9,10], выпускаемые с 1999 г., представляют собой конфигурируемое ядро 8-битного микропроцессора «turbo 8051» с массивом программируемой логики. Второе семейство микросхем фирмы Triscend – A7 содержит уже аппаратное 32-битное ядро ARM7TDMI [11]. В ближайшее время ожидается появление микросхем следующего семейства с процессорным ядром компании Hitachi.

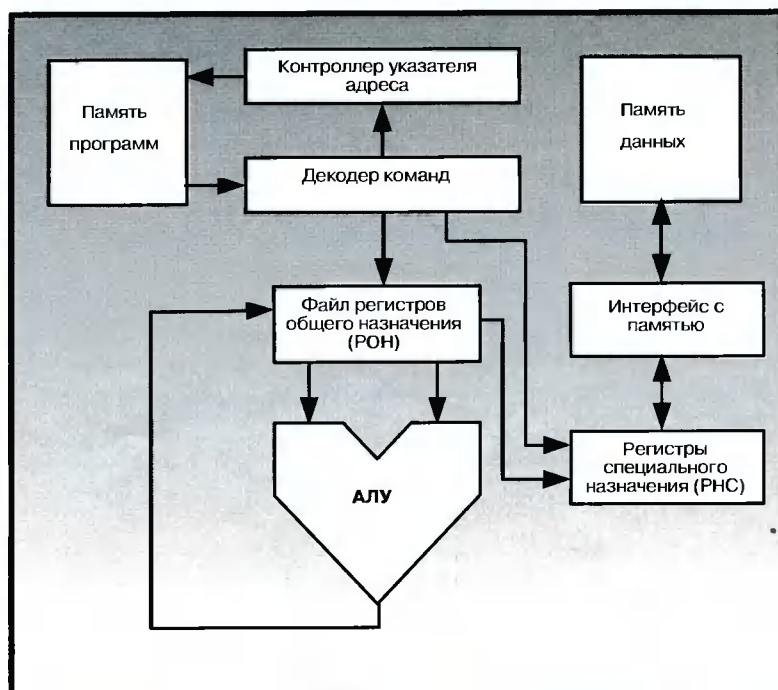


Рис. 1. Традиционная архитектура процессорного ядра

Стандартная архитектура – основа традиционных программных процессорных ядер

Далее будем рассматривать только программные процессорные ядра для кристаллов FPGA. В большинстве своем предлагаемые ядра имеют стандартную архитектуру процессоров, выпускаемых ранее и сейчас как отдельные чипы. Ядра строятся на принципах гарвардской архитектуры – разделение памяти данных и памяти программ (рис. 1). АЛУ ядра содержит три модуля – арифметический, логический и сдвиговый. Набор команд ядра ограничен (RISC) и жестко определен. Набор настроек, доступных разработчикам, ограничен параметрами прерываний и периферийных блоков, модификацией объема памяти в заданных пределах.

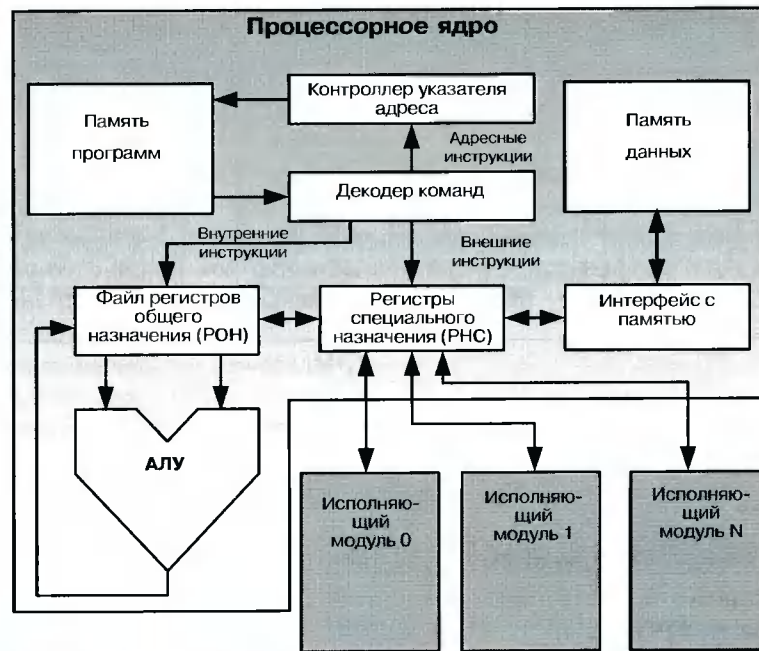


Рис. 2. Архитектура процессорного ядра с переопределяемым набором команд

Разработчики систем на основе таких ядер не могут удалять неиспользуемые блоки ядра и изменять набор команд. Хотя, казалось бы, для ядер на кристаллах FPGA такая возможность должна быть предусмотрена в первую очередь. Программируемая логика в этом случае становится всего лишь местом размещения процессорного ядра. Ее возможности не используются в таких ядрах в полном объеме. Разработчики вынуждены подстраивать решаемую задачу под используемую систему, а не наоборот.

Ядро на программируемой логике должно быть перестраиваемым

Шагом вперед на пути к получению перестраиваемого процессорного ядра стало появление в ядре Altera Nios (версия 2.0) команд, определяемых пользователем. Добавляя к АЛУ собственные аппаратные узлы для выполнения команд, разработчик расширяет возможности системы – система становится гибче. Это позволяет решать задачи проектирования различными способами, изменяя аппаратные узлы пользовательских команд. Минус этого варианта системы – небольшое число пользовательских команд ядра – всего 5. Подробное описание системы команд и команд, определяемых пользователем, можно найти в комплекте документации к ядру Nios на веб-сайте компании Altera и в [5].

В [12] предложен способ построения гибких, перестраиваемых под конкретные задачи процессорных ядер. Идея построения процессорного ядра с переопределяемым набором команд и большими возможностями конфигурирования возникла при разработке устройства управления сложным приемником шумоподобных сигналов, реализованного на FPGA [13, 14]. При рассмотрении различных вариантов реализации устройства управления были сформулированы требо-

вания к его характеристикам. Разрабатываемое устройство должно иметь достаточно высокую вычислительную мощность при малом объеме, занимаемом в FPGA. Кроме того, оно должно выполнять ряд операций, реализация которых в виде подпрограммы процессорного ядра приводит к значительному увеличению объема и снижению скорости работы основной программы. С другой стороны, реализация этих операций в виде отдельных логических блоков не требует больших ресурсов FPGA, уменьшает объем программы и не снижает скорости работы. Выделение этих операций в виде отдельных блоков и построение управляющей машины как процессорного ядра с набором периферийных блоков позволяют получить оптимальное решение поставленной задачи. Кроме того, в разрабатываемое устройство добавляются широкие возможности перестройки – изменение объема памяти, количества прерываний, набора инструкций в целом (не только внешние, пользовательские команды, как в Nios). На рис. 2 представлена архитектура полученного ядра.

Следующий шаг в создании гибких процессорных систем на FPGA – объединение нескольких ядер в одну систему с возможностью переопределения набора команд в реальном времени в процессе работы системы. Специальный управляющий блок будет отслеживать состояние ядра (или набора ядер) и при необходимости (по внешнему событию или команде) включать или выключать исполняющие модули или менять их внутреннюю структуру. При этом алгоритм работы ядер не будет меняться. На рис. 3 представлена архитектура гибкой процессорной системы на FPGA. Построенная таким образом система будет обладать большой вычислительной мощностью и гибкостью, что позволит применять ее в различных областях цифровой обработки сигналов.

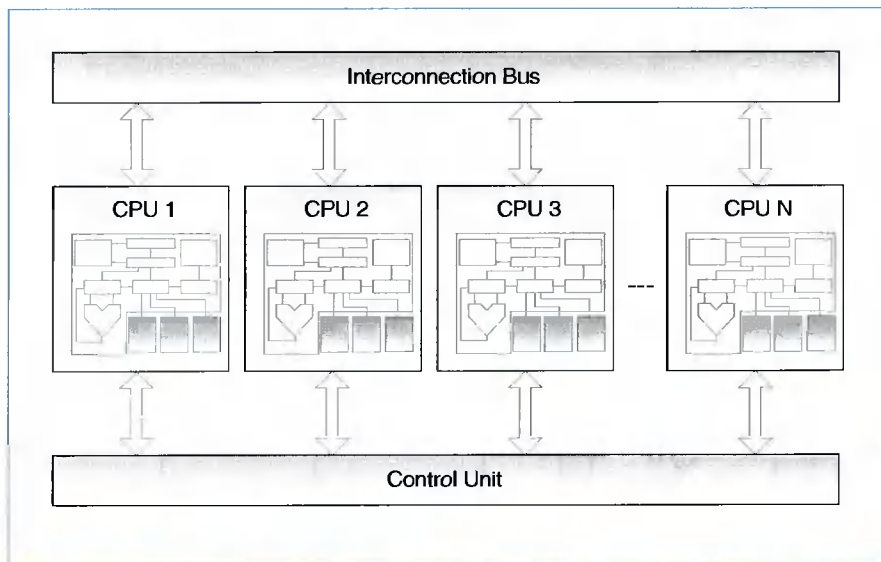


Рис. 3. Архитектура перестраиваемой многопроцессорной системы на FPGA

Реализация перестраиваемого процессорного ядра на FPGA Xilinx

Рассмотрим процессорное ядро, построенное на предложенных принципах и описанное на языке VHDL для FPGA Virtex компании Xilinx. За основу была выбрана 16-разрядная архитектура с отдельной памятью для данных и программ (гарвардская архитектура).

Набор инструкций разделен на три группы: внутренние, внешние и адресные инструкции. Адресные инструкции (команды условного и безусловного перехода, вызова и выхода из подпрограмм) выполняются контроллером указателя адреса памяти программ. Внутренние инструкции (логические операции, команды переноса, сдвиг, запись константы и др.) выполняются АЛУ. Внутренние инструкции изменяют состояния регистров общего назначения (РОН), с которыми работают. Время выполнения одинаково для всех внутренних инструкций.

Внешние инструкции выполняются отдельными исполняющими модулями. Ядро только подает данные на входы и считывает результаты с выходов исполняющих модулей. Входы и выходы модулей являются регистрами ядра. Модули являются «черными ящиками», их внутренняя структура не важна для ядра. Это могут быть модули для выполнения как простых операций: сложение, вычитание, вычисление модуля, ограничение значения числа в заданном диапазоне, так и более сложных: нормализация, умножение, вычисление математических функций. Время выполнения внешних инструкций может быть различно для разных инструкций.

Память программ в данной реализации имеет объем 4 кбайта и выполнена на структурах блочной памяти FPGA Xilinx Virtex (8 блоков). Размер памяти программ определяется наличием свободных блоков памяти FPGA и может быть легко изменен при начальном конфигурировании ядра. Адрес в памяти программ задается контроллером указателя адреса. В режиме нормальной работы программы указатель адреса инкрементирует свое значение каждый цикл. При выполне-

нии адресных инструкций в указатель записывается новое значение адреса.

Ядро имеет восемь 16-разрядных регистров общего назначения (РОН), организованных в файл регистров, и набор регистров специального назначения (регистры внешних исполняющих модулей, арбитра параллельного интерфейса, контроллера прерываний). Дешифратор команд определяет тип команды и подает содержимое нужных РОН на входы АЛУ или исполняющих модулей. АЛУ состоит из трех функциональных модулей: логический, арифметический и сдвиговый. Каждый отвечает за свою группу внутренних команд.

Для внешних исполняющих модулей определен интерфейс. Каждый модуль имеет два входа UDn_I0 , UDn_I1 и один выход UDn_O (UD – User Defined, n – номер внешнего исполняющего модуля). Код внешней инструкции на ассемблере будет выглядеть так

$UDn\ POH(i), POH(j).$

Результат выполнения внешней инструкции доступен по команде

$mov\ UDn_O, POH(i).$

Здесь UDn_O – источник (выход внешнего исполняющего модуля) и $POH(i)$ – приемник.

Для каждой новой задачи мы можем реализовать новые операции, при этом синтаксис ассемблера и интерфейс ядра и исполняющих модулей остаются без изменений. Например, при разработке приложения потребовалось ввести следующие внешние команды: вычисление модуля действительного числа, ограничение разрядности числа в заданном диапазоне, вычисление модуля комплексного числа, умножение (рис. 4а). Далее при переходе к новым требованиям операции ограничения разрядности и вычисления модуля комплексного числа оказались не нужны, но появилась необходимость в табличных функциях синуса и тангенса. Внешние исполняющие модули $UD1$ и $UD2$ были заменены (рис. 4б). Синтаксис ассемблера и другие параметры ядра остались без изменений. Переход к решению новой задачи оказался быстрее и экономичнее по сравнению с проектированием новой управляющей системы «с нуля».

Для обмена с памятью данных организован синхронный параллельный интерфейс. Размер адресуемой памяти до 8 кбайт (в текущей реализации 2 кбайта).

Ядро также содержит набор периферийных устройств: контроллер прерываний, поддерживающий до 16 линий прерываний, программируемый таймер, сто-

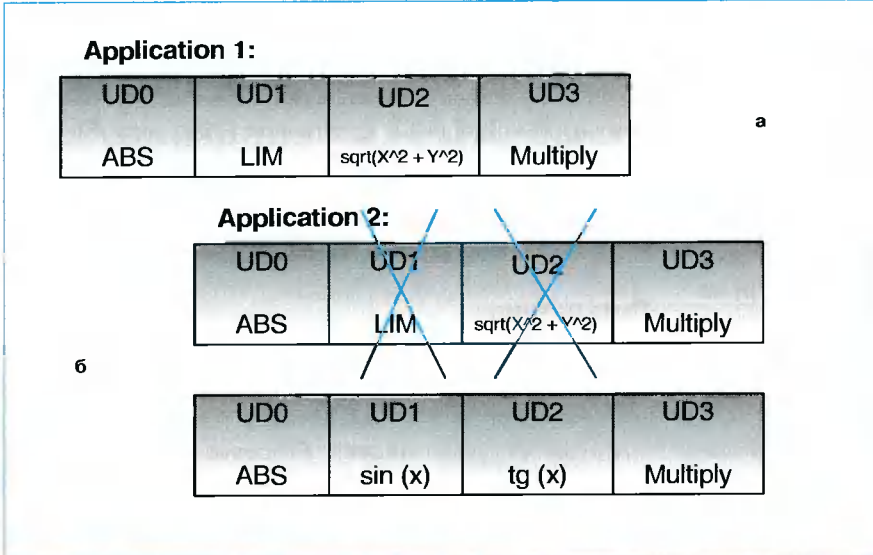


Рис. 4. Переопределение внешних команд

рожевой (watch-dog) таймер, последовательный порт, загрузчик и отладчик программ. Для увеличения функциональных возможностей могут быть добавлены другие специализированные периферийные устройства. Ядро описано на языке VHDL, что позволяет, с небольшими изменениями кода, реализовать его на FPGA других фирм.

Маршрут проектирования “Системы на Кристалле” на основе FPGA

Проектирование системы на FPGA с использованием конфигурируемого процессорного ядра можно разделить на несколько этапов. Структурная схема маршрута проектирования показана на рис. 5.

На первом этапе разработки происходит анализ задач и функций разрабатываемого устройства. Системные разработчики определяют, какие задачи удобнее решить на структурах программируемой логики, какие – в виде программ процессорного ядра. По результатам такого разделения производится настройка параметров ядра: определяются объемы памяти программ и данных, количество прерываний, стартовые адреса подпрограмм обработки прерываний, набор внешних инструкций и структура исполняющих модулей, необходимые интерфейсы с другими блоками FPGA и внешними устройствами (таймеры, дополнительные контроллеры прерываний, механизмы отладки и самотестирования).

Второй этап проектирования – написание программы процессорного ядра. Для программирования ядра разработан язык ассемблер, программы компилятора и линкера. Компилятор анализирует ассемблерные файлы (обычно это файл ос-

новной программы и файлы подпрограмм обработки прерываний) на наличие ошибок и преобразует их в двоичные коды. Линкер собирает все необходимые двоичные файлы в один в соответствии со значениями стартовых адресов подпрограмм. Подробные сообщения обо всех обнаруженных ошибках компилятора и линкера выводятся на стандартную консоль и в лог-файл. Результатом работы линкера является файл ProgRAM.mif. Этот файл автоматически загружается в память программ ядра при моделировании в HDL-симуляторах и с помощью отладочной программы PC может быть загружен во внешнее ПЗУ через LPT-порт.

Моделирование ядра и других блоков FPGA в симуляторе HDL языков – третий этап проектирования. Разработка блоков, входящих в состав FPGA вместе с процессорным ядром, самостоятельная задача. В этой работе мы ограничиваемся вопросами проектирования и программирования ядра, поэтому этап проектирования блоков FPGA не показан на рис. 5. По результатам совместного моделирования ядра, программы и других блоков FPGA производятся необходимые коррекции ядра и изменения программы.

При успешном прохождении моделирования переходят на следующий, четвертый этап – синтез и трассировка кристалла FPGA. Результат этого этапа – файл конфигурации FPGA.

Хранение программы ядра может быть осуществлено как непосредственно в FPGA, так и во внешней памяти. При хранении программы в FPGA необходимо повторять



Рис. 5. Этапы проектирования SoC на FPGA

этап синтеза и трассировки всего кристалла FPGA при любом изменении программы. Для сокращения времени, затрачиваемого на внесение изменений в программу, используется внешняя память (ППЗУ). В этом случае перед началом работы программа будет считываться из ППЗУ и загружаться в память программ ядра. С помощью разработанного для отладки ядра программного комплекса можно отслеживать состояние памяти данных и регистров ядра на компьютере через LPT-порт. Загрузка программы ядра в ППЗУ также осуществляется с помощью этого программного комплекса.

Примеры использования технологии

В [13, 14] описана реализация на кристалле FPGA серии Virtex компании Xilinx приемника сложного широкополосного сигнала. Использование технологии SoC и перестраиваемого процессорного ядра собственной разработки позволило существенно снизить используемые ресурсы FPGA.

Большие возможности имеет применение предложенного подхода в системах потоковой обработки видео- и аудиоинформации. Изменяя структуру исполняющих модулей, можно реализовать различные виды фильтрации и кодирования информации, вычисления количественных характеристик потока данных. При этом основной алгоритм работы (путь прохождения данных) остается без изменений. Меняются только его параметры.

Другим перспективным направлением применения технологии SoC на FPGA является создание программно-определяемых систем связи (SDR – Software Defined Radio). Все элементы таких систем конфигурируются и управляются программами, что позволяет быстро перестраивать систему под требования новых стандартов связи. Система SDR на FPGA может быть построена как массив связанных между собой вычислительных узлов. Основой такого узла будет служить процессорное ядро, построенное на изложенных выше принципах перестраиваемой архитектуры. Переопределяя набор внешних операций для каждого ядра, мы изменяем задачи, выполняемые вычислительным узлом. Объединяя такие узлы в систему, можно быстро и с минимальными затратами реализовать устройства обработки данных для любого современного стандарта связи. Изменение параметров системы в рамках реализованного стандарта и даже переход на новый стандарт легко осуществляются путем изменения только программного обеспечения. Архитектура системы остается неизменной.

Заключение

В современных условиях эффективность проектирования и успех на рынке напрямую зависят от гибкости применяемых технологий и полноты использования современной элементной базы. Технология SoC открывает новые перспективы для быстрой и эффективной разработки радиоэлектронных систем. Представленные в работе принципы построения архитектуры перестраиваемых процессорных ядер – основы систем на кристалле – позволяют в кратчайшие сроки создавать легко переконфигурируемые под новые задачи системы. Гиб-

кость архитектуры ядра и функциональных блоков, переопределяемый набор команд, программная отладка алгоритма, использование широко распространенных и относительно дешевых кристаллов FPGA, легкость переноса кода в заказные СБИС, компактная структура всего устройства – вот далеко не полный список преимуществ использования описанной технологии.

Литература

1. Xilinx PikoBlaze Soft Processor
http://www.xilinx.com/ipcenter/processor_central/picoblaze/index.htm
2. Xilinx MicroBlaze Processor Soft Core.
http://www.xilinx.com/xlnx/xil_prodcat_product.jsp?title=microblaze
3. Xilinx Virtex-II Pro™ Platform FPGA Handbook
<http://www.xilinx.com/publications/products/v2pro/handbook/index.htm>
4. Altera Excalibur
http://www.altera.com/literature/br/br_excalibur.pdf
5. Каршенбойм И. Микроконтроллер для встроенного применения – NIOS. Система команд и команды, определяемые пользователем. Часть II. Команды перехода, исключения, конвейер и команды, определяемые пользователем. // Компоненты и технологии, 2002, №3, с. 60–65.
6. Atmel FPSLIC™ <http://www.atmel.com/atmel/products/prod39.htm>
7. Кривченко И. Системная интеграция в микроэлектронике – FPSLIC // Chip News, 2000, №3, с. 4–10.
8. Золотуха Р. System Designer – пакет для разработки устройств на основе FPSLIC // Chip News, 2001, №2, с. 8–14.
9. Золотуха Р., Кривченко И. Конфигурируемая система на кристалле E5 – первое знакомство // Компоненты и технологии, 2001, №1, с.26–29.
10. Triscend E5™ Customizable Microcontroller
<http://www.triscend.com/products/e5.htm>
11. A7™ Configurable System-on-Chip:
<http://www.triscend.com/products/a7.htm>
12. Матюшин П.М. Построение синтезируемого процессорного ядра с переопределяемым набором команд на базе FPGA. // 5-я Международная конференция и выставка «Цифровая обработка сигналов и ее применение», 12–14 марта 2003 г., М. – Сборник докладов, т.2, с. 549–551.
13. Фефилов И.И., Матюшин П.М., Лавлинский С.А., Минин Э.А. Реализация цифрового приемника сложного широкополосного сигнала как SoC. // 5-я Международная конференция и выставка «Цифровая обработка сигналов и ее применение», 12–14 марта 2003 г., М. – Сборник докладов, т.2, с. 565–567.
14. Фефилов И.И., Лавлинский С.А., Матюшин П.М., Минин Э.А. Цифровой приемник ШПС на базе FPGA с использованием процессорного ядра с переопределяемым набором команд // IX Международная научно-техническая конференция «Радиолокация, навигация, связь», 22–24 апреля 2003 г., Воронеж.

УДК 681.323

Модуль цифровой обработки сигналов XDSP-3PC компании Scan Engineering Telecom

В.Г. Мистюков

Введение

Модуль цифровой обработки сигналов XDSP-3PC предназначен для решения высокопроизводительных задач цифровой сигнальной обработки, а также построения специализированных вычислителей. Гибкая конфигурация модуля, сочетающая производительность ПЛИС Xilinx семейства Virtex-E и гибкость ЦПОС Texas Instruments TMS320C6202, позволяет эффективно реализовать практически весь спектр алгоритмов обработки цифровых сигналов, начиная от высокоскоростного аналого-цифрового преобразования и цифровой фильтрации и заканчивая многоканальным спектральным анализом и двумерной обработкой изображений.

Конструктивно модуль выполнен в виде платы стандарта PCI 32 бита.

Возможные области применения XDSP-3PC:

- цифровая фильтрация;
- многоканальная радиолокация;
- спектральный анализ;
- алгоритмическая обработка сигналов;
- двумерная обработка сигналов;
- нейросетевые приложения.

Область применения модуля не ограничивается приведенным списком и ввиду реконфигурируемости основного вычислительного ядра позволяет охватить практически все возможные приложения пользователя.

Общее техническое описание

Основой модуля XDSP-3PC является печатная плата, подключенная к шине PCI с поддержкой спецификации версии 2.2 Plug&Play. На плате устанавливается ПЛИС наиболее мощных семейств Virtex-E и Virtex-EM фирмы Xilinx с предельной логической емкостью до 2,0 млн. вентилей, а также дополнительно:

- цифровой сигнальный процессор фирмы Texas Instruments TMS320C6202;
- два банка синхронного статического ОЗУ объемом до 512 К x 32;
- до 128 Мбит динамической памяти SDRAM;
- до 64 Мбит FLASH-памяти;
- до 4 каналов высокоскоростных АЦП;

Фирма Scan Engineering Telecom известна на российском и зарубежном рынках как разработчик и производитель встраиваемых высокопроизводительных устройств сбора и цифровой обработки сигналов на базе ПЛИС компании Xilinx и ЦПОС компании Texas Instruments.

Разработки фирмы главным образом ориентированы на широкое использование ПЛИС семейств Virtex-E/Virtex-2. Поставляемые модули ЦПОС, как правило, оснащены средствами быстродействующего многоканального аналогового ввода-вывода, от 2 до 32 каналов по вводу, поддерживают интерфейс с шинами PCI, Compact PCI и PC104Plus, в зависимости от принятого конструктивного исполнения, и в отдельных случаях предполагают установку ЦПОС TMS320C62xx или TMS320C64xx компании Texas Instruments.

В комплект поставки модулей входят тестовые проект-иллюстрации для ПЛИС под САПР XilinxISE (VHDL), средства программного обеспечения проектирования модулей ЦПОС с применением сигнальных процессоров в среде TI Code Composer Studio, программы тестирования ресурсов модулей в объединенной информационной среде SETNavigatorPRO. Конфигурацию и отладку ПЛИС- и ЦПОС-модулей можно производить с помощью отдельно поставляемых инструментальных средств.

Знакомство с продукцией фирмы Scan Engineering Telecom мы начинаем с краткого технического описания модуля цифровой обработки сигналов XDSP-3PC, сочетающего в своей архитектуре высокую производительность ПЛИС и гибкость ЦПОС, что открывает новые возможности эффективной реализации встраиваемых высокопроизводительных устройств обработки сигналов в реальном времени.

Зам. главного редактора проф. В.В. Витязев

- до 2 каналов высокоскоростных ЦАП;
- до 48 линий цифрового ввода/вывода;
- высокоскоростной компаратор внешнего тактирования.

На общем функциональном уровне можно выделить следующие основные блоки модуля ЦПОС (рис. 1).

1. Операционное ядро, реализуемое на базе ПЛИС семейства Virtex-E и ЦПОС TMS320C6202, выполняющих все множество логических и арифметических операций.
2. Внешнее ОЗУ данных, расширяющее внутреннюю память модулей операционного ядра (два банка ZBT SRAM-модулей памяти с нулевым временем переключения (Zero Bus Turnaround) по 256Кx32 слов и 128 Мбит динамической памяти SDRAM).
3. Энергонезависимую FLASH-память емкостью до 64 Мбит, предназначенную для хранения файла конфигурации ПЛИС, программы ЦПОС и необходимых для работы констант.
4. Аналоговый интерфейс, включающий 4 канала аналого-цифрового преобразования с использованием высокоскоростных (тактовая частота 125 МГц) 12-разрядных АЦП AD9433 фирмы Analog Devices и 2 канала цифроаналогового преобразования на базе 14-разрядных ЦАП AD9767, работающих на тактовой частоте до 125 МГц.

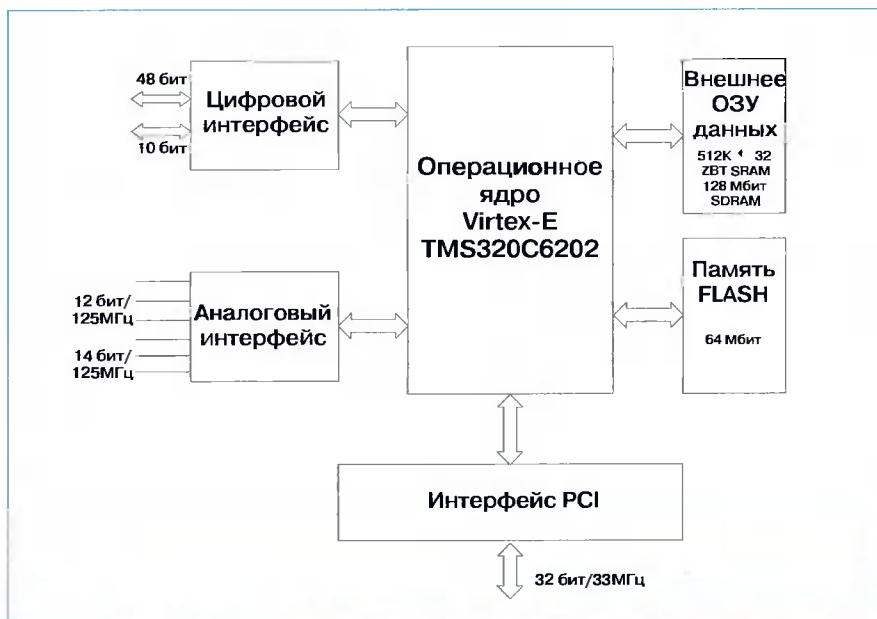


Рис. 1. Общая функциональная схема модуля XDSP-3PC

- для серии Virtex-E – от 180 МГц для ПЛИС временной группы – 6 до 250 МГц для временной группы – 8.

В ПЛИС модуля наряду с приложением пользователя интегрируется контроллер PCI интерфейса: Plug&Play, Master/Slave, 32 бит/33 МГц (64 бит/66 МГц). Процентное заполнение контроллером PCI Slave 32 бит/33 МГц ПЛИС различного объема приведено в табл. 1.

ПЛИС модуля может обращаться к непосредственно подключенным двум отдельным банкам внешнего синхронного статического ОЗУ типа ZBT SRAM с организацией до 512Кx32 слов (рис. 2), а также к одному банку 16-разрядной FLASH-памяти объемом до 64 Мбит. Частота межкристального обмена ПЛИС с памятью типа ZBT составляет

не менее 100 МГц, а с FLASH-памятью – не менее 10 МГц.

Тип используемого статического синхронного ОЗУ фирмы Micron:

- объем 512Кx32 (16 Мбит) MT55L512Y32FT-10 (Flow-through 100 МГц);
- объем 256Кx32 (8 Мбит) MT55L256L32FT-10 (Flow-through 100 МГц);
- объем 128Кx32 (4 Мбит) MT55L128L32P1T-7.5A (Pipelined 133 МГц).

Сигналы банков статической памяти типа ZBT STANDBY (Snooze Enable) заведены на контрольную CPLD модуля U3, что позволяет отключать выбранные банки памяти от их сигнального интерфейса и перевести их в состояние «спящего» режима.

Интерфейс логического ядра и ЦПОС

На модуле XDSP-3PC в общей структуре операционного ядра предусматривается установка мощного цифрового сигнального процессора фирмы Texas Instruments TMS320C6202. Ядро процессора выполнено по архитектуре Velocity Advanced VLIW (Very Long Instruction Word) и предназначено для работы с данными в формате с фиксированной запятой.

Вычислительное ядро процессора представлено шестью независимыми АЛУ 32/40 бит и двумя 16-разрядными умножителями. За один такт процессор способен выполнять две операции умножения, что при тактовой частоте 250 МГц определяет его производи-

Таблица 1

ПЛИС xilinx серии Virtex/E	Занимаемый контроллером логический объем, %
XCV400	12
XCV812E	6,5
XCV1000E	5
XCV2000E	3

5. Цифровой интерфейс, реализующий возможность внешнего двунаправленного обмена основной ПЛИС по 48 выводам и дополнительно по 10 выводам ПЛИС типа CPLD.
6. Интерфейс с шиной PCI, поддерживающий 32-разрядную версию 2.2 с тактовыми частотами 33 МГц или 66 МГц при соответствующем программировании ПЛИС.

Операционное ядро модуля XDSP-3PC

Операционное ядро модуля XDSP-3PC строится на базе основной ПЛИС типа FPGA фирмы Xilinx, ЦПОС семейства TMS320C6202 фирмы Texas Instruments и дополнительной ПЛИС типа CPLD.

Логическое ядро на базе ПЛИС серии Virtex-E

Предусматривается установка ПЛИС серии Virtex-E/EM в корпусе BG560 следующих типов.

Серия Virtex-E (напряжение питания ядра 1,8 В):

XCV1000E с быстродействием -6/-7/-8,

XCV1600E с быстродействием -6/-7/-8,

XCV2000E с быстродействием -6/-7/-8.

Серия Virtex-EM (напряжение питания ядра 1,8 В):

XCV405E с быстродействием -6/-7/-8,

XCV812E с быстродействием -6/-7/-8.

При отсутствии необходимости установки на модуль цифрового сигнального процессора на модуль можно установить ПЛИС серии Virtex (напряжение питания ядра 2,5 В):

XCV400 с быстродействием -4/-5/-6,

XCV600 с быстродействием -4/-5/-6,

XCV800 с быстродействием -4/-5/-6.

Системная частота работы ПЛИС определяется временной группой установленного кристалла и составляет:

- для серии Virtex – от 133 МГц для ПЛИС временной группы – 4 до 180 МГц для временной группы – 6;

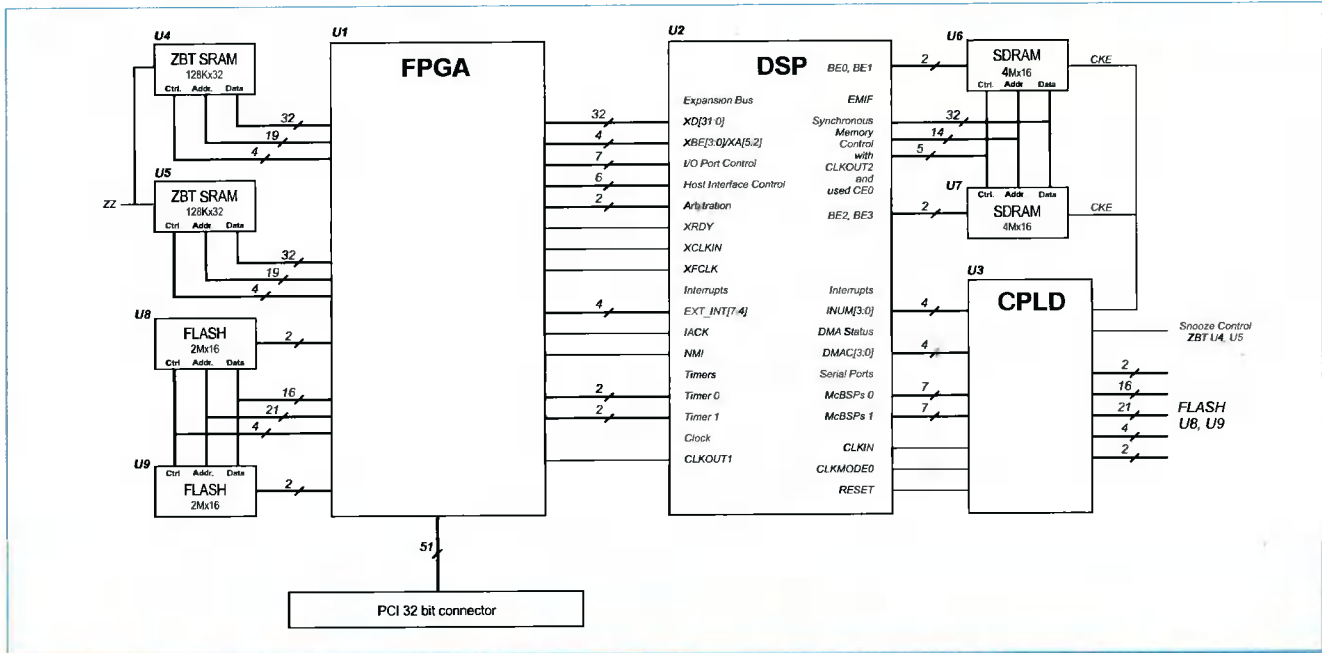


Рис. 2. Структура межсоединений логического ядра и ЦПОС модуля XDSP-3PC

тельность в 500 млн. MAC (операций умножения с накоплением). Процессор имеет 32 32-разрядных регистра общего назначения и 3 Мбит внутренней памяти, из них два блока по 128 кбайт предназначены для памяти программ (один из них может быть сконфигурирован как кэш-память). Под память данных в процессоре отведены два блока по 64 кбайта.

На внешней шине процессора – интерфейс EMIF (External Memory Interface), расположен банк динамического ОЗУ SDRAM объемом до 128 Мбит (два кристалла по 4 Мx16 – U6 и U7 на рис.2). Частота обмена процессора с внешним ОЗУ составляет не менее 100 МГц и равна половине тактовой частоты работы процессора. Для тактирования SDRAM используется тактовый выход ЦПОС CLKOUT2.

Все сигналы 32-разрядной шины расширения процессора Expansion Bus (XB) заведены на ПЛИС модуля U1, что позволяет достаточно просто реализовать синхронный либо асинхронный обмен ЦПОС и ПЛИС при частоте до 100 МГц (половина тактовой частоты работы процессорного ядра).

Со стороны ПЛИС возможна выдача запросов на прерывания ЦПОС по четырем линиям шины EXT_INT[7:4]. Сигнал подтверждения прерывания IACK также заведен на ПЛИС, а шина INUM[3:0], индицирующая номер активного прерывания, заведена на CPLD модуля U3.

Все четыре линии индикации статуса DMA (Direct Memory Access) – шина DMAC[3:0] ЦПОС, а также два последовательных многоканальных порта ЦПОС McBSP0 и McBSP1 заведены на служебную CPLD модуля U3. Линии обоих таймеров процессора соединены с ПЛИС модуля U1.

Процессор имеет внешнюю PLL умножения тактового сигнала ЦПОС. Поддерживаются два режима умножения, определяемых логическим уровнем на выводе CLKMODE0 процессора. Уровень программируется в служебной CPLD модуля U3 и в случае наличия

низкого логического уровня внешний тактовый сигнал поступает на процессорное ядро в сквозном режиме без умножения, а в случае высокого логического уровня на данной линии внешний тактовый сигнал умножается на 4.

Внешний тактовый сигнал поступает на ЦПОС по линии CLKIN с контрольной CPLD модуля U3. Значение частоты внешнего генератора, устанавливаемого по умолчанию, составляет 48 МГц, что при внутреннем умножении частоты процессора определяет его тактовую частоту в 192 МГц. Линия CLKOUT1 ЦПОС заводится на буфер ПЛИС модуля U1, а линия XFCLK – на глобальный буфер ПЛИС.

Отладка ЦПОС производится через разъем JTAG X7 стандартными средствами отладки Texas Instruments с применением внутрисхемного эмулятора типа SDSP-510PCI или SDSP-PP.

Аналоговый интерфейс модуля

Аналоговый интерфейс модуля представлен четырьмя независимыми каналами аналого-цифрового преобразования (АЦП) и двумя независимыми каналами цифроаналогового преобразования (ЦАП).

Каждый из каналов аналого-цифрового преобразования (рис. 3) выполнен на базе высокоскоростного АЦП фирмы Analog Devices AD9433 разрядностью 12 бит и предельной частотой тактирования 125 МГц (105 МГц для версии АЦП фирмы Analog Devices AD9432). АЦП имеет встроенный конвейер данных на десять тактов. Выходные данные АЦП представлены дополнительным кодом в формате с фиксированной запятой. Шина данных всех каналов АЦП, сигналы переполнения и отдельные сигналы тактирования заведены на ПЛИС модуля.

По умолчанию входы АЦП «закрыты» для постоянного сигнала (установлен разделительный конденсатор по входу), согласованы для сопротивления источников входного сигнала 50 Ом и предназначены для преобра-

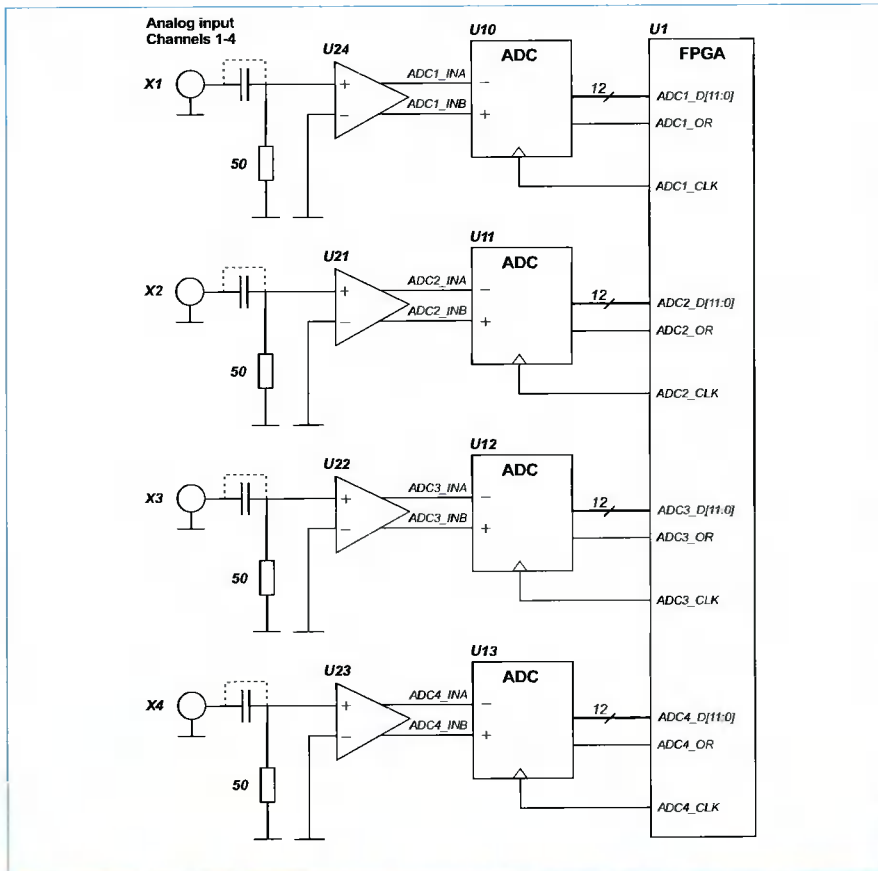


Рис. 3. Структурная схема каналов АЦП модуля XDSP-3PC

зования радиосигналов с размахом до ± 1 В в полной разрядной сетке АЦП.

Оба канала ЦАП модуля (рис. 4) выполнены на сдвоенной микросхеме 14-разрядного ЦАП AD9767 с отдельными шинами данных для каждого из каналов (шины данных запараллелены с линиями цифрового ввода-вывода разъема расширения X15).

В раздельном включении шин данных оба канала ЦАП могут тактироваться на предельной частоте 125 МГц. В случае передачи данных ЦАП только по одной из шин (при этом освобождаются 14 линий цифрового ввода-вывода на разъеме X15) один из каналов может тактироваться на 125 МГц при отключенном либо значительно более медленном втором канале либо оба канала могут работать с частотой до 62,5 МГц.

по линиями и двухбайтный перевод линий в третье состояние. Все линии управления приемопередатчиками заведены на ПЛИС модуля U1 (рис. 5).

Наряду с функциями защиты входов ПЛИС и увеличения нагрузочной способности по выходу буферные приемопередатчики обеспечивают сопряжение выходных уровней ПЛИС с 3,3 В ТТЛ- либо 5 В ТТЛ-приемниками. Режим работы выходных каскадов буферов приемопередатчиков задается пользователем путем установки соответствующих переключателей модуля W9-W11 для каждых двух байт 48-разрядного слова по отдельности.

В случае установки на модуль трактов ЦАП обе шины данных ЦАП подключаются параллельно шине цифрового разъема со стороны ПЛИС, что исключает использование данных 28 линий для высокоскоростного циф-

Режим передачи данных в регистры ЦАП определяется пользователем соответствующим программированием ПЛИС модуля U1. Все необходимые выводы режимов ЦАП заведены на ПЛИС U1.

На выходе трактов ЦАП установлены аналоговые пассивные фильтры нижних частот 5-го порядка с верхней границей полосы пропускания 40(60) МГц и крутизной спада до 30 дБ на октаву. Возможна установка ФНЧ с требуемыми заказчику характеристиками. Выходной сигнал ЦАП изменяется в пределах ± 1 В в полной разрядной сетке ЦАП при согласованной нагрузке 50 Ом.

Цифровые порты модуля

Модуль XDSP-3PC имеет в своем составе цифровой многоразрядный порт расширения, реализующий возможность внешнего двунаправленного обмена ПЛИС по 48 линиям и CPLD U3 по 10 линиям.

Цифровые линии ПЛИС буферизованы приемопередатчиками, позволяющими осуществить побайтное переключение направления передачи

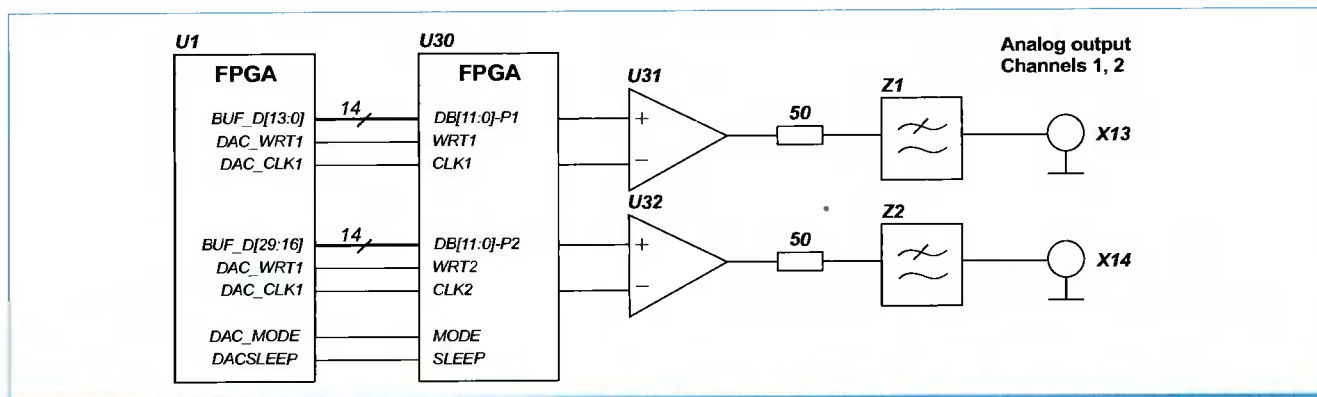


Рис. 4. Структурная схема тракта ЦАП модуля XDSP-3PC

рового обмена через разъем расширения.

Десять цифровых линий разъема расширения X15, заведенные на CPLD модуля, не буферизованы и обеспечивают совместимость модуля на ввод – в стандартах 3,3 В ТТЛ и 5 В ТТЛ, на вывод – 3,3В ТТЛ.

В качестве разъема расширения применен 80-контактный разъем высокой плотности с шагом 1,27 мм и предусматривает ответное подключение шлейфового соединителя.

В случае необходимости все цифровые линии порта могут быть выведены путем соответствующего соединителя-переходника на разъем типа DIN 41612 96 контактов передней панели в соседний слот PCI.

Интерфейс модуля PCI

Конструкция модуля XDSP-3PC предусматривает его установку в стандартный крейт PCI с возможностью крепления модулей в слотах полной длины специальными направляющими. Модуль поддерживает стандартный 32-разрядный интерфейс PCI версии 2.2 с системной тактовой частотой 33 МГц либо 66 МГц при соответствующем программировании ПЛИС.

В ПЛИС модуля U1 интегрируется PCI-контроллер Plug&Play, поддерживающий режимы:

- 33 МГц/32 бит Slave (поставляется по умолчанию);
- 33 МГц/32 бит Master (опция поставки);
- 66 МГц/32 бит Master/Slave (опция поставки).

При этом поддерживается сигнальное окружение PCI 3,3 В при установке кристаллов серии Virtex-E/Virtex-EM и 3,3/5 В при установке на модуль ПЛИС серии Virtex (в данном случае установка ЦПОС не осуществляется).

Основные технические характеристики интегрированного контроллера PCI (PCI Master и Slave)

- Тип 0 конфигурационного указателя пространства.
- До двух базовых адресных регистров (память или I/O с регулируемым размером блоков то 16 байт до 256 Мбайт).
- Генерация паритета (PAR), детектирование ошибки паритета (PERR# и SERR#).
- Поддержка команд Memory Read, Memory Write, Memory Read Multiple (MRM), I/O Read, I/O Write, Configuration Read, Configuration Write.
- Передача 32(64)-разрядных данных, поддержка блочной передачи с линейным порядком адресации.
- Поддержка операций Target Abort, Target Retry, Target Disconnect.
- Особенности трассировки ПЛИС (RLOC, Timespec) гарантируют обеспечение заданных временных ограничений.

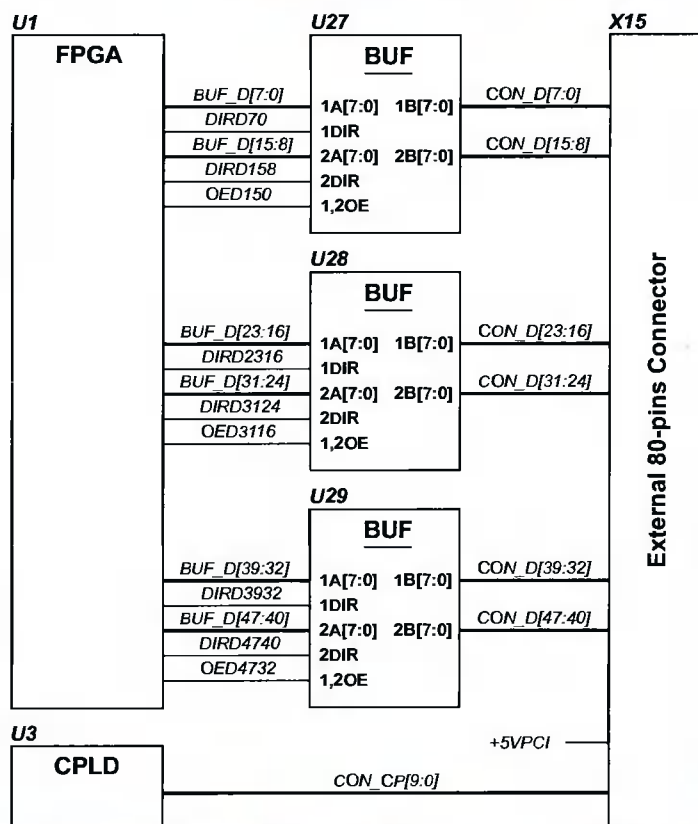


Рис. 5. Цифровые порты модуля XDSP-3PC

- Поддержка средств схемотехнического ввода и моделирования пакета Xilinx Foundation Series.

Интерфейс PCI-контроллера со стороны системной шины PCI строго фиксирован и не может быть изменен пользователем.

Пользовательский интерфейс контроллера очень гибкий и позволяет разработчику достаточно просто подключить свое устройство и осуществить согласование с PCI.

Инициализация основной ПЛИС и тактовые сигналы

Конфигурация основной ПЛИС модуля U1 производится посредством контроллера инициализации, выполненного на ПЛИС Xilinx типа CPLD U3.

Поддерживаются следующие основные режимы конфигурации:

1. Из PC посредством загрузочного кабеля SET-JTAG или кабеля MultiLinx.
2. Из PC посредством загрузочного кабеля с одновременным программированием FLASH-памяти модуля.
3. Из встроенной FLASH-памяти при подаче напряжения питания.
4. Загрузка FLASH-памяти модуля через PCI-интерфейс с последующей автоматической конфигурацией ПЛИС при перезагрузке ПЭВМ.

Выбор режима конфигурации производится заданием комбинации переключателей модуля W1 и W2. Комбинации переключателей, соответствующие вышеперечисленным режимам конфигурации, приведены в табл. 2.

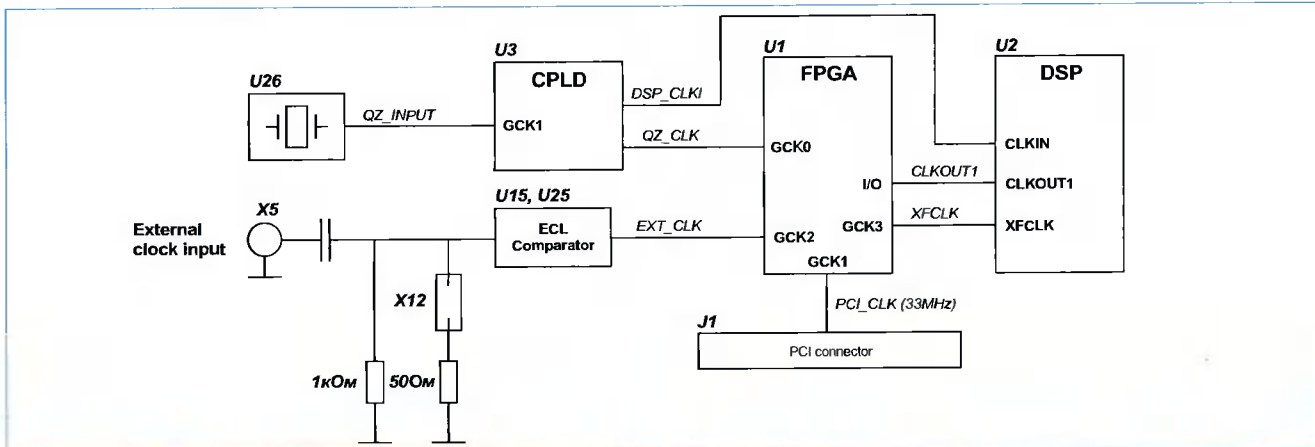


Рис. 6. Схема тактовой синхронизации модуля XDSP-3PC

Для использования вышеуказанных режимов конфигурации модуля при его установке в крейт в комплекте с модулем поставляется технологическая оснастка вынесенного управления режимами конфигурации. Порядок ее использования подробно описан в инструкциях по эксплуатации модуля.

Кроме канала последовательной инициализации на модуле реализован последовательный канал тестирования JTAG IEEE 1149.1 в порядке следования X8FPGA U1CPLD U3, позволяющий производить загрузку как ПЛИС U1 типа FPGA, так и ПЛИС U3 типа CPLD из PC через выделенный порт (разъем X8).

Используемое программное обеспечение – утилита JTAG Programmer пакета проектирования Foundation. При загрузке возможно использование как загрузочного кабеля SET-JTAG в параллельный порт PC, так и кабеля MultiLinX в порт USB.

Параллельно сигналам разъема X8 по желанию заказчика могут быть подключены соответствующие сигналы JTAG шины PCI, что позволяет организовать данный порт непосредственно через системную PCI-шину (при поддержке процессорным модулем данного режима).

Первичными тактовыми сигналами модуля являются:

- опорный сигнал тактового генератора U26 со значением частоты 48 МГц и стабильностью не хуже 50 ppm (данный генератор устанавливается по умолчанию);
- сигнал внешней тактовой синхронизации частотой до 100 МГц с уровнем от 10 мВ, подаваемый на разъем X5;
- тактовый сигнал шины PCI частотой 33 МГц.

Схема передачи тактовых сигналов модуля приведена на рис. 6.

Тактовые сигналы произвольных частот, в том числе с умножением на 2 и 4, могут быть получены в ПЛИС U1 путем использования DLL серии Virtex. По линии DSP_CLKI на тактовый вход ЦПОС CLKIN с CPLD-модуля U3 подается внешний тактовый сигнал с любого из трех вышеперечисленных источников (по умолчанию

48 МГц кварцевого генератора). Посредством PLL в процессоре осуществляются умножения внешней тактовой частоты на 4. Режим умножения (x1 или x4) выбирается посредством задания логического уровня на выводе CLKMODE0 (программируется в CPLD U3). Сигнал внутренней тактовой частоты ЦПОС по линии CLKOUT1 поступает на ПЛИС U1.

На глобальный тактовый буфер ПЛИС U1 с процессора по линии XFCLK поступает тактовый сигнал внешнего FIFO-шины Expansion Bus. На ЦПОС с ПЛИС-модуля по линии XCLKIN подается тактовый сигнал синхронного host-интерфейса Expansion Bus.

Цепь синхронизации от внешнего тактового сигнала выполнена на основе высокоскоростного ЭСЛ-компаратора, позволяющего синхронизироваться как от входного синусоидального сигнала, так и внешнего цифрового сигнала ТТЛ-, КМОП-уровня. Внешний тактовый сигнал подается через разъем модуля X5.

Порог срабатывания компаратора подбирается в пределах от -0,5 В до +0,5 В относительно среднего значения входного сигнала подстройкой резистора модуля R5. Вход компаратора закрыт. Входное сопротивление компаратора составляет 1 кОм, а при установленной перемычке X12 – 50 Ом.

Сервисные возможности и электропитание модуля

На модуле XDSP-3PC реализован ряд сервисных возможностей управления и задания режимов ПЛИС и ЦПОС:

- установлены устройства контроля температуры корпусов ПЛИС, ЦПОС и внутренней температуры крейта;
- установлено устройство контроля напряжений питания (power supervisor) +3,3 В и +1,8 В и формирования сигнала сброса;
- возможность подключения вентиляторов локального охлаждения.

Устройства контроля температуры корпусов ПЛИС и ЦПОС выполнены на специализированных микросхемах фирмы Maxim MAX1617, позволяющих с точностью ±3° С отслеживать изменение температуры в широком диапазоне значений. Температурным датчиком в случае ПЛИС выступает встроенный диод, анод и катод которого заведены на схему MAX1617, а в случае ЦПОС – внешний диод, прикле-

Таблица 2

Режим	W2	W1
1	OFF	OFF
2	OFF	ON
3	ON	OFF
4	ON	ON

иваемый на корпус процессора и подключаемый в разъем модуля W6.

На модуле установлена микросхема контроля напряжения питания +3,3 В и +1,8 В TPS3305-18 из серии Power Supervisor фирмы Texas Instruments. При опускании уровня напряжения питания ниже 2,93 В по цепи +3,3 В и ниже 1,68 В по цепи +1,8 В микросхема формирует сигнал сброса по линии SPS_RST#, заведенной на CPLD U3, одновременно с этим зажигается светодиод VH4. По сигналу SPS_RST# можно также оценить момент подачи и установления питающих напряжений, после чего формировать сигнал программирования ПЛИС и по окончании конфигурации ПЛИС переходить к загрузке ЦПОС из ПЛИС U1.

Электропитание модуля XDSP-3PC осуществляется от напряжений +3,3 В, +5 В и -12 В, подаваемых через шину PCI. Основным цифровым питающим напряжением модуля служит напряжение +3,3 В, подаваемое по линиям разъема PCI 3,3 В.

Цифровое напряжение питания ядер ПЛИС Virtex-E/Virtex-EM и ЦПОС C6202 уровнем +1,8 В вырабатывается посредством преобразователя DC/DC из напряжений PCI +5 В или +3,3 В. Выбор входного напряжения осуществляется установкой переключателя модуля W8 – в случае установки переключателя в положение 1–2 питание осуществляется от напряжения PCI +5 В, в случае установки переключателя в положение 2–3 – от +3,3 В. Питание преобразователя от +5 В позволяет снизить общую нагрузку модуля по шине +3,3 В PCI.

Преобразователь в +1,8 В рассчитан на протекающий ток до 8 А при эксплуатации в коммерческом температурном диапазоне. Напряжение шины PCI +5 В используется для формирования аналоговых напряжений +5 В отдельно для каждого канала АЦП посредством канальных LC-фильтров.

Аналоговое напряжение -5 В для питания операционных усилителей узлов АЦП формируется линейным стабилизатором из напряжения -12 В шины PCI и подается на каналы АЦП через канальные LC-фильтры.

Программное обеспечение модуля

Поставляемое в комплекте модуля программное обеспечение включает в себя следующие компоненты:

- ядро (EDIF-файл) контроллера PCI 33 МГц 32 бита Slave;
- проект-иллюстрацию подключения внутренней памяти и регистров ПЛИС;
- bit-файл проекта-иллюстрации реализации БПФ 4 каналов АЦП на ПЛИС;
- out-файл проекта-иллюстрации вычисления отношения сигнал/шум, реализованного на ЦПОС;
- проект конфигурации ПЛИС модуля из FLASH-памяти, реализованный в CPLD модуля U3;
- проект загрузки ЦПОС из FLASH-памяти модуля;
- библиотеку контроллера памяти типа ZBT SRAM;
- драйвер под PCI-интерфейс для Windows 98 /NT4.0/2000;
- программное обеспечение под Windows для работы с проектами-иллюстрациями;

- оболочку проектирования для пакета Xilinx Foundation;
- командные файлы моделирования тестовых проектов. Дополнительно по желанию заказчика может быть поставлено следующее программное и аппаратное обеспечение:
 - пакет проектирования ПЛИС Xilinx Foundation 4.1i;
 - пакет проектирования ПЛИС Xilinx Foundation ISE 4.1i (ориентирован на HDL-проектирование с синтезатором Xilinx);
 - HDL-модельатор ModelSim Xilinx Edition;
 - средство высокоуровневого синтеза HDL-кода System Generator Xilinx (для работы с ним необходимы MATLAB и Simulink);
 - программное обеспечение внутрисхемного логического анализа и отладки ПЛИС ChipScope Xilinx;
 - пакет проектирования ЦПОС C6000 Code Composer Studio 1.2;
 - проект реализации БПФ 4 каналов АЦП на ПЛИС;
 - проект вычисления отношения сигнал/шум на ЦПОС;
 - ядра (EDIF-файлы) контроллеров из ряда: PCI 33 МГц/32 бита Master, PCI 66 МГц/32 бита Master/Slave;
 - «открытые» версии – M-модули указанных контроллеров PCI;
 - драйвер PCI под Linux либо «на заказ» под иную ОС;
 - широкий спектр ядер партнеров Xilinx Alliance COREs;
 - разработанные проекты по спецификации заказчика;
 - кабель загрузки ПЛИС FPGA/CPLD из PC SET-JTAG-3/5V;
 - внутрисхемный эмулятор ЦПОС Texas Instruments SDSP-PP.

Техническая поддержка

При приобретении модуля специалистами фирмы по желанию заказчика рассматривается структурная схема предполагаемого к реализации устройства и подбирается наиболее оптимальная по стоимости и функциональным возможностям конфигурация платы.

Данный подход позволяет избежать избыточности конфигурации при фиксированной сложности устройства, то есть в случае если не требуется универсальности платы для реализации различных, сильно отличающихся по объему задач.

Кроме того, даются рекомендации по эффективной реализации устройства пользователя и предлагаются альтернативные пути решения требуемой задачи.

По желанию заказчика возможна поставка требуемой конфигурации с любыми совместимыми ПЛИС большей или меньшей степени интеграции. При этом стоимость платы будет варьироваться в зависимости от стоимости установленных кристаллов.

Любые консультации по вопросам эксплуатации модуля и проектированию на ПЛИС Xilinx можно получить, обратившись непосредственно на фирму:

Scan Engineering Telecom

РОССИЯ, 394000

Воронеж, ул. Володарского, 70/50

тел.: (0732) 512-199, тел./факс: (0732) 727-101

E-mail: capt@setdsp.ru ,

Web: <http://www.setdsp.com>

Применение системы MATLAB для синтеза узкополосных нерекурсивных фильтров

И.И. Турулин, Ю.Б. Верич

Введение

В ряде задач цифровой обработки сигналов требуются фильтры с линейной фазочастотной характеристикой (ФЧХ). К таким задачам относятся частотная селекция сигналов, корреляционная обработка, формирование диаграмм направленности антенн и др. Устойчивые БИХ-фильтры (с бесконечной импульсной характеристикой) не могут воспроизвести строго линейную ФЧХ, поэтому в перечисленных областях обычно используются нерекурсивные фильтры (КИХ-фильтры), имеющие конечную длину импульсной характеристики (ИХ) [1]. Однако в случае реализации требований малой неравномерности амплитудно-частотной характеристики (АЧХ) и малой ширины ее переходной полосы длина ИХ оказывается значительной, что ведет к большому числу операций на текущий отсчет выходного сигнала. В [2, 3] рассмотрены методики проектирования, основанные на процессах децимации и интерполяции отсчетов выходного сигнала, которые обладают высокой вычислительной эффективностью при реализации узкополосных фильтров. Вместе с тем этим методикам свойственен ряд недостатков, связанных с появлением шума децимации и погрешности интерполяции. Кроме того, возникают проблемы с непосредственным синтезом фильтров в системе MATLAB.

В [3] предлагается другая методика синтеза узкополосных КИХ-фильтров на основе двухкаскадной и многокаскадной структур цифровых гребенчатых фильтров. Хотя многокаскадная реализация имеет большую степень эффективности по сравнению с двухкаскадной реализацией, неравномерность АЧХ в полосе пропускания при такой структуре пропорциональна числу каскадов, что не всегда приемлемо. Поэтому в тех случаях, когда есть запас по быстродействию, целесообразно воспользоваться двухкаскадной структурой, которая наряду с высокой эффективностью по сравнению с некаскадной реализацией ФНЧ позволяет не только исключить погрешности децимации и интерполяции, но и существенно уменьшить уровень дисперсии собственного шума [3].

Методика

Предложена методика проектирования узкополосных КИХ-фильтров с помощью пакета Signal Processing Toolbox системы MATLAB [4], основанная на двухкаскадной реализации [3]. Методика рассчитана на проектирование фильтров низких частот (ФНЧ) с малой (относительно частоты дискретизации $f_d=1$) граничной

Предлагается методика синтеза узкополосных КИХ-фильтров на основе двухкаскадной реализации с помощью пакета Signal Processing Toolbox системы MATLAB. Приводятся результаты расчета фильтров.

частотой полосы пропускания. Расчет фильтра состоит из нескольких этапов.

1. Задаются параметры исходного фильтра: относительные граничные частоты полос пропускания (f_p) и заграждения (f_s), соответствующие им уровни АЧХ $H(f_p)$ и $H(f_s)$, а также характер неравномерности АЧХ (максимально плоская или с равноволновыми пульсациями). При этом считается, что АЧХ идеального фильтра в полосе пропускания равна единице.
2. По известным относительным частотам рассчитывается коэффициент масштабирования L в первом приближении по формуле

$$L \approx \frac{1}{f_s + f_p + \sqrt{f_s - f_p}}.$$

3. Рассчитываются коэффициенты структуры первого фильтра (Φ_1) для параметров

$$f_{p1} = f_p \cdot L; f_{s1} = f_s \cdot L; H_1(f_{p1}) = \sqrt{H(f_p)}; H_1(f_{s1}) = H(f_s).$$

4. Аналогичным образом рассчитываются коэффициенты структуры второго фильтра (Φ_2) для параметров

$$f_{p2} = f_p; f_{s2} = 1/L - f_s; H_2(f_{p2}) = \sqrt{H(f_p)}; H_2(f_{s2}) = H(f_s).$$

5. Искомый фильтр получается каскадным соединением фильтров Φ_1 и Φ_2 . В фильтре Φ_1 все задержки увеличиваются в L раз, т.е. разностное уравнение преобразованного фильтра Φ_1 будет

$$y_n = \sum_{m=0}^{M_1 \cdot L} a_m \cdot x_{n-m \cdot L}$$

где M_1 – порядок (длина КИХ) исходного фильтра Φ_1 , a_m – его коэффициенты; x_n – входной; y_n – выходной сигналы.

Полученный фильтр требует примерно $M_1 + M_2$ сложений и умножений на отсчет сигнала, где M_1 – порядок фильтра Φ_1 ; M_2 – порядок фильтра Φ_2 . Выигрыш по числу операций на отсчет сигнала в сравнении с традиционным нерекурсивным фильтром будет примерно в $M/(M_1 + M_2)$ раз, где M – порядок ФНЧ реализованного по некаскадной структуре.

В результате увеличения длины импульсной характеристики фильтра Φ_1 его АЧХ сжимается по оси частот в L раз, в результате чего фильтр становится гребенчатым (рис. 1). Полученный фильтр при $0 \leq f/f_d \leq 0,5$ имеет L

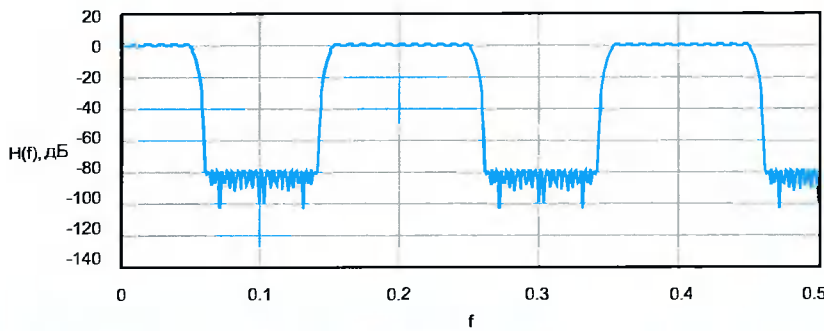


Рис. 1. АЧХ фильтра Φ_1 , полученного в результате увеличения всех задержек структуры фильтра в L раз

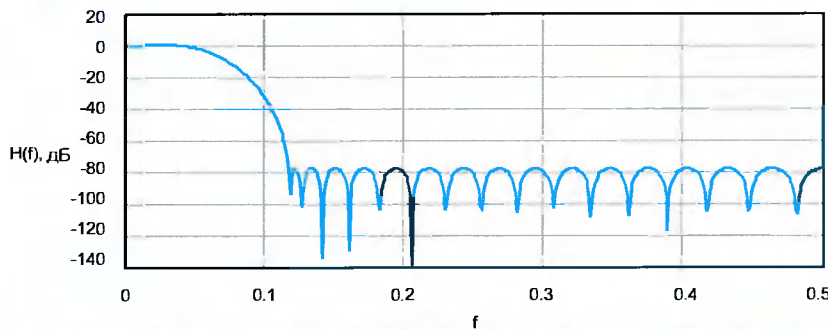


Рис. 2. АЧХ фильтра Φ_2 с относительно небольшой крутизной в переходной полосе

полос пропускания при четном L и $L-1$ – при нечетном. При этом крутизна АЧХ в переходной полосе будет такой же, как и у исходного фильтра. АЧХ фильтра Φ_2 имеет существенно меньшую крутизну в переходной полосе (рис. 2). Таким образом фильтр Φ_1 обеспечивает требуемую крутизну АЧХ при в L раз меньшем числе операций по сравнению с традиционной реализацией, а фильтр Φ_2 подавляет дополнительные полосы при невысокой крутизне переходной полосы, а значит, и небольшом числе операций. В результате каскадного соединения фильтров Φ_1 и Φ_2 их АЧХ перемножаются, и тем самым реализуется АЧХ фильтра нижних частот с крутым спадом в переходной полосе (рис. 3).

Дополнительно отметим следующее. Поскольку собственный шум на выходе двухкаскадной структуры определяется сглаживающими свойствами выходного каскада, то в качестве последнего целесообразно использовать фильтр Φ_2 , который лучше (примерно в \sqrt{L} раз)

подавляет шумы квантования, чем гребенчатый фильтр Φ_1 .

Уровень АЧХ на границе полосы пропускания искомого фильтра будет равен

$$H_1(f_{p1}) \cdot H_2(f_{p2}) = \sqrt{H(f_p)} \cdot \sqrt{H(f_p)} = H(f_p),$$

т.е. будет соответствовать заданному уровню.

Примеры

С помощью данного метода были рассчитаны фильтры со следующими параметрами

- 1) $f_p=0,02$; $f_s=0,04$;
 $H(f_p)=-1$ дБ;
 $H(f_s)=-80$ дБ, $M=253$.
- 2) $f_p=0,01$; $f_s=0,02$;
 $H(f_p)=-1$ дБ;
 $H(f_s)=-80$ дБ, $M=506$.
- 3) $f_p=0,01$; $f_s=0,015$;
 $H(f_p)=-1$ дБ;
 $H(f_s)=-80$ дБ, $M=1012$.

В случае применения предлагаемой методики выигрыш по числу операций в сравнении с традиционным нерекурсивным фильтром составил

- в первом случае в $k_1=2,91$ раза;
- во втором случае в $k_2=4,34$ раза;
- в третьем случае в $k_3=6$ раз.

Заключение

Таким образом, предложенная методика проектирования узкополосных КИХ-фильтров в системе MATLAB позволяет существенно повысить эффективность их моделирования, расчета и последующей технической реализации.

Литература

1. Гольденберг Л.М., Матюшкин Б.Д., Поляк М.Н. Цифровая обработка сигналов. М.: Радио и связь, 1990. – 256 с.
2. Крошьер Р.Е., Рабинер Л.Р. Интерполяция и децимация цифровых сигналов. Методический обзор. – ТИИЭР, 1981, т. 69, №3, с. 14–49.
3. Витязев В.В. Цифровая частотная селекция сигналов. – М.: Радио и связь, 1993. – 240 с.
4. Рудаков П.И., Сафонов В.И. Обработка сигналов и изображений. MATLAB 5.x. М.: ДИАЛОГ-МИФИ, 2000. – 416 с.

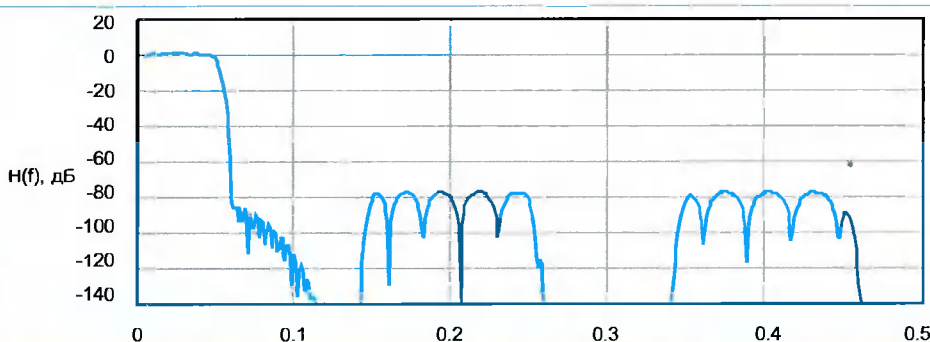


Рис. 3. АЧХ фильтра, полученного в результате каскадного включения Φ_1 и Φ_2

УДК 621.395

Логическое устройство стартового набора TMS320VC5416 DSK. Использование элементов памяти стартового набора и внешних элементов памяти для расширения общего пространства памяти

А.А. Рыболовлев, В.Г. Трубицын

Введение

Применение стартового набора TMS320VC5416 DSK в практике подготовки специалистов в области цифровой обработки сигналов (ЦОС) подразумевает формирование у обучаемых навыков использования конструктивных возможностей DSK при реализации цифровых алгоритмов [1]. Одними из основных элементов стартового набора, уровень использования которых во многом определяет степень оптимизации разрабатываемых устройств ЦОС, являются логическое устройство, реализованное на программируемой логической интегральной схеме (ПЛИС) типа CPLD, и система памяти в составе ПЗУ (Flash ROM) и статического ОЗУ (SRAM) [2, 3]. Предлагаемая статья раскрывает особенности указанных элементов DSK, знание которых позволяет повысить эффективность конструирования цифровых устройств на основе TMS320VC5416 DSK.

Логическое устройство стартового набора TMS320VC5416 DSK

Функциональное предназначение логического устройства описано в [2]. Структура взаимосвязей логи-

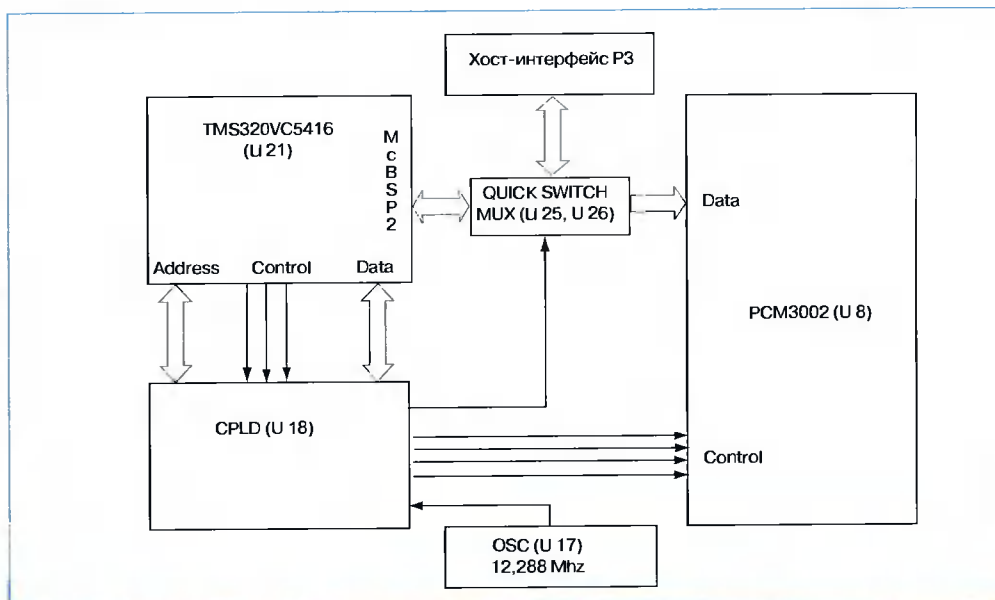


Рис 1. Структура взаимосвязей логического устройства с процессором и ИКМ-кодеком

ческого устройства с процессором и ИКМ-кодеком представлена на рис. 1.

Логическое устройство (U18) отображается в адресном пространстве сегмента I/O процессора по адресам от 0x0000 до 0x0007 и содержит восемь 8-разрядных регистров. Наименования разрядов регистров CPLD в табл. 1.

1. Регистр пользователя DSP USER_REG (адрес I/O 0x0000) Этот регистр управляет состоянием четырех светодиодов и состоянием четырех позиций выключателя S2. Табл. 2 определяет функции каждого бита в регистре USER_REG.

Таблица 1. Наименования разрядов регистров CPLD

Имя рег-ра	USER_REG	DC_REG	CODEC_L	CODEC_H	VERSION	DM_CNTL	MISC	CODEC_CLK
1	2	3	4	5	6	7	8	9
Бит 7	USR_SW3 R	DC_DET R			CPLD_VER[3.0] R	DM_SEL R/W 0 (int)	CODEC_RDY R	0
Бит 6	USR_SW2 R	DC_IO_CTL R/W	CODEC_L_CM D[7..0] R/W	CODEC_H_CM D[15..8] R/W		MEM - TYPE_DS R/W 0 (flash)	0	0

1	2	3	4	5	6	7	8	9
Бит 5	USR_SW1 R	DC_STAT1 R	0	0		MEM - TYPE_PS R/W 0 (flash)	0	0
Бит 4	USR_SW0 R	DC_STAT0 R				DM_PG4 R/W 0 (page 0)	0	0
Бит 3	USR_LED3 R/W	DC_RST R 0 (при сбросе)			0	DM_PG3 R/W 0 (page 0)	0	DIV_SEL R/W
Бит 2	USR_LED2 R/W	0			BOARD VERSION[2.0] R	DM_PG2 R/W 0 (page 0)	DC_WIDE R/W 0 (16 bits)	CLK_STOP R/W
Бит 1	USR_LED1 R/W	DC_CNTL1 R/W 0 (low)				DC32-ODD R/W 0 (even)	DC32-ODD R/W 0 (even)	CLK_DIV1 R/W
Бит 0	USR_LED0 R/W	DC_CNTL0 R/W 0 (low)				DM_PG0 R/W 0 (page 0)	BSP2SEL R/W	CLK_DIV0 R/W

Таблица 2. Функциональные значения битов регистра USER_REG

Бит	Имя	Чтение / запись	Описание
7	USER_SW3	Чтение (R)	Выключатель пользователя S2-4 (1 = Off, 0=On)
6	USER_SW2	Чтение (R)	Выключатель пользователя S2-3 (1 = Off, 0=On)
5	USER_SW1	Чтение (R)	Выключатель пользователя S2-2 (1 = Off, 0=On)
4	USER_SW0	Чтение (R)	Выключатель пользователя S2-1 (1 = Off, 0=On)
3	USER_LED3	Чтение / запись (R/W)	Определяемый пользователем светодиод D12 (0=Off, 1=On)
2	USER_LED2	Чтение / запись (R/W)	Определяемый пользователем светодиод D11 (0=Off, 1=On)
1	USER_LED1	Чтение / запись (R/W)	Определяемый пользователем светодиод D10 (0=Off, 1=On)
0	USER_LED0	Чтение / запись (R/W)	Определяемый пользователем светодиод D9 (0=Off, 1=On)

Таблица 3. Функциональное значение битов регистра DC_REG

Бит	Имя	Чтение/запись	Описание
7	DC_DET	Чтение (R)	Обнаружение дочерней платы (0=плата не обнаруживается, 1= плата обнаруживается)
6	DC_IO_CTL	Чтение / Перезапись (R/W)	0=дочерняя плата отсутствует, 1=дочерняя плата активна для чтения и записи
5	DC_STAT1	Чтение (R)	Состояние дочерней платы 1 (0=low, 1=high)
4	DC_STAT0	Чтение (R)	Состояние дочерней платы 0 (0=low, 1=high)
3	DC_RST	Чтение / Перезапись (R/W)	Сброс дочерней платы (1=Reset Active Low)
2	0	Чтение (R)	Всегда ноль
1	DC_CNTL1	Чтение / Перезапись (R/W)	Управление дочерней платы 1 (0=low, 1=high)
0	DC_CNTL0	Чтение / Перезапись (R/W)	Управление дочерней платы 0 (0=low, 1=high)

2. Регистр управления дочерней платы процессора DC_REG (адрес I/O 0x0001)

Регистр DC_REG обеспечивает контроль пользователя относительно двух выводов управления дочерних плат, на которых действуют: сигнал сброса дочерней платы, сигнал поиска дочерней платы и сигналы состояния. Табл. 3 определяет функции каждого бита в регистре DC_REG.

3. Регистры управления ИКМ-кодеком CODEC_L_CMD (адрес I/O 0x0002) и CODEC_H_CMD (адрес I/O 0x0003)

Эти регистры используются для чтения и записи кодов команд, посылаемых на кодек PCM3002. Два 8-разрядных регистра формируют 16-битные команды управления ИКМ-кодеком.

4. Регистр версии Version (адрес I/O 0x0004)

Этот регистр содержит два кода версии DSK. Код версии CPLD находится в четырех верхних разрядах этого регистра. Код версии CPLD транслируется в устройство в течение компиляции VHDL-источника. Код версии платы читается от трех низших разрядов этого регистра. Версия платы установлена в течение трансляции платы.

**Таблица 4. Функциональное значение битов регистра Version**

Бит	Имя	Чтение	Описание
7	CPLD_VER3	R	Старший бит версии CPLD
6	CPLD_VER3	R	Бит версии CPLD
5	CPLD_VER3	R	Бит версии CPLD
4	CPLD_VER3	R	Младший бит версии CPLD
3	0	R	Всегда нуль
2	DSK_VER2	R	Старший бит версии платы DSK
1	DSK_VER2	R	Бит версии платы DSK
0	DSK_VER2	R	Младший бит версии платы DSK

Таблица 5. Функциональное значение битов регистра MISC

Бит	Имя	Чтение/запись	Описание
7	CODEC Ready	Чтение (R)	Передача команды готовности кодека (0 = готов, 1 = неготов)
6	0	Чтение (R)	Всегда нуль
5	0	Чтение (R)	Всегда нуль
4	0	Чтение (R)	Всегда нуль
3	0	Чтение (R)	Всегда нуль
2	DC_WIDE	Чтение / запись (R/W)	Выбор формата адресации памяти данных дочерней платы (0=16 бит, 1=32 бита)
1	DC32_ODD	Чтение / запись (R/W)	Режим доступа 32-разрядных адресов дочерних плат (0=четные, 1=нечетные)
0	BSP2SEL	Чтение / запись (R/W)	Выбор режима коммутации McBSP2 (0= канал передачи данных кодека PCM3002, 1= данные дочерней платы)

5. Регистр управления памятью данных и памятью программ DM_CTRL (адрес I/O 0x0005)
Функциональное назначение регистра DM_CTRL представлено в [2].

6. Регистр управления MISC (адрес I/O 0x0006)
Регистр MISC содержит функциональные биты, которые управляют форматом адресации сегмента памяти данных, осуществляют выбор режима коммутации порта McBSP2 процессора и контроль состояния готовности кодека. Разряды DC_WIDE определяют, являются ли доступы ввода/вывода пространства памяти данных дочерней платы 16- или 32-разрядными. Когда выбран 32-разрядный режим, внешняя память данных платы DSK и доступы ввода/вывода подключены к дочерней плате, основанной на выборе DC_32ODD.

Разряд DC_32ODD выбирает, относятся ли 32-разрядные доступы дочерних плат к четному (в разряде – 0) или к нечетному (в разряде –1) адресу. Этот выбор необходим для осуществления доступов к памяти данных и выбору ввода/вывода дочерней платы в соответствующее время. Если осуществляется 32-разрядный доступ дочерней платы к нечетному адресу, тогда в разряде DC_32ODD должна быть установлена 1, в противном случае когда разряд DC_32ODD установлен в 0, доступ выполняется к четному адресу. Для осуществления записи данных в память дочерней платы 32-разрядные доступы имеют старшие 16 разрядов плюс 1, которые определяют адрес назначения, а младшие 16 разрядов (данные) должны быть записаны по этому адресу назначения. Для 32-разрядной записи в память дочерней платы по адресу 0x8000 разряд DC_32ODD должен принимать нулевое значение,

старшее слово (16 старших разрядов MSW) должно быть записано по адресу 0x8001, а младшее слово (LSW) – по адресу 0x8000. При чтении данных с памяти дочерней платы сначала считываются младшие 16 разрядов 32-разрядных доступов, определяющих исходный адрес источника, а затем старшие 16 разрядов должны читаться из источника по этому адресу плюс 1. Например, для 32-разрядного чтения памяти дочерней платы по адресу 0x8001 разряд DC_32ODD должен быть установлен в 1, LSW должно читаться от адреса 0x8001, а MSW – от адреса 0x8002.

Разряд CODEC_RDY определяет состояние готовности или неготовности кодека PCM3002. Разряд BSP2SEL задает режим коммутации порта McBSP: используется ли порт McBSP в процессорах TMS320VC5416 как канал передачи данных к кодеку PCM3002, расположенному на плате DSK, или данные от порта McBSP будут направлены на хост-интерфейс (P3).

7. Регистр управления выбором частоты дискретизации CODEC_CLK (адрес ввода/вывода: 0x0007)
Этот регистр задает коэффициент деления тактовой частоты и осуществляет выбор частоты дискретизации ИКМ-кодека PCM3002.

Использование элементов памяти стартового набора и внешних элементов памяти для расширения общего пространства памяти

Реализация большого числа алгоритмов цифровой обработки сигналов, особенно в ресурсоемких приложениях, требует организации в исполнительном устройстве пространства памяти с объемом, значительно превышающим объем внутренней памяти процессора. Стандартной процедурой в таких случаях явля-

Таблица 6. Функциональное значение битов регистра CODEC_CLK

Бит	Имя	Чтение/запись	Описание
7	0	Чтение (R)	Всегда ноль
6	0	Чтение (R)	Всегда ноль
5	0	Чтение (R)	Всегда ноль
4	0	Чтение (R)	Всегда ноль
3	DIV_SEL	Чтение / запись (R/W)	1= делящиеся часы кодека, выбранная норма (разрядность, скорость) устанавливается битом CLK_DIV; 0=часы входа кодека те же самые как и часы выхода кодека
2	CLK_STOP	Чтение / запись (R/W)	Остановка
1	CLK_DIV1	Чтение / запись (R/W)	00=коэффициент деления (КД)-2 (fs=24кГц), 01=КД-4
0	CLK_DIV0	Чтение / запись (R/W)	(fs=12кГц), 10= КД-6 (fs=8кГц), 11= КД-8 (fs=6кГц)

Таблица 7. Формирование адресов Flash ROM, используемого в сегменте DM

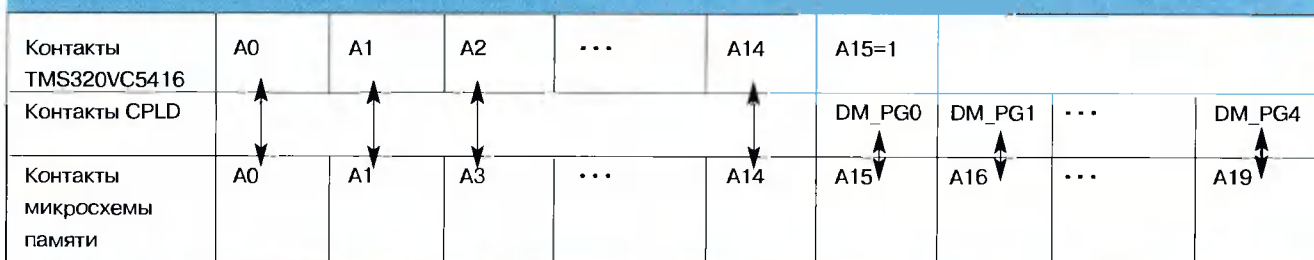


Таблица 8. Адресация Flash ROM в сегменте DM

Диапазон адресов	Регистр PMST процессора	Регистр DM_CTRL логического устройства DSK			Область Flash ROM
	DROM	DM_PG 4 - DM_PG 0	DM_SEL	MEMTYPE_DS	
От 0x8000 до 0xFFFF	0	00000	0	0	F_PAGE 0
От 0x8000 до 0xFFFF	0	00001	0	0	F_PAGE 1
От 0x8000 до 0xFFFF	0	00010	0	0	F_PAGE 2
От 0x8000 до 0xFFFF	0	00011	0	0	F_PAGE 3
От 0x8000 до 0xFFFF	0	00100	0	0	F_PAGE 4
От 0x8000 до 0xFFFF	0	00101	0	0	F_PAGE 5
От 0x8000 до 0xFFFF	0	00110	0	0	F_PAGE 6
От 0x8000 до 0xFFFF	0	00111	0	0	F_PAGE 7

ется использование внешних по отношению к процессору элементов памяти. Выбор TMS320VC5416 DSK в качестве аппаратного средства реализации цифровых алгоритмов позволяет применять для расширения общего пространства памяти конструируемого устройства как внешние (дочерние) модули памяти, так и Flash ROM и SRAM, входящие в состав модуля стартового набора.

Применение Flash ROM стартового набора

Flash ROM стартового набора, имеющая емкость в 256 Кслов, программно помещается в сегменты памяти данных (DM) или памяти программ (PM). Функционально Flash ROM разделяется на восемь блоков по 32 Кслов, именуемых как страницы F_PAGE 0 – F_PAGE 7

При использовании в сегменте DM блоки Flash ROM помещаются в адресные области от 0x8000 до 0xFFFF первых восьми страниц памяти данных. Выбор номера страницы определяется соответствующими разрядами регистра DM_CTRL логического устройства DSK. Номер страницы, формируемый этим регистром, поступает на контакты A15 – A19 Flash ROM через мульти-

плексоры U14 и U15. Порядок формирования адресов Flash ROM в сегменте DM показан в табл. 7.

Существенно, что используемая область адресации внешней DM (от 0x8000 до 0xFFFF) обуславливает наличие сигнала «1» на контакте A15 процессора. Адресация Flash ROM в сегменте DM представлена табл. 8.

При использовании Flash ROM в сегменте PM область выделяемых адресов распространяется от 0x000000 до 0x03FFFF, что соответствует объему в 256 Кслов. Адреса страниц PM, формируемые на контактах A16 – A22 процессора, поступают на соответствующие контакты микросхемы Flash ROM через мультиплексоры U14 и U15. В табл. 9 показана адресация Flash ROM в сегменте PM.

Применение SRAM стартового набора

Память SRAM стартового набора, имеющая емкость 64 Кслов, функционально разделяется на два блока по 32 Кслов, которые именуется как страницы SR_PAGE 0 и SR_PAGE 1. SRAM программно помещается в сегменты DM или PM. Номера страниц, формируемые процессором или логическим устройством DSK, поступают на микросхему SRAM через мультиплексоры U14 и

Таблица 9. Адресация Flash ROM в сегменте PM

Номер страницы PM	Диапазон адресов	Регистр PMST процессора		Регистр DM_CTRL	Область Flash ROM
		MP/MC	OVLV	MEMTYPE_PS	
0	От 0x000000 до 0x007FFF		0	0	F_PAGE 0
	От 0x008000 до 0x00BFFF			0	F_PAGE 1
	От 0x00C000 до 0x00FFFF	1		0	F_PAGE 1
1	От 0x010000 до 0x017FFF		0	0	F_PAGE 2
	От 0x018000 до 0x01FFFF	1		0	F_PAGE 3
2	От 0x020000 до 0x027FFF		0	0	F_PAGE 4
	От 0x028000 до 0x02FFFF	1		0	F_PAGE 5
3	От 0x030000 до 0x037FFF		0	0	F_PAGE 6
	От 0x038000 до 0x03FFFF	1		0	F_PAGE 7

Таблица 10. Адресация SRAM в сегменте DM

Диапазон адресов	Регистр PMST	Регистр DM_CTRL логического устройства DSK			Область SRAM
	DROM	DM_PG 4 – DM_PG 0	DM_SEL	MEMTYPE_DS	
От 0x8000 до 0xFFFF	0	00000	0	1	SR_PAGE 0
От 0x8000 до 0xFFFF	0	00001	0	1	SR_PAGE 1

Таблица 11. Адресация SRAM в сегменте PM

Номер страницы PM	Диапазон адресов	Регистр PMST процессора		Регистр DM_CTRL	Область SRAM
		MP/MC	OVLV	MEMTYPE_PS	
0	От 0x000000 до 0x007FFF		0	1	SR_PAGE 0
	От 0x008000 до 0x00BFFF			1	SR_PAGE 1
	От 0x00C000 до 0x00FFFF	1		1	SR_PAGE 1

U15. Одним из основных предназначений SRAM является поддержка режима прямого доступа к памяти (DMA – Direct Memory Access).

При использовании SRAM в сегменте DM выбор страниц осуществляется с помощью разрядов DM_PG 0 – DM_PG 4 регистра DM_CTRL логического устройства DSK. Полное формирование адреса ячейки SRAM соответствует порядку, представленному в табл. 6. Адресация SRAM в сегменте DM представлена в табл. 10.

При использовании SRAM в сегменте PM номера страниц формируются на контактах A16 – A22 процессора. Адресация SRAM в сегменте PM представлена в табл. 11.

Применение внешних (дочерних) модулей памяти

Стартовый набор TMS320VC5416 DSK поддерживает стандартный интерфейс взаимодействия с внешними (дочерними) модулями памяти, которые могут исполь-

зоваться как в сегменте PM в режиме 16-битного обмена, так и в сегменте DM и сегменте «вход/выход» (I/O) в режимах 16- и 32-битного обмена. Предотвращение конфликтов доступа к внешним модулям памяти обеспечивается использованием генератора задержек.

Адресация внешних модулей памяти в сегменте PM представлена в табл. 12. Существенно, что в этом сегменте адресное пространство от 0x000000 до 0x3FFFFFF выделено для элементов памяти процессора и DSK. Следовательно, режим использования внешних модулей памяти в сегменте PM характеризуется наличием на контакте A22 процессора потенциала «1».

Разрешение на использование внешних модулей памяти в сегменте DM формируется командами DROM = 0 (регистр PMST процессора) и DM_SEL = 1 (регистр DM_CTRL логического устройства DSK). Адресация внешних модулей памяти в сегменте DM представлена в табл. 13.

Использование внешних модулей памяти в сегменте I/O (адреса от 0x8000 до 0xFFFF) обуславливает наличие

Таблица 12. Адресация внешних модулей памяти в сегменте PM

Номер страницы PM	Диапазон адресов	Разряд OVLV регистра PMST	Адресуемое устройство
65	От 0x400000 до 0x407FFF	0	Внешний модуль памяти
	От 0x408000 до 0x40FFFF		Внешний модуль памяти
66	От 0x410000 до 0x417FFF	0	Внешний модуль памяти
	От 0x418000 до 0x41FFFF		Внешний модуль памяти
...
127	От 0x7F0000 до 0x7F7FFF	0	Внешний модуль памяти
	От 0x7F8000 до 0x7FFFFF		Внешний модуль памяти

на контакте A15 процессора потенциала «1». В табл. 14 показана адресация внешних модулей памяти в сегменте I/O.

Применение программируемого генератора задержек

Для согласования TMS320VC5416 с разноскоростной внешней периферией, включая модули памяти, по длительностям циклов обмена используется программируемый генератор задержек процессора. Режим функционирования генератора задается 16-разрядными регистрами SWWSR (Software Wait State Register) и SWCR (Software Wait State Control Register) процессора, адреса которых организационно включены в сегмент DM (0x0028 и 0x002B соответственно). Состояние регистра SWWSR определяет начальную величину за-

держек, выраженную числом периодов тактовой частоты процессора (от 0 до 7), для групп устройств, прописанных в пяти областях адресного пространства сегментов I/O, DM и PM. Стандартное начальное состояние регистра подразумевает величину задержки для всех адресных областей, равную 7 периодам тактовой частоты. Разряд SWSM (Software Wait State Multiplier) регистра SWCR определяет коэффициент масштабирования величины задержки, равный 1 или 2. Таким образом, генератор задержек способен формировать циклы обмена (периоды ожидания) длительностью до 14 периодов тактовой частоты процессора. Взаимодействие TMS320VC5416 с внешними модулями, требующими более длительные циклы обмена, может быть организовано только с задействованием контакта READY процессора. В табл. 15 и 16 представлены на-

Таблица 13. Адресация внешних модулей памяти в сегменте DM

Диапазон адресов	Регистр DM_CTRL	Регистр MISC		Адресуемое устройство
	DM_PG 4 - DM_PG 0	DC_WIDE	DC32_ODD	
От 0x8000 до 0xFFFF	00000-11111 (страницы 0-31)	0		Внешний модуль памяти в режиме 16-битного обмена
От 0x8000 до 0xFFFF	00000-11111 (страницы 0-31)	1	0	Внешний модуль памяти в режиме 32-битного обмена при четных адресах
От 0x8000 до 0xFFFF	00000-11111 (страницы 0-31)	1	1	Внешний модуль памяти в режиме 32-битного обмена при нечетных адресах

Таблица 14. Адресация внешних модулей памяти в сегменте I/O

Диапазон адресов	Регистр MISC		Адресуемое устройство
	DC_WIDE	DC32_ODD	
От 0x8000 до 0xFFFF	0		Внешний модуль памяти в режиме 16-битного обмена
От 0x8000 до 0xFFFF	1	0	Внешний модуль памяти в режиме 32-битного обмена при четных адресах
От 0x8000 до 0xFFFF	1	1	Внешний модуль памяти в режиме 32-битного обмена при нечетных адресах

Таблица 15. Функциональное значение и начальное состояние разрядов регистра SWWSR

Разряд	Наименование разрядов	Начальное состояние	Функциональное назначение
15	XPA	0	Расширение адресов PM для разрядов 5-0
14-12	I/O	111	Выбор базовой величины задержки для устройств памяти сегмента I/O
11-9	DM	111	Выбор базовой величины задержки для устройств внешней памяти сегмента DM, имеющих адреса от 0x8000 до 0xFFFF
8-6	DM	111	Выбор базовой величины задержки для устройств внешней памяти сегмента DM, имеющих адреса от 0x0000 до 0x7FFF
5-3	PM	111	Выбор базовой величины задержки для устройств внешней памяти сегмента PM, имеющих адреса от 0x8000 до 0xFFFF (при XPA=0). При XPA = 1 задержка не используется
2-0	PM	111	Выбор базовой величины задержки для устройств внешней памяти сегмента PM, имеющих адреса: <ul style="list-style-type: none"> • от 0x0000 до 0x7FFF (при XPA=0); • от 0x0000 до 0xFFFF (при XPA=1)

Таблица 16. Функциональное значение и начальное состояние разрядов регистра SWCR

Разряд	Наименование разрядов	Начальное состояние	Функциональное назначение
15–1		0000000000000000	Резерв
0	SWSM	0	Выбор коэффициента масштабирования для базовой величины задержки: SWSM = 0 → масштабирующий коэффициент равен 1, максимальная величина задержки составляет 7 периодов тактовой частоты процессора; SWSM = 1 → масштабирующий коэффициент равен 2, максимальная величина задержки составляет 14 периодов тактовой частоты процессора

Таблица 17. Требуемые длительности циклов обмена для элементов TMS320VC5416 DSK

Элемент DSK	Длительность цикла доступа, нс	Длительность цикла декодирования, нс	Полная длительность цикла обмена, нс
SRAM	12	10	22
Flash ROM	70	10	80
Логическое устройство (CPLD)	60		60

Таблица 18. Минимальные величины задержек для элементов TMS320VC5416 DSK

Тактовые частоты процессора, МГц	Периоды тактовых частот, нс	Минимальные величины задержек, выраженные числом периодов тактовых частот, в различных режимах функционирования интерфейса внешней памяти процессора (режим CLKOUT / режим CLKOUT/2)		
		SRAM	Flash ROM	CPLD
160	6,25	4 / 2	13 / 7	10 / 5
120	8,33	3 / 2	10 / 5	8 / 4
96	10,42	3 / 2	8 / 4	6 / 3
48	20,83	2 / 1	4 / 2	3 / 2

значения разрядов регистров SWWSR и SWCR (все разряды доступны разработчику).

Требуемые длительности циклов обмена для элементов стартового набора (табл. 17), определяемые

используемой элементной базой, позволяют определить необходимые минимальные величины задержек (табл. 18), выраженные в числе периодов возможных тактовых частот процессора.

Литература

1. Солонина А., Улахович Д., Яковлев Л. Алгоритмы и процессоры цифровой обработки сигналов. – СПб.: БХВ-Петербург, 2001. – 464 с.
2. Рыболовлев А. А., Трубицын В. Г. Стартовый набор TMS320VC5416 DSK. Состав, основные характеристики и возможности. Организация памяти. // Цифровая обработка сигналов, 2003, №2.
3. TMS320VC5416 DSK. Technical Reference. – Stafford: Spectrum digital Inc., 2002. – 82 p.

Новости DSP компаний Analog Devices и Texas Instruments

Analog Devices Новые модели сигнальных процессоров семейства Blackfin

Семейство сигнальных процессоров Blackfin, выпущенное компанией Analog Devices (ADI) сравнительно недавно, уже вызвало повышенный интерес разработчиков цифровых систем. Построенное по так называемой микросигнальной архитектуре (Micro Signal Architecture – MSA), разработанной компаниями ADI и Intel, семейство Blackfin характеризуется совмещенным набором команд управления и сигнальной обработки. Динамическое регулирование рабочей частоты и напряжения питания процессора существенно снижает энергозатраты при эксплуатации готовых изделий. Основной сферой применения процессоров Blackfin считается мобильная связь с предоставлением услуг мультимедиа и Интернет. Однако эти процессоры могут использоваться и в других традиционных областях применения DSP.

В 2003 г. обозначение сигнальных процессоров Blackfin было заменено новым: ADSP-BFxxx. Так, например, процессор ADSP-21535 – первый представитель семейства – теперь стал именоваться ADSP-BF535. Это изменение в обозначениях может оказаться существенным при переходе к новым версиям программных инструментов, например VisualDSP++ 3.1.

В марте 2003 г. компанией ADI было объявлено о появлении новых моделей процессоров Blackfin – ADSP-BF533 и ADSP-BF531. Развитие семейства велось, с одной стороны, по пути повышения производительности процессоров (ADSP-BF533), а с другой – по пути снижения стоимости кристалла (ADSP-BF531).

Сигнальный процессор ADSP-BF533 характеризуется рабочей частотой

Статья посвящена обзору новых разработок компаний Analog Devices и Texas Instruments в области цифровых сигнальных процессоров и программно-аппаратных средств их поддержки. Обзор сделан на основе материалов, представленных компаниями в сети Интернет, и охватывает период март – июнь 2003 г.

600 МГц и способен осуществлять 1,2 млрд. операций умножения с накоплением в секунду (GMACS). Процессор является самым мощным в своем семействе. Он способен обеспечивать многоканальную обработку аудиосигналов и видеостандарт VGA/D1. Быстрая внутренняя память уровня L1 имеет объем 148 кбайт. Архитектура процессора представлена на рис. 1 (совместно с ADSP-BF531). Рекомендуемые области применения включают:

- системы технического зрения;
- широкополосные системы радиосвязи;
- мультимедийные устройства;
- цифровые видеомагнитофоны;
- многоканальные системы VoIP;
- системы безопасности и наблюдения;
- абонентские приставки цифрового телевидения;
- оборудование видеоконференц-связи.

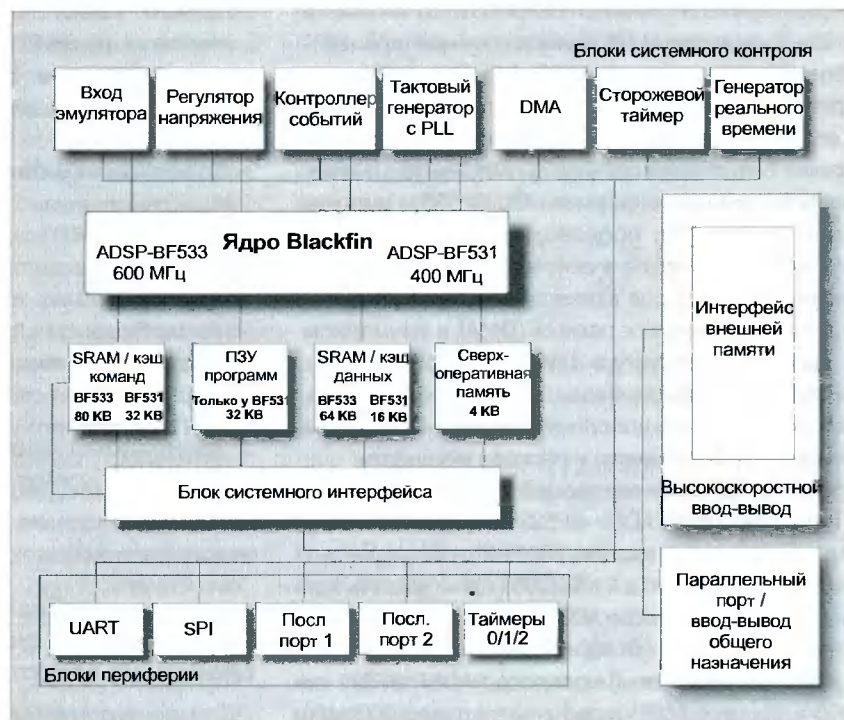


Рис. 1. Архитектура сигнальных процессоров ADSP-BF533/BF531

Сигнальный процессор ADSP-BF531 имеет самую низкую стоимость в семействе Blackfin – \$4,95 при покупке в партиях. Он характеризуется оптимальным соотношением производительности, интегрированной на кристалле периферии и цены. Выпускаются модификации процессора с рабочей частотой 300 МГц (600 MMACS – миллионов операций умножения с накоплением в секунду) и 400 МГц (800 MMACS). Процессор способен обеспечивать многоканальную обработку аудиосигналов и видеостандарт CIF. Внутренняя память уровня L1 имеет объем 84 кбайта. На рис. 1 показана архитектура процессора (совместно с ADSP-BF533). Рекомендуемые сферы применения:

- биометрические системы;
- бытовые аудиосистемы;
- терминалы электронной почты;
- встраиваемые модемные устройства;
- игровое и обучающее оборудование;
- информационные системы;
- промышленное управление;
- портативное испытательное оборудование;
- web-терминалы.

Оба процессора имеют внутрикристальный регулятор напряжения ядра, позволяющий осуществлять программное управление режимами расхода мощности. Напряжение варьируется в диапазоне 0,7–1,2 В и снимается с одного входа питания, относящегося и к устройствам периферии. Все это позволяет существенно снизить себестоимость изготовления устройств и стоимость эксплуатации готовых изделий. Оба процессора совместимы по кодам и по выводам с сигнальным процессором ADSP-BF532.

Новые модели процессоров поддерживают встраиваемые операционные системы Embedded Linux, ThreadX и Nucleas. Благодаря высокой вычислительной производительности на процессорах возможна реализация таких алгоритмов, как MPEG-4, H.264 и Windows Media. Высокая интеграция периферии на кристалле разрешает подключение без дополнительных компонентов линеек видеокодеров/декодиров формата ITU-R 656 и высокоскоростных АЦП/ЦАП с производительностью до 65 MSPS (миллионов отсчетов в секунду). Важной особенностью новых процессоров является возможность организации прямого доступа к памяти (DMA) в двумерном режиме. Двумерная структура DMA оказывается очень полезной при организации ввода/вывода видеоданных, позволяя сэкономить на дополнительном программном обеспечении, затратах памяти и расходе мощности.

В инженерных образцах все процессоры уже могут быть приобретены. Процессор ADSP-BF533 в корпусе Mini-BGA, 12×12 мм, 160 выводов с частотой 600 МГц оценивается в \$19,95, а с частотой 500 МГц – в \$16,95 (цены указаны при покупке в партиях). Процессор ADSP-BF531 в корпусе Mini-BGA, 160 выводов с частотой 400 МГц предлагается по цене \$5,95. Наиболее дешевый процессор ADSP-BF531 по цене \$4,95 в корпусе LQFP с рабочей частотой 300 МГц должен появиться в III квартале 2003 г.

Следует также отметить появление новых модификаций процессора ADSP-BF532 – процессора с рабо-

чей частотой 400 МГц в корпусе Mini-BGA, 160 выводов и процессора с частотой 300 МГц в корпусе LQFP, 176 выводов. Оба изделия оцениваются в \$9,95.

Новая версия среды программирования сигнальных процессоров Analog Devices – VisualDSP++ 3.1

Компания ADI выпустила новую версию среды проектирования и отладки программного обеспечения – VisualDSP++ 3.1 для процессоров Blackfin. В ней реализована поддержка новых моделей семейства – процессоров ADSP-BF531 и ADSP-BF533, а также введен ряд дополнений, делающих работу в среде более удобной и эффективной. К ним относятся:

1. **Подготовка к работе симулятора в процессе компиляции (Compiled Simulation).** На этапе построения проекта параллельно с генерацией исполняемого DXE-файла производится перевод команд процессора в инструкции симулятора. При этом появляется возможность исключить необходимость многократного перевода одних и тех же повторяющихся команд процессора в команды симулятора в рабочем режиме. Таким образом удается существенно повысить скорость симуляции.
2. **Фоновый измерительный канал (Background Telemetry Channel – BTC).** Повышена эффективность отладки в реальном времени за счет применения фонового канала. Он представляет собой логику совместного доступа к регистрам DSP внутренними блоками ядра и отладочными цепями и обеспечивает минимальное влияние процесса отладки на реальные рабочие характеристики системы. Поток данных через JTAG-интерфейс является двунаправленным. Канал BTC может использоваться на различных модулях EZ-KIT Lite, однако чтобы полностью реализовать его достоинства, рекомендуется использовать новый эмулятор на шину PCI ADDS-NPPCI-ICE.
3. **Дополнение библиотеки Run-Time-Library (RTL).** Многочисленные усовершенствования внесены в библиотеку RTL. В частности, для процессоров Blackfin стала доступна библиотека ускоренной обработки данных в формате с плавающей точкой (Faster Floating-Point Library). Ее функции отличаются упрощенной работой с некоторыми типами данных, например с нечисловыми величинами (Not a Number – NaN), за счет чего удается повысить общую производительность вычислений.

Новая версия среды VisualDSP++ 3.1 может быть установлена бесплатно для всех зарегистрированных пользователей VisualDSP++.

Texas Instruments

Первый в мире сигнальный процессор, работающий на частоте 1 ГГц

Семейство TMS320C6000 – это класс самых мощных сигнальных процессоров компании Texas Instruments (TI). Высокая производительность в этих процессорах была достигнута за счет использования

революционной архитектуры ядра – VelociTI – архитектуры с очень длинным командным словом. Процессоры C6000 ориентируют разработчика на отладку непосредственно алгоритма обработки при программировании ЦСП, в то время как эффективная реализация программ в кодах процессора достигается за счет применения мощных компиляторов и оптимизаторов. Благодаря своим достоинствам процессоры семейства TMS320C6000 нашли широкое применение во многих цифровых системах.

В апреле 2003 г. компания TI выпустила сигнальные процессоры TMS320C6414, C6415 и C6416 с новым уровнем производительности – рабочая частота процессоров достигла 720 МГц. Новый уровень скорости вычислений существенно повысил эффективность реализации сложных современных цифровых систем в первую очередь в области телекоммуникаций и видеообработки.

Однако компания TI не остановилась на достигнутом. Утверждая свое лидирующее в области DSP положение на мировом рынке, компания заявила о разработке первого в мире сигнального процессора, работающего на частоте 1 ГГц. Это новый предел вычислительной мощности. Выход на такой уровень скорости обработки стал возможен благодаря двум факторам, первым из которых является эффективность архитектуры процессоров.

Архитектура процессоров TMS320C6000 характеризуется высокой степенью конвейеризации выполнения команд, что позволяет тактировать процессор высокой частотой и делает его чрезвычайно гибким. Для достижения нового уровня быстродействия эту особенность архитектуры планируется усилить рядом дополнений на микроаппаратном уровне. В частности, это касается работы с файлом регистров.

Вторым фактором, делающим возможным повышение рабочей частоты процессора, является технология изготовления кристалла. Кроме вычислительной производительности, она определяет и другие немаловажные характеристики процессора, такие, как потребляемая мощность и функциональные возможности микросхемы. Компания TI перешла от технологии 0,18 мкм к технологии 0,13 мкм. И этот показатель не является пределом возможностей.

Какие области применения должен «захватить» новый процессор? Безусловно, это системы связи: базовые станции, оборудование DSL-линий, маршрутизаторы, коммутаторы, серверы и другое телекоммуникационное оборудование, где станет возможной обработка значительно большего числа каналов. Системы обработки изображений, например цифровые фотокамеры или медицинское диагностическое оборудование, где существенно можно будет повысить разрешение изображений – сделать профессиональные снимки, провести более точное исследование. Высокая вычислительная производительность окажется незаменимой и во многих других сферах ЦОС.

Появление процессора ожидается в первом полугодии 2004 г.

Среда программирования и отладки DSP Code Composer Studio версии 2.2

Интегрированная программная оболочка Code Composer Studio (CCS) представляет собой мощный инструмент проектирования программного обеспечения систем ЦОС на базе сигнальных процессоров Texas Instruments, включающий средства разработки программ, их компиляции, отладки и тестирования на реальном оборудовании или в режиме симуляции процессора. Новая версия среды включает ряд особенностей, делающих работу с ней более удобной и эффективной. Перечислим их.

1. Расширено число моделей процессоров, непосредственно поддерживаемых средой CCS. К ним относятся новые модели семейств C2000, C5000, C6000, OMAP, ARM. Процессоры семейства C2000 благодаря своей популярности получили теперь те эффективные инструменты разработчика, которые раньше были доступны только для семейств C5000 и C6000.
2. Введено много новшеств в пользовательский интерфейс, что сделало работу в среде более удобной. Например, в меню добавлены новые пункты, позволяющие выполнять ряд действий автоматически; разрешено использование в проектах нескольких файлов команд линкера (.cmd); появилась возможность использовать подпроекты – самостоятельно подготовленные и отлаженные проекты, включаемые в состав более сложного, главного проекта.
3. Добавлен ряд средств анализа работы процессора в режиме симуляции. Это анализатор конвейерного выполнения команд и анализатор событий симулятора.

Анализатор конвейера (Pipeline Analysis меню Tools) позволяет проследить за работой конвейера и выявить причины его простоя, что чрезвычайно важно для оптимизации программного кода. Визуализация работы конвейера производится за счет отображения буфера очереди команд, в котором записаны значения счетчика команд для выбранной команды и команды, находящейся на стадии декодирования. Таким образом, становится возможным легко увидеть, какая команда простаивает и какая команда вызывает этот простой.

Анализатор работы симулятора (Simulator Analysis меню Tools) предназначен для удобства обработки событий при отладке программного обеспечения. И в прежних версиях среды для семейств C6000 и C5000 был применим инструмент детектирования определенного списка событий в работе процессора. Однако новые инструменты повышают эффективность анализа событий за счет удобного интерфейса с пользователем. Существенно повышается точность отображения событий и, следовательно, точность анализа эффективности программы.

4. Для новой версии Code Composer Studio 2.2 компания TI разработала дополнительный **набор инструментов**

анализа (Analysis Toolkit). Он представляет собой ряд самостоятельных утилит, помогающих разработчику быстро и точно найти «узкие места» в программном коде за счет визуализации ряда важных процессов, происходящих при выполнении программы.

Анализатор кэш-памяти предоставляет программисту окно двумерного отображения событий кэш, показывающее, в каком месте и в какие моменты происходят конфликты кэш-памяти. Это делает возможным выявить характер обращений к памяти и обоснованно принять решение о реструктуризации кода программы в целях повышения эффективности работы кэш-памяти.

Определитель границ исполняемого кода программы (Code Coverage) информирует разработчика о том, какие участки кода не были задействованы при выполнении программы. Основываясь на этих исследованиях, программист может избавиться от ненужных участков кода или выявить недостатки тестирующей программы.

Средство профилирования многих событий (Multi-Event Profiler) позволяет узнать, сколько определенных рода событий происходит в течение выполнения интересующего программиста участка кода. Возможно измерение числа командных циклов процессора, количества выполненных инструкций или времени простоя конвейера, а также числа «попаданий и промахов» кэш-памяти.

Кроме того, в новой версии среды CCS повышена скорость работы в режиме симуляции, усовершенствованы средства взаимодействия с новым высокоскоростным эмулятором XDS-560, улучшена поддержка RTDX. Изменения внесены также и в систему DSP/BIOS.

Более полная информация может быть найдена на сайте компании Texas Instruments:

<http://www.ti.com>

<http://focus.ti.com/lit/an/spra812a/spra812a.pdf>

*Обзор подготовлен Витязевым С.В.
по материалам Интернет*

6-я Международная Конференция и Выставка
ЦИФРОВАЯ ОБРАБОТКА СИГНАЛОВ И ЕЕ ПРИМЕНЕНИЕ
The 6th International Conference and Exhibition
DIGITAL SIGNAL PROCESSING AND ITS APPLICATIONS

31 марта – 2 апреля 2004 г., Москва, Россия

ОРГАНИЗАТОРЫ

- Российское научно-техническое общество радиотехники, электроники и связи им. А.С. Попова
- IEEE Signal Processing Society
- Российская секция IEEE
- Институт радиотехники и электроники РАН
- Институт проблем передачи информации РАН
- ФГУП НИИ Радио
- АО "AUTEX Ltd."
- Отделение информатики, вычислительной техники и автоматизации РАН

• Институт проблем управления РАН

ОСНОВНЫЕ НАПРАВЛЕНИЯ РАБОТЫ КОНФЕРЕНЦИИ

- Теория сигналов и систем
- Теория и методы ЦОС
- Цифровая обработка и передача многомерных сигналов
- Цифровая обработка речевых и звуковых сигналов
- Цифровая обработка изображений
- ЦОС в системах телекоммуникаций
- ЦОС в радиотехнических системах
- ЦОС в системах управления
- Цифровая обработка измерительной информации
- Нейрокомпьютерная обработка сигналов и изображений
- Цифровое телерадиовещание
- ЦОС в системах защиты информации
- Проектирование и техническая реализация систем ЦОС
- Проблемы подготовки специалистов в области ЦОС

Заявки и тексты (тезисы) докладов должны быть представлены в одном экземпляре (на русском и английском языках) с указанием сведений об авторах (Ф.И.О., должность, место работы, почтовый адрес для переписки, телефон, факс, e-mail) на дискете (3.5 дюйма, Word 7.0), распечатке на принтере или переданы по электронной почте.

Доклады, включенные в Программу конференции, будут опубликованы в Трудах конференции на русском и английском языках до начала ее работы. Объемы представляемых докладов: на русском языке – до 3 стр., на английском языке – до 1 стр. (Шрифт 12).

СРОКИ ПРЕДСТАВЛЕНИЯ ДОКЛАДОВ

15 ноября 2003
Тексты докладов

15 декабря 2003
Извещение авторов о приеме докладов в программу

15 февраля 2004
Расылка приглашений

ДОКЛАДЫ ДОЛЖНЫ НАПРАВЛЯТЬСЯ В ПРОГРАММНЫЙ КОМИТЕТ ПО АДРЕСУ:

103031 Москва, К-31, Рождественка, 6/9/20, стр. 1. Российское НТОРЭС им. А.С. Попова,
Тел.: (095) 921-1639 (Мусьянков Михаил Иванович), 921-0610, 921-7108, факс: (095) 921-1639.

E-mail: nto.popov@mtu-net.ru

Более подробную информацию о конференции и выставке можно найти на нашем сайте: www.dspsa.ru