

**Всесоюзный
Центр
Переводов**

ТЕТРАДИ НОВЫХ ТЕРМИНОВ

**АНГЛО-РУССКИЕ ТЕРМИНЫ ПО ТЕХНИЧЕСКОЙ
ДИАГНОСТИКЕ ЦИФРОВЫХ СИСТЕМ**



93

Государственный комитет СССР
по науке и технике

Академия наук
СССР

ВСЕСОЮЗНЫЙ ЦЕНТР ПЕРЕВОДОВ
НАУЧНО-ТЕХНИЧЕСКОЙ ЛИТЕРАТУРЫ И ДОКУМЕНТАЦИИ

В помощь переводчику

ТЕТРАДИ НОВЫХ ТЕРМИНОВ

№ 93

АНГЛО-РУССКИЕ ТЕРМИНЫ
ПО ТЕХНИЧЕСКОЙ ДИАГНОСТИКЕ ЦИФРОВЫХ СИСТЕМ

С о с т а в и т е л и

канд. техн. наук А.Г. Биргер, В.Э. Городецкий

П о д р е д а к ц и е й

канд. экон. наук А.Г. Биргера

Москва 1986

Ответственный редактор

И.И. Убин

С О Д Е Р Ж А Н И Е

	стр.
От составителей	3
Английские термины и русские эквива- ленты	4
Сокращения	67
Указатель русских терминов	109

О Т С О С Т А В И Т Е Л Е Й

Быстрое развитие методов и средств технической диагностики цифровых устройств и систем обусловило появление новых терминов, специфических для данной области знания. Значительная часть этих терминов не нашла отражения в существующих словарях по вычислительной технике, технической кибернетике, микроэлектронике.

Данный выпуск содержит около 1000 новых терминов, сочетаний терминов и сокращений, встречающихся в современной англоязычной научно-технической литературе и относящихся практически ко всем аспектам технической диагностики цифровых систем - от методов моделирования и генерации тестов до проведения диагностических экспериментов. В выпуске нашли, кроме того, отражение новые термины, связанные со схемотехникой и программированием микропроцессоров и микроЭВМ, а также программируемых контроллеров и микропрограммированием; приведен ряд фирменных наименований и аббревиатур; включены термины по проектированию контролепригодных устройств, методам моделирования, языкам автоматизированного проектирования цифровых схем.

При составлении выпуска использованы вышедшие в последнее время за рубежом глоссарии и справочники, материалы из переводных журналов и книг, проспекты ведущих изготовителей средств технической диагностики из США, Великобритании и Японии, периодическая научная и техническая печать этих стран, а также ГОСТ 20911-75 "Техническая диагностика. Основные термины и определения".

Составители глубоко благодарны члену-корреспонденту АН СССР П.П.Пархоменко за большое внимание к работе и полезные замечания, а также М.А.Петровой, Е.Л.Полыновской, канд. техн. наук А.С.Шкилю и А.М.Цымбергу за помощь при подготовке данного выпуска.

Замечания и предложения по содержанию и оформлению выпуска составители просят направлять по адресу:

117218, Москва, В-218, ул.Кржижановского,
д. 14, корп. 1, ВЦП

А

1. A-algorithm
А-алгоритм /алгоритм синтеза текстов, близкий к D-алгоритму/
см. также AALG

2. absolute indirect addressing mode
косвенная абсолютная адресация

3. ac fault
динамическая неисправность /неисправность, связанная с задержками схемных элементов и тестируемая на рабочих частотах схемы/

4. ac testing
динамическое тестирование, импульсное тестирование /тестирование на рабочих частотах схемы/

5. accelerated test
ускоренные испытания

6. acceptable condition
допустимое состояние

7. access violation
нарушение правил доступа /например, к содержимому памяти ЗУ/

8. accurate model
адекватное представление; точная модель

9. active element
активный элемент /в алго-

ритмах событийного моделирования: элемент, у которого хотя бы на одном входе изменилось значение сигнала/

10. active input
активный вход /в D-алгоритме: вход элемента, которому на этапе D-продвижения присвоено значение D или \bar{D} /
см. также sensitive input of gate

11. active release
активная разблокировка /в шинах типа Unibus означает, что в результате прерывания управление переходит по шине от устройства управления передачей данных к процессору/

12. activity
1. реакция схемы
2. активность схемы /отношение числа линий схемы, на которых в данный момент времени происходят переключения сигналов, к общему числу линий в схеме/
см. также circuit activity

13. activity directed simulation
событийное моделирование /значение сигнала

на выходе элемента вычисляется только после изменения значения сигнала хотя бы на одном из его входов/
см. также event-directed simulation

14. activity vector
вектор активности /список элементов со значением D или \bar{D} хотя бы на одном входе и значением X на выходе/
см. также D-frontier

15. acyclic circuit
схема без обратных связей, ациклическая схема

16. ad-hoc debugging
незапланированная отладка /метод отладки, при котором программист не предусматривал в программе на стадии проектирования специальных средств для выявления ошибок/

17. advice
стык, стыковочная точка прерывания в программе
см. также programmable breakpoint

18. advise
задать стык, задать стыковочную точку прерывания в программе

19. algorithmic test
алгоритмический тест; регулярный тест, тест с регулярной структурой
см. также AT

20. algorithmic test generator
генератор алгоритмических тестов
см. algorithmic test, ATG

21. alternate-action switch
переключатель переменного действия

22. alternating logic
альтернативная логика /логика, в которой наряду с заданной функцией реализуется ее само-двойственная функция/

23. alternative graph
альтернативный граф /ориентированный граф, из каждой вершины которого исходит не более двух дуг/
см. также AG

24. ambiguity delay
неоднозначная задержка /величина которой колеблется в заданных пределах/

25. analytical testing
тестирование электрических характеристик, аналитическое тестирование /тестирование, зависящее от физической, а не логической структуры схемы/

26. AND plane
матрица И /в ПЛМ/

27. AND-bridge fault
неисправность типа "монтажное И" /дефект типа переключки между проводниками, сводящийся к реализации функции И в точке замыкания/
см. также wired-AND bridging fault

28. antirace coding
противогоночное кодирование /состояний автомата/

29. applications package
специальный блок /некоторая комбинация аппаратуры и программного обеспечения, разработанная для специальных применений/

30. artificial delay
фиктивная задержка, фиктивный элемент задержки

31. artificial element
псевдоэлемент, фиктивный элемент /элемент, присутствующий в модели устройства, но отсутствующий в самом устройстве, например, монтажный элемент/
см. также phantom element

32. asleep process
ожидающий процесс

33. assembled board testing
тестирование смонтированных ПП

34. assertion-driven

breakpoint
точка прерывания, управляемая логическим выражением

35. ATE station
внешнее средство тестового диагностирования; испытательный стенд; рабочая станция или терминал автоматической испытательной системы
см. также ATS station, test station

36. atomic movement of data
элементарная передача данных /между регистрами МП/

37. 37. ATS station
см. ATE station, test station

38. at-speed testing
проверка на рабочей частоте

39. autocalibration
автокалибровка

40. autodecrement addressing mode
автодекрементная адресация
см. также ADAM

41. autoincrement addressing mode
автоинкрементная адресация
см. также AIAM

42. automatic re-dial
переадресация

43. automatic stimulus generation

1. автоматическая генерация входных тестовых воздействий

см. также ASG

2. псевдослучайное тестирование/на аппаратурно генерируемых входных последовательностях большой длины/

см. также ASG

44. auxiliary carry вспомогательный перенос, полуперенос /из младшей тетрады числа в старшую/

см. также half-carry bit

45. awake process выполняемый процесс

В

1. back-plane bus объединяющая шина

2. backward drive обратный проход, обеспечение, С-движение /этап D-алгоритма, заключающийся в обеспечении значений сигналов, присвоенных на этапе D-продвижения/

см. также C-drive, justification, line justification

3. backward implication обратная импликация /по направлению к внешним входам схемы/

см. также implication

4. bad network неисправная схема; не-исправная модель /модель объекта с неисправностями/

см. также error machine, faulted machine, faulty machine, BM, FM

5. banyan network сеть типа "БАНЫАН" /сеть перекрестно взаимосвязанных элементов, располагаемых на нескольких уровнях/

6. bare board testing тестирование несмонтированных /"голых"/ ПП, проверка печатного монтажа

7. barrel shift circuit циклический сдвигатель /схема, обеспечивающая сдвиг содержимого регистра влево или вправо на произвольное число разрядов/

см. также barrel shifter

8. barrel shifter см. barrel shift circuit

9. base indexed addressing mode адресация по базе с индексированием, базовая индексная адресация,

10. base-page addressing mode адресация по базовой странице

11. bed of nails
fixture
контактрон /контактирующее устройство/ типа "ложе из гвоздей" /для внутрисхемного тестирования/

12. behavioral modeling language
язык функционального описания /ЦУ/

13. behavioral simulation mode
моделирование на поведенческом уровне, функциональное моделирование
см. также behavioral-level simulation

14. behavioral test
1. проверка режимов функционирования
2. тест проверки режимов функционирования

15. behavioral-level simulation
см. behavioral simulation mode

16. being in order
исправность, исправное состояние

17. beyond-the-node fault location
поиск неисправности с точностью до функционального узла /на МП-плате/

18. bidirectional terminal
двунаправленный вывод

19. bidirectional test
двунаправленный тест /обеспечивающий поток данных в двух направлениях/

20. bilateral register
двунаправленный регистр

21. binary decision diagram
двоичная диаграмма решений, двоичное дерево решений /в котором каждая вершина имеет не более двух приемников/ см. также BDD

22. binary half-splitting
последовательное разбиение пополам

23. binary term
буква термина /переменная или ее отрицание, входящая в конъюнктивный член/

24. binary valued condition
условие с двумя исходами

25. binate function
бинарная функция /функция, выражаемая как через прямые, так и через обратные логические значения переменных/

26. BIT design/built-in-test design/
проектирование средств встроенного контроля;

проектирование средств
встроенного тестового
диагностирования

27. board faceplate
лицевая панель ПП

28. board under test
тестируемая плата, про-
веряемая плата
см. также BUT

29. bond-out-chip
диагностический кристалл
/специализированная БИС
для внутрисхемного диаг-
ностирования, имеющая
доступ к внутренним схе-
мам и шинам/

30. bookkeeping
хранение промежуточных
результатов

31. Boolean diffe-
rence
булева разность, булева
производная
см. также BD(1)

32. Boolean differen-
tial
булев дифференциал
см. также BD(2)

33. Boolean gate
логический элемент, вен-
тиль

34. Boolean phrase
булево выражение

35. boot ROM
ПЗУ начальной загрузки

36. bootstrap ROM
ПЗУ предварительного
ввода данных, ПЗУ пред-
ввода

37. bottom-up build-
ing block ap-
proach

восходящий подход с ис-
пользованием стандарт-
ных блоков /напр., к
проектированию цифровой
аппаратуры/

38. branch-open
fault
дефект типа "обрыв вет-
ви" /в МОП-схемах/

39. branch-short
fault
дефект типа "замыкание
ветви" /в МОП-схемах/

40. bridge fault
дефект типа перемычки
между токоведущими до-
рожками ПП; неисправ-
ность типа "короткое
замыкание"
см. также bridging
fault

41. bridging fault
см. bridge fault

42. bug seeding
посев ошибок /искусст-
венное добавление оши-
бок в программу для
оценки числа оставших-
ся в ней непреднамерен-
ных ошибок/

43. built-in
diagnostic device
встроенное средство
диагностирования

44. built-in self-checking monitoring circuit
самопроверяемая схема
встроенного контроля
см. также self-checking checker

45. built-in test
встроенный контроль;
встроенное тестовое диагностирование
см. также BIT

46. built-in test equipment
аппаратура встроенного контроля; встроенные средства тестового диагностирования; встроенное тестовое оборудование
см. также extra test hardware, BITE

47. built-in test generator
встроенный генератор входных тестовых воздействий, встроенный генератор тестов

48. buried flip-flop
внутрисхемный триггер /входы которого не управляются, а выходы не наблюдаются непосредственно со стороны разъема ПП/

49. byte-addressable
адресуемый побайтно

50. byte-wide RAM
ЗУПВ с байтовой организацией

51. Byzantine agreement

"византийское соглашение" /метод организации обмена сообщениями по двунаправленным линиям связи в мультипроцессорных системах/

С

1. capability addressing
потенциальная адресация /принцип организации памяти в МП системы VAX/

2. catastrophic failure
катастрофический внезапный отказ

3. C-cube
С-куб, простой куб, вырожденный куб, сингулярный куб /в исчислении кубических комплексов/ см. также singular cube, SC

4. C-drive
обратный проход, обеспечение, С-движение см. backward drive, justification, line justification

5. cellular automata
клеточный автомат, матричный автомат /математическая модель сложных систем, содержащая большое число простых идентичных компонент /клеток/, взаимодействующих только с соседними клетками/

6. checkpointing program
программа расстановки контрольных точек

7. circuit activity
активность схемы
см. activity

8. circuit array
схема с однородной регулярной структурой

9. circuit under test
проверяемая схема; тестируемая схема
см. также CUT

10. circuit-level simulation
аналоговое моделирование; моделирование на уровне транзисторов; схемотехническое моделирование

11. closed loop mode
режим проверки МП при наличии взаимодействия между процессором и памятью /с замкнутой связью/
см. также open loop mode

12. code breakpoint
программная точка прерывания /точка прерывания, связанная с выполнением некоторого сегмента программы/
см. также control breakpoint

13. code patch
программная заплатка /модификация программы при выполнении отладки/

14. code trace
трассировка программы

15. combinational controllability
комбинационная управляемость /один из показателей контролепригодности, характеризующий сложность обеспечения требуемого логического значения сигнала на данной линии схемы и связанный с числом линий, на которых необходимо предварительно установить определенные значения сигналов/

16. combinational observability
комбинационная наблюдаемость /один из показателей контролепригодности, характеризующий сложность активизации пути от данной линии до одного из выходов схемы и связанный с длиной активизируемого пути/

17. combinational 1-controllability
комбинационная 1-управляемость
см. combinational controllability, 1-controllability

18. combinational 0-control-lability
комбинационная 0-управляемость
см. combinational controllability, 0-controllability

19. commission
доводка /британский вариант термина "отладка", подразумевающий отладку ВС в целом, т.е. как ее аппаратурной, так и программной части/

20. compiled simulation
компилятивное моделирование
см. также compiled-code simulation, compiler driven simulation

21. compiled-code simulation
см. compiled simulation, compiler driven simulation

22. compiler driven simulation
см. compiled simulation, compiled-code simulation

23. complement 1's
/подразрядное/ дополнение до единицы; обратный код /числа/

24. complement 2's
/поразрядное/ дополнение до двух; дополнительный код числа

25. complete test
полный тест /проверяющий все неисправности заданного класса/

26. completeness of test
полнота теста, процент проверяемых неисправностей

см. complete test

27. concurrent fault simulation
совместное моделирование, совместное моделирование неисправностей /быстродействующий метод одновременного моделирования исправной и множества неисправных схем/
см. также concurrent simulation

28. concurrent good simulation
совместное моделирование входных последовательностей /быстродействующий метод одновременного моделирования исправной схемы на множестве входных последовательностей/
см. также concurrent simulation

29. concurrent simulation
совместное моделирование
см. concurrent fault simulation, concurrent good simulation

30. condition based maintenance
техническое обслуживание по состоянию

31. condition monitoring
контроль технического состояния

32. conditional test
условный тест /в котором
последовательность вход-
ных тестовых воздействий
зависит от технического
состояния проверяемого
устройства/

33. configuration
совокупность двоичных
/логических/ сигналов
/входных или выходных/

34. connector
terminal
контакт разъема

35. consistency
operation
обеспечение /подтвержде-
ние значения сигнала на
выходе элемента значения-
ми сигналов на его вхо-
дах на этапе обратного
прохода в D-алгоритме/
см. также inverse opera-
tion

36. consourse
дополнительный источник
/информации/

37. constraint package
совокупность ограничений
/ограничивающих условий/

38. continuity
testing
тестирование целостнос-
ти связей /на несмонти-
рованных ПП/

39. control
breakpoint
см. code breakpoint

40. control flow
graph

управляющий граф /модель
программы/

41. control flow
trace
трассировка передач уп-
равления
см. также execution
trace

42. control path
путь программы /на ее
управляющем графе/
см. control flow graph

43. control point
точка управления, вход-
ной контакт схемы
см. также observation
point

44. control state
checking
проверка состояния уп-
равления /метод про-
верки сигналов управ-
ления в МП-схемах в
рамках совместного
тестирования/
см. также CSC

45. O-controllability
O-управляемость /один
из показателей контро-
лепригодности, харак-
теризующий сложность
обеспечения значения 0
на данной линии схемы/

46. 1-control-
lability
1-управляемость /один
из показателей контро-
лепригодности, харак-
теризующий сложность
обеспечения значения 1
на данной линии схемы/

47. controlling value
запирающее значение /значение логической переменной, подаваемое на один из входов вентиля для запрета условий активизации пути по другому из его входов, например, 0 для вентиля И и И-НЕ/

48. correct circuit
исправная схема
см. также good network, GM

49. cost-of-error factor
показатель стоимости сбоя

50. coupled cell
ячейки памяти ЗУПВ, состояние которой может измениться при записи в другую ячейку вследствие дефекта ЗУПВ типа "сцепление"
см. также coupling cell, coupling fault

51. coupling cell
ячейка памяти ЗУПВ, при записи в которую может измениться состояние другой ячейки вследствие дефекта ЗУПВ типа "сцепление"
см. coupled cell, coupling fault

52. coupling fault
дефект ЗУПВ типа "сцепление" /при котором записать в одну из ячеек памяти влечет изменение состояния другой ячейки/

см. coupled cell, coupling cell

53. covering
покрытие /представление функционального элемента на языке кубических комплексов/
см. также singular cover table

54. CRC shift register
сдвиговый регистр сигнатурного анализатора

55. critical path
чувствительный путь, активизированный путь, существенный путь /путь распространения сигнала неисправности от места ее возникновения до выхода ЦУ/

56. critical path test generation technique
метод синтеза тестов с помощью активизации путей /в схеме ЦУ/
см. также CPG, CPTG

57. critical path tracing method
метод прослеживания по чувствительному пути
см. critical path

58. critical race
критические состязания /состязания сигналов в ЦУ с памятью, которые могут установить его в неверное состояние/

59. criticality
критическое значение /характеристика входной

линии элемента, изменение сигнала на которой приводит к изменению сигнала на выходе/

60. cross-referencer
программа-формирователь перекрестных ссылок

61. cross-tie memory
ЗУ с поперечными связями
см. также СТМ

62. crush
сбой /неверное функционирование оборудования или программного обеспечения, требующее сброса или повторного запуска/

63. cube
куб /многомерный вектор в исчислении кубических комплексов/
см. covering, cubical algebra

64. cubical algebra
алгебра кубов, исчисление кубических комплексов

65. current event list
список текущих событий /в алгоритмах логико-временного моделирования: список событий, относящихся к текущему моменту времени/
см. также current event table, CEL, CET

66. current event table
таблица текущих событий
см. current event list, CEL, CET

67. current probe
щуп, чувствительный к величине тока
см. также current sensing probe

68. current pulser
щуп, задающий в схему импульсы /тока/
см. также pulser probe

69. current sensing probe
см. current probe

70. current tracing probe
щуп, отслеживающий направление тока в схеме

71. current-page addressing mode
адресация с использованием текущей страницы

72. cutting the loops
обрыв обратных связей
см. также loop breaking

73. cyclic circuit
схема с обратными связями, циклическая схема

74. cyclic type of input
периодическая входная последовательность

D

1. daisy-chain grant
предоставление доступа к шине последовательно-приоритетной цепочкой
см. также DCG

2. data breakpoint
информационная точка

прерывания /связанная с доступом к данным/ см. также demon

3. data flow trace
трассировка данных
см. также data trace

4. data trace
см. data flow trace

5. dc fault
статическая неисправность /которую можно тестировать на частотах, значительно ниже рабочей частоты схемы, например, константная неисправность, неисправность типа короткого замыкания/

6. dc testing
статическое тестирование /тестирование в установленном состоянии, без проверки временных соотношений/

7. D-calculus
D-исчисление, исчисление D-кубов, исчисление кубических комплексов
см. также D-notation

8. D-chain
D-цепь /совокупность элементов и линий связи между ними, образующих отрезок пути в схеме со значением сигнала D или \bar{D} на каждой линии/

9. D-cube
D-куб /в исчислении D-кубов/
см. D-calculus, D-notation, DC

10. D-drive
D-продвижение, D-движение, D-проход /этап активизации пути в D-алгоритме/
см. также D-propagation

11. debugging session
отладочный интервал /интервал времени, в течение которого происходит отладка/

12. decompile
детранслировать /выполнить обратную трансляцию объектной программы в форму, близкую первоначальному представлению исходной программы/

13. deductive algorithm
дедуктивный алгоритм /алгоритм одновременно-го моделирования исправной и множества неисправных схем, в котором вычисление значений сигналов выполняется с помощью операций над списками/
см. также deductive simulation, deductive simulator

14. deductive simulation
дедуктивное моделирование
см. также deductive algorithm, deductive simulator

15. deductive simulator

программа дедуктивного моделирования неисправностей

16. defective component

дефектная компонента, неисправная компонента

17. deficiency
дефицит /необходимая функция или возможность выполнения какого-либо действия, упущенная в программной системе/

18. delay fault
неисправность типа "неверная величина задержки"
см. также timing delay fault

19. delay testing
тестирование временных параметров

20. delayed branch
отсроченный условный переход /в системах команд МП/

21. delay-FF
1. триггер с задержкой
2. ждущий мультивибратор

22. demon
см. data breakpoint

23. deque
дек, очередь с двумя входами /линейный список, для которого все операции можно производить с любого его конца/

24. design automation
автоматизация проектирования

см. также DA

25. design for diagnosability
проектирование с учетом диагностируемости /контролепригодности/, контролепригодное проектирование
см. также design for testability, testable design, DFT

26. design for repairability
проектирование с учетом ремонтпригодности

27. design for test rules
правила проектирования контролепригодной аппаратуры, правила контролепригодного проектирования

28. design for testability
контролепригодное проектирование, проектирование с обеспечением контролепригодности /удобства для тестирования/
см. design for diagnosability, testable design, DFT

29. design rules
правила проектирования, проектные нормы, дисциплина проектирования

30. design rules verification
проверка соблюдения проектных норм, проверка соблюдения правил проектирования

31. design turnaround time
время разработки /от выдачи проектного задания до выпуска опытных образцов/

32. design validation
проверка правильности проектирования; аттестация проекта

33. design verification simulation
моделирование /исправной схемы/ с целью проверки правильности проектирования, верификационное моделирование

34. designics
проектоника /формальный подход к процессу проектирования/

35. detectable fault
проверяемая неисправность, обнаруживаемая неисправность /неисправность, которая может быть обнаружена некоторым тестом/
см. также testable fault

36. detected fault
проверенная неисправность; неисправность, проверяемая данным тестом

37. detection dictionary
словарь обнаружения неисправностей

38. detection test set
проверяющий тест
см. также fault detection test, go-no go test, COTS, FDT

39. detection-roll-back-recovery strategy
стратегия обслуживания "обнаружение неисправности - возврат - восстановление"
см. также DRR

40. determined value
определенное значение сигнала

41. D-frontier
граница D-продвижения /множество элементов, выходные значения которых еще не определены, а некоторым входам присвоены значения D или \bar{D} /

42. diagnosability
диагностируемость

43. diagnostic compiler
диагностический компилятор /компилятор, обеспечивающий обнаружение ошибок на стадиях компиляции и прогона программы/

44. diagnostic
kernel

диагностическое ядро
/часть ВС, работоспособ-
ность которой должна
быть гарантирована для
того, чтобы диагностиро-
вание других частей ВС
было возможным и досто-
верным/

45. diagnostic
register

диагностический регистр
см. также DR

46. die failure

неисправность в кристал-
ле ИМС

47. digit sense wire

разрядная шина

48. digital logic
simulation and
test generation
system

система моделирования
и построения тестов для
ЦУ

49. directory

каталог /файл, содержа-
щий список других фай-
лов/

50. discard-at-
failure

сброс при сбое /неис-
правности/
см. также DAF

51. D-notation

D-исчисление; D-алфавит
см. D-calculus

52. dominance fault
collapsing

сокращение списка неис-
правностей на основе от-
ношения доминирования
см. также fault collaps-
ing

53. dominant fault
доминирующая неисправ-
ность

54. dominant logic
value

доминирующее значение
/значение сигнала на
входе логического эле-
мента, однозначно опре-
деляющее значение на
выходе элемента незави-
симо от значений на дру-
гих входах, например,
значение сигнала 0 для
элемента И/
см. также DLV

55. don't care state

1. безразличное состоя-
ние, произвольное сос-
тояние /элемента или
устройства с памятью/;
см. также X state
2. безразличное значе-
ние сигнала, произволь-
ное значение сигнала
см. также don't care
value, X state, X value

56. don't care value

безразличное значение
сигнала, произвольное
значение сигнала
см. don't care state
(2), X state, X value

57. DO-trace
DO-трассировка /трассировка выполнения программы на уровне блоков операторов/

58. down transition
изменение значения сигнала из 1 в 0
см. также fall, $\overline{Q}LT$

59. D-path
D-путь, активизированный путь, существенный путь /совокупность путей в схеме, по которым сигнал неисправности, представленный символами D или \overline{D} , передается на выходы схемы/

60. D-propagation
см. D-drive

61. driver mode
режим передачи данных через двунаправленную шину

62. driving strength
логическая сила, приписываемая узлу, подключенному к источнику тока
см. также logic strength

E

1. early fault dropping strategy
стратегия раннего исключения неисправностей /исключение неисправности из списка моделируемых при ее первом обнаружении/

2. edge sensitive input
вход, чувствительный к фронту сигнала

3. edge triggered flip-flop
синхронный триггер /срабатывающий по фронту сигнала на синхровходе/
см. также level triggered latch

4. effect-cause analysis
метод анализа "следствие-причина"
см. также ECA

5. effective test rate
эффективная скорость тестирования /отношение длины теста к полному времени тестирования проверяемого устройства/
см. также pattern rate, test rate, ETR

6. element evaluation
вычисление выходных значений и состояний элементов /на основании их входных значений и текущих состояний/

7. equivalence fault collapsing
сокращение списка неисправностей на основе отношения эквивалентности
см. также fault collapsing

8. equivalent normal form

эквивалентная нормальная форма, ЭНФ /форма представления булевой функции, реализуемой комбинационной схемой/
см. также ENF

9. error latency
период скрытой ошибки /время до нахождения неисправности встроенными средствами/

10. error machine
неисправное устройство; неисправная схема; неисправная модель
см. bad network, faulted machine, faulty machine, ВМ, FM

11. error symptom
признак ошибки /несовпадение ожидаемой и реальной реакций схемы/

12. escape
смена режима адресации в МП

13. Eurocard
европлата /параметрический ряд печатных плат и монтажных блоков, а также набор рекомендаций по унификации конструкций плат/

14. event
переключение, событие /любое изменение входной или выходной переменной, или переменной состояния в цифровой схеме/

15. event shedding
включение события (в список событий) /в алгоритмах логико-временного моделирования/
см. event

16. event unshedding
исключение события (из списка событий) /в алгоритмах логико-временного моделирования/
см. event, event list, event table

17. event-directed simulation
событийное моделирование
см. activity directed simulation

18. event-triggered IC
ИМС с синхронизированным запуском

19. excess- 2^{m-1} code system
код со смещением 2^{m-1}

20. excitation
подача тестовых воздействий

21. excitation logic
входная комбинационная схема /при представлении последовательностной схемы моделью Хаффмена/

22. execution trace
трассировка выполнения программы /отображение меток сегментов программы, таких как имена процедур и номера опе-

раторов, встретившихся при выполнении программы/

23. ex-situ testing автономное тестирование, внесхемное тестирование /с демонтажом компонента устройства или системы/ см. также in-isolation testing

24. external strength логическая сила, приписываемая узлу, подключенному к внешнему входу либо к потенциалу земли или питания см. также force strength, logic strength

25. externally programmed работающий по сменной программе

26. extra test hardware аппаратура встроенного контроля; встроенные средства тестового диагностирования; встроенное тестовое оборудование см. built-in test equipment, BITE

27. extreme delay предельная задержка; критическая задержка

F

1. fail-all fault simulation моделирование всех возможных неисправностей /в каждый момент времени моделируется одна из возможных неисправностей/

2. fail-stop processor процессор, прекращающий работу при появлении ошибки

3. failure access доступ как результат сбоя

4. failure mechanism механизм отказа

5. failure path путь распространения сигнала неисправности

6. fall изменение значения сигнала из 1 в 0 см. down transition, HLT

7. fall delay задержка переключения сигнала из 1 в 0, задержка спада сигнала см. также falling delay

8. falling delay см. fall delay

9. false breakpoint фиктивная точка прерывания /точка прерывания, которая инициирована, однако немедленно

отменена/

10. fanin gate
предшествующий элемент
/элемент, выход которого управляет входами некоторых последующих элементов/

11. fanin list
список входов
см. также FIL, NFI

12. fanout
разветвление

13. fanout branch
ветвь узла разветвления
см. также FOB

14. fanout gate
последующий элемент
/элемент, входы которого управляют выходами некоторых предшествующих элементов/

15. fanout list
список элементов, являющихся нагрузкой данного элемента
см. также FOL, NFO

16. fanout source
источник сигнала узла разветвления
см. также fanout stem, FOS

17. fanout stem
см. fanout source, FOS

18. fanout-dependent delay
задержка, зависящая от нагрузки /задержка элемента, величина которой определяется его коэффициентом разветвления по

выходу/

19. fanout-free circuit
схема без разветвлений
/в которой каждый внешний вход и каждый выход элемента является входом не более одного элемента/

20. fault analysis
анализ дефектов; анализ неисправностей /определение проверяющих и/или диагностических свойств теста/

21. fault behavioral mode
особенность /способ/ проявления неисправности

22. fault class
класс неисправностей
см. также fault type

23. fault collapsing
сокращение списка неисправностей /уменьшение числа рассматриваемых неисправностей за счет исключения эквивалентных и/или не доминирующих неисправностей/
см. также fault folding

24. fault coverage
полнота обнаружения неисправностей, полнота текста /процент неисправностей, обнаруживаемых данным тестом/
см. также test coverage, FC

25. fault detection capability
возможности обнаружения неисправностей, проверяющие свойства /например, входного набора или последовательности/
26. fault detection in the course of operation
проверка правильности функционирования /обнаружение неисправностей в процессе функционирования объекта/
27. fault detection test
проверяющий тест
см. detection test set, go-no go test, COTS, FDT
28. fault domain
совокупность рассматриваемых неисправностей, /определяемая моделью схемы/
29. fault driven method
метод продвижения неисправностей, метод продвижения символов проявления дефектов /например, D-алгоритм/
30. fault dropping
удаление неисправности /исключение неисправности из списка моделируемых неисправностей/
31. fault equivalence
эквивалентность неисправностей, неразличимость неисправностей
- см. также undistinguishability of faults
32. fault equivalence class
класс эквивалентных /неразличимых/ неисправностей
33. fault folding
сокращение списка неисправностей
см. fault collapsing
34. fault inject probe
зонд для внесения неисправностей /используется, напр., для определения полноты теста с помощью физического моделирования/
35. fault injection
внесение неисправности /например, в модель ЦУ при моделировании/
36. fault injection mask
маска внесения неисправностей /при параллельном моделировании неисправностей/
37. fault isolation
обнаружение и поиск дефектов
38. fault localization
поиск неисправности; поиск места дефекта
см. также fault location
39. fault location
1. место дефекта, местоположение дефекта
2. см. fault localization

40. fault location
test
тест поиска дефекта /не-
исправности/
см. также FLT

41. fault mode
режим проявления неис-
правности

42. fault safety
отказобезопасность /свой-
ство системы не приводить
к аварии при возникнове-
нии в ней отказа/

43. fault sensing
обнаружение дефектов;
обнаружение неисправно-
стей

44. fault signature
сигнатура неисправного
объекта, сигнатура при
наличии неисправности

45. fault simulation
диагностическое модели-
рование

46. fault symptom
признак дефекта; признак
неисправности

47. fault type
1. тип дефекта; вид де-
фекта
2. класс неисправностей
см. также fault class

48. fault which
prevent initiali-
zation
неисправность, препятст-
вующая начальной установ-
ке последовательностной
схемы

49. faulted machine
неисправное устройство;
неисправная схема; не-
исправная модель
см. bad network, error
machine, faulty machine,
BM, FM

50. fault-effect
model
модель проявления неис-
правности

51. fault-free
свободный от неисправ-
ностей, исправный
см. также nonfault, ff

52. fault-free
simulation
моделирование исправной
схемы
см. также true-value
(logic) simulation

53. faulty
instruction
неверно выполняемая
команда /в МП/

54. faulty machine
неисправное устройство;
неисправная схема; не-
исправная модель
см. bad network, error
machine, faulted machi-
ne, BM, FM

55. FC-net /free
choice net/
сеть /Петри/ свободно-
го выбора, FC-сеть

56. feasible path
реализуемый путь про-
граммы /выполняемый на
некоторых входных дан-
ных/

57. fed-in fault
вводимая неисправность

58. feedback bridging
fault

неисправность типа "короткое замыкание", обзужающая дополнительную обратную связь в схеме

59. feedback shift
register

сдвиговый регистр с обратными связями
см. также FSR

60. field repair
техническое обслуживание и ремонт в эксплуатационных условиях

61. field-proven test
system

система тестирования, предназначенная для применения в условиях эксплуатации

62. field-replaceable
unit

ячейка; типовой элемент замены, ТЭЗ; сменный модуль
см. также standard exchange card, FRU, SEC

63. final assembly
testing

заключительные комплексные испытания
см. также FAT

64. floating gate
fault

дефект типа "плавающий затвор" в МОП-схемах /представимый в виде константной неисправно-

сти/
см. также MOS-stuck
fault

65. floating state
высокоимпедансное состояние, третье состояние /линии, шины, вывода микросхемы/
см. также high impedance state, Z state

66. flo-tracer
тип щупа, чувствительного к величине тока /фирма Membrain/

67. flow table
таблица состояний /таблица переходов-выходов для описания асинхронных схем/

68. flush test
тест параллельной записи /в сдвиговых регистрах/

69. force strength
логическая сила, приписываемая узлу, подключенному к внешнему входу либо к потенциалу земли или питания
см. external strength, logic strength

70. forced value
вынужденное значение /сигнала на линии схемы/
см. также FV

71. forward drive
продвижение, прямое продвижение /обеспечение условий транспортировки сигнала неисправности от места ее проявления

до места ее обнаружения
- контрольной точки/
см. также forward trace,
propagation

72. forward implication

прямая импликация /по направлению к внешним выходам схемы/
см. также implication

73. forward trace

см. forward drive, propagation

74. forward tracing

прямое прослеживание;
прослеживание от входов
схемы к выходам /напр.,
неисправности/

75. four-tuple
/4-tuple/

тетрада, четверка /кортеж из четырех элементов множества/

76. frame

временная копия, временной снимок, фрейм /копия комбинационного эквивалента автомата с памятью в его интерактивной модели/
см. также temporal snapshot

77. framing error
flag

признак ошибки в формате /информации в МП/

78. free-race testing

безгоночное тестирование /тестирование, не приводящее к состязаниям/

79. full dictionary
mode

режим моделирования всех неисправностей, содержащихся в списке неисправностей /без исключения обнаруженных неисправностей/

80. functional fault
функциональная неисправность; неисправность типа "изменение функции элемента"

81. functional
hazard
неустранимый /функциональный/ риск сбоя
см. также hazard

82. functional level
primitive
функциональный примитив, базисный элемент функционального уровня
см. также functional primitive, primitive element

83. functional
primitive
см. functional level primitive

84. functional
testing
тестирование в рабочем режиме; проверка правильности функционирования
см. также FT

85. fundamental mode
input
основной способ подачи входных воздействий на

асинхронные схемы /при котором входные воздействия не изменяются до окончания переходных процессов в схеме, и каждое следующее воздействие незначительно отличается от предыдущего/

86. future event list
список будущих событий
/в алгоритмах логико-временного моделирования:
список событий, относящихся к будущим моментам времени/
см. также future event table, FEL, FET

87. future event table
таблица будущих событий
см. future event list, FEL, FET

G

1. gate personalization
персонализация элемента
/добавление к содержащимся в библиотеке элементов общим характеристикам элементов данного типа характеристик, индивидуальных для каждого элемента/

2. gate-level model
логическая модель, вен-тильная модель

3. general locking
система принудительной синхронизации

4. genericity
степень универсальности

5. girth die failure
внешняя /по отношению к

кристаллу/ неисправность /напр., на шинах/

6. girth of a graph
обход графа

7. global breakpoint
глобальная точка прерывания /остающаяся активизированной до тех пор, пока не будет явно отмечена/

8. go bit
пусковой бит

9. gold machine
заведомо исправное устройство /используемое в качестве эталона при тестовом диагностировании методом сравнения с физическим эталоном/
см. также KGB

10. go-no-go test
проверяющий тест; проверка типа "годен-негоден"
см. также detection test set, fault detection test, COTS, FDT

11. go-no-go testing
тестирование с целью проверки исправности или работоспособности объекта

12. good network
исправная схема; исправная модель /при моделировании/
см. correct circuit, GM

13. good test
"истинный" тест /в отличие от потенциального теста гарантирующий проверку заданной неисправности/

14. goods-inward test
проверка внутренних параметров; входной контроль ИМС

15. granularity
зернистость, крупность /участок выполнения программы, на протяжении которого имеет место воздействие отладочной команды/

16. grid array-pinned package
корпус ИМС с матрицей выводов /керамический многослойный корпус квадратной формы со штырьковыми выводами по всей площади основания корпуса/

17. guided-probe testing
тестирование с ведомым зондом, зондовый поиск неисправностей

Н

1. half-carry bit
разряд дополнительного /вспомогательного/ переноса
см. также auxiliary carry

2. hand-generated test
ручной тест; тест, построенный вручную

3. hard testing
аппаратурное тестирование /с применением фиксированного или заранее

запрограммированного тестового оборудования/

4. hardware description language
язык описания электронных схем; язык описания аппаратуры
см. также HDL

5. hardware simulation
аппаратурное моделирование
см. также hardware-based simulation

6. hardware-based simulation
см. hardware simulation

7. hardwired control
аппаратурное /жесткое/ управление в МП /в противоположность микропрограммному управлению/

8. harness testing
тестирование жгутов, прозвонка

9. hazard
риск сбоя /возможность появления одного или нескольких коротких паразитных импульсов/

10. hazard analysis
анализ рисков сбоя /выявление рисков сбоя в ЦУ с помощью моделирования/

11. hazard condition
условие появления риска сбоя

12. hazard status
flag
признак наличия риска
сбоя

13. hazard-free
circuit
схема без рисков сбоя

14. hazardous testing
тестирование /направлен-
ное на обнаружение/
сбоев

15. hazardously
detectable fault
неисправность, обнаружи-
ваемая как сбой /стати-
чески необнаружимая не-
исправность/

16. heap
свободная область памя-
ти, используемая по ус-
мотрению программы

17. hierarchical
description
language
язык иерархического опи-
сания /ЦУ/
см. также HANDLE

18. hierarchical
design
иерархическое проекти-
рование

19. hierarchical name
иерархическое имя /пол-
ное имя компоненты в
иерархическом описании
устройства, полученное
путем присоединения к
ее имени в блоке опи-
сания имен охватываю-
щих блоков/

20. high impedance
state
высокоимпедансное со-
стояние, третье состоя-
ние
см. floating state, Z
state

21. high impedance
strength
высокоимпедансная логи-
ческая сила /приписывае-
мая узлу, находящемуся
в высокоимпедансном
состоянии/
см. также logic strength

22. high-pin-count
test system
тестер с большим числом
каналов

23. hold-like
signals
сигналы типа HOLD, HALT,
READY и т.д., перево-
дящие МП в режим оста-
нова и ожидания

24. Huffman model
модель Хаффмена

25. hunt mode
режим активного ожида-
ния /в МП системе/

26. hyperactive
fault
сверхактивная неисправ-
ность /оказывающая
влияние на большое чис-
ло цепей, например,
неисправность в цепях
синхронизации/

1. I/face
интерфейс

2. illegal input
запрещенная комбинация
входных сигналов /набор
или последовательность
наборов входных сигналов,
описанные в технической
документации на элемент
как запрещенные/
см. также legal input

3. imperfect test
неполный тест

4. indeterminant
initialization
неопределенная установ-
ка схемы /при помощи
нескольких неизвестных
сигналов/

5. indirect recursion
косвенная рекурсия

6. infinite state
machine
бесконечный автомат,
автомат с бесконечным
числом состояний

7. inherent address-
ing mode
неявная адресация

8. in-isolation
testing
автономное тестирование,
внесхемное тестирование
см. ex-situ testing

9. initialization
sequence
установочная последова-
тельность /воздействия,

подаваемые на входы по-
следовательностной схе-
мы для перевода ее в за-
данное состояние/
см. также prefix test
sequence

10. in-line code
программа не содержа-
щая подпрограмм

11. in-mass storage
unit
компактное дисковое ЗУ
/типа "Винчестер"/

12. input count
evaluation
метод вычисления выход-
ных значений логических
вентилей путем подсчета
числа входов с одинако-
выми /доминирующими/
значениями

13. input fanout
разветвление внешнего
входа, входное развет-
вление

14. input node
входной узел

15. in-situ testing
тестирование компонен-
та устройства или си-
стемы без его демонтажа

16. instruction
cardinality
мощность команды МП
/количество независи-
мых обращений к памяти
при выполнении команды/
см. также IC

17. instruction
sensitivity
восприимчивость к ко-

манде /дефект в МП,
обусловленный утечкой
заряда/

18. intelligence
вычислительная мощность

19. intelligent user
квалифицированный поль-
зователь

20. interconnection
delay

задержка в соединении
/между элементами ЦУ/

21. intermittent
behavior
перемежающаяся функция
/реакция схемы, связан-
ная с перемеживающимися
неисправностями или не-
исправностями установки
схемы в исходное состоя-
ние/

22. internal fanout
внутреннее разветвление,
разветвление внутри схе-
мы

23. internal trace
technique
метод внутреннего про-
слеживания /метод поис-
ка неисправности, при
котором оператор ведет
зонд от выходного кон-
такта, на котором поя-
вился ошибочный сигнал,
по узловым точкам схемы
вплоть до обнаружения
неисправности/

24. internally
programmed
работающий по программе,
храняемой во внутренней

памяти

25. interrupt-like
signals

сигналы типа запроса
прерывания, сброса и
т.п., осуществляющие
прерывание выполнения
программы МП

26. intragate fault
неисправность внутри
вентиля

27. inverse operation
обеспечение
см. consistency
operation

28. irredundant fault
существенная несправ-
ность

29. irresolvable
faults
неразличимые неисправно-
сти

30. ISO file /input-
state-output
file/
файл системы моделирова-
ния, содержащий сведения
о входах, выходах и со-
стоянии элемента или
узла

31. interative combi-
national circuit
интеративная комбинацион-
ная схема, интеративная
модель /модель синхрон-
ного ЦУ с памятью, пред-
ставляющая собой после-
довательное соединение
одинаковых комбинацион-
ных эквивалентов, копий,
фреймов данного ЦУ,

которые соответствуют последовательным моментам автоматного времени/ см. также interactive model

32. interactive model
см. interactive combinational circuit

33. interactive test generator
программа синтеза тестов для ЦУ с памятью по интерактивной модели
см. interactive combinational circuit, interactive model, ITG

J

1. justification
1. обратный проход, обеспечение, С-движение
см. backward drive, C-drive, line justification
2. подтверждение /значений сигналов в алгоритме дедукции/

L

1. lay user
пользователь - непрофессионал, непрофессиональный пользователь
см. также novice user

2. least-demanding instruction
команда МП, требующая для своего выполнения наименьших аппаратурных средств

3. legal input
разрешенная комбинация входных сигналов
см. illegal input

4. level sensitive scan design
метод сдвигового регистра, метод LSSD /метод контролепригодного проектирования, при котором все элементы памяти в режиме тестирования объединяются в сдвиговые регистры/
см. также LLSD

5. level triggered latch
защелка с потенциальным запуском
см. edge triggered flip-flop

6. levelizing
разбиение схемы на уровни срабатывания, ранжирование схемы

7. line justification
обратный проход, обеспечение, С-движение
см. backward drive, C-drive, justification

8. linear feedback shift register
сдвиговый регистр с линейной обратной связью
см. также LFSR

9. linear path sensitization
активизация одномерного пути, организация одномерного существенного пути в схеме
см. также one-dimension-

nal path sensitization,
single path sensitization,
SPS

10. linear sequential
machine

линейная последователь-
ностная машина, ЛПМ
см. также LSC, LSM, LSN

11. line-oriented
approach

подход, основанный на
анализе линий связи в
схеме /при поиске де-
фектов/

12. local breakpoint
локальная точка прерыва-
ния /автоматически от-
меняемая после первой
активизации/

13. locality
локальность /характерис-
тика программы, связанная
с частотой прерываний из-
за отсутствия нужных стра-
ниц в оперативной памяти
в системах с разделением
времени/
см. также program loca-
lity

14. location dictio-
nary

словарь поиска неисправ-
ностей, диагностический
словарь

15. location test
set

тест поиска неисправно-
стей

16. logic hazard
устраняемый/логический/

риск сбоя
см. hazard

17. logic simulation
machine

машина моделирования
/специализированная ЭВМ
для логического модели-
рования/
см. также simulation
engine, SE

18. logic strength
логическая сила /харак-
теристика сигнала в
алгоритмах логического
моделирования МОП-схем,
аналогичная понятию на-
грузочной способности
в аналоговых устройст-
вах/
см. также strength,
strength of nodal
state, strength of
value

19. logical failure
логическая неисправ-
ность /сводящаяся к
изменению логических
функций элементов уст-
ройства/

20. loop breaking
разрыв цепи обратной
связи
см. cutting the loops

21. loose defect
несвязанный дефект /в
ИМС/

22. LSSD-board
LSSD-плата /плата,
спроектированная по
методу LSSD/
см. level sensitive

scan design, LSSD

23. LSSD-circuit
LSSD-схема /схема, спроектированная по методу LSSD/
см. level sensitive scan design, LSSD

24. lumped delay
сосредоточенная задержка

М

1. macroblock test generator
программа синтеза тестов по модели ЦУ, содержащей макроэлементы /в отличие от вентильной модели/
см. также MTG

2. makeup time
время восстановления работоспособности

3. mapping
мепинг /специальный прием организации интерфейса в МП-системе/

4. march element
подпоследовательность теста "марш" /для проверки ЗУ/

5. mask pattern modelling
описание БИС на масочном уровне

6. master slice approach
технология изготовления ИМС методом "базовый кристалл"

7. maximum delay simulation mode
моделирование с максимальными задержками /каждому элементу приписывается максимальная величина задержки из заданного интервала/

8. maximum allowed delay
предельно допустимая задержка /при превышении которой может быть нарушено правильное функционирование устройства/

9. Mealy machine
автомат Мили
см. также Mealy type machine

10. Mealy type machine
см. Mealy machine

11. media delay simulation mode
моделирование с номинальными задержками, моделирование со средними задержками /при котором каждому элементу приписывается номинальная величина задержки/
см. также nominal delay simulation mode

12. MG-net/marked-graphs net/
сеть /Петри/ типа маркированного графа, MG-сеть

13. micro power break
кратковременный сбой питания

14. microbit /micro-computer built-in test/

встроенные средства тестирования микроЭВМ

15. microprocessor slice
микропроцессорная секция

16. min-cut placement
размещение с минимальным числом пересечений

17. minimal delay simulation mode
моделирование с минимальными задержками /при котором каждому элементу приписывается минимальная величина задержки из заданного интервала/

18. min-max delay simulation
интервальное моделирование /моделирование в предположении, что величина задержки каждого элемента может принимать любое значение из заданного интервала/

19. min-max delay simulator
программа интервального моделирования
см. min-max delay simulation

20. misbehavior
неправильное функционирование

21. misprobe
ошибка при установке зонда /щупа/, ошибка зондирования /при зон-

довом поиске неисправностей/

22. misorientation
неверная ориентация /навесного элемента при установке на плату/

23. missing component
неустановленная компонента, пропущенная компонента /дефект монтажа платы/

24. missing detection
необнаружение неисправности

25. mixed-mode simulation
моделирование смешанного типа, смешанное моделирование
см. также multilevel simulation

26. modeling
представление; формирование модели

27. monotone circuit
монотонная схема /комбинационная схема, реализующая монотонные функции/

28. monotone function
монотонная функция

29. Moore machine
автомат Мура
см. также Moore type machine

30. Moore type machine
см. Moore machine

31. morphic
function
морфная функция /функция четности двоичных величин/

32. MOS simulation
моделирование МОП-схем,
моделирование на уровне
переключательных элемен-
тов
см. также switch-level
simulation

33. MOS-stuck fault
дефект типа "плавающий
затвор" в МОП-схемах
см. floating gate fault

34. motion-picture
display
отображение трассировки
переменных /при которой
трассируемые значения
графически отображаются
при работе программы/

35. Multibus
тип шины в МП-системах
/фирма Intel, США/

36. multi-fault
diagnosis
диагностирование крат-
ных неисправностей

37. multifeedback
с большим числом обрат-
ных связей

38. multilevel
simulation
1. многоуровневое моде-
лирование;
2. смешанное моделиро-
вание
см. mixed-mode simula-
tion

39. multipass
simulation
многопроходное моделиро-
вание /в связи с нехват-
кой оперативной памяти
ЭВМ множество неисправ-
ностей предварительно раз-
бивается на подмножества
приемлемых размеров,
которые затем моделируют-
ся поочередно/

40. multipass
simulator
программа многопроход-
ного моделирования
см. multipass simulation

41. multiple access
fault
дефект ЗУ типа "парал-
лельный доступ" /при
считывании и/или записи
наряду с адресуемой
ячейкой памяти доступны
другие ячейки/

42. multiple D-path
многомерный D-путь
см. D-path

43. multiple fault
кратная неисправность

44. multiple path
многомерный путь

45. multiple path
sensitization
активизация многомерно-
го пути, организация
многомерного существен-
ного пути в схеме
см. также MPS

46. multiple-vector
D-drive
многовекторный D-проход

/операция определения последовательностей наборов значений сигналов на входах элемента, обеспечивающих транспортировку символа D или \bar{D} со входа элемента на определенный его выход/

47. multivalued simulation

многозначное моделирование

48. must-repair algorithm

алгоритм обязательного ремонта /для ЗУ/

49. mutation testing
мутационное тестирование /метод тестирования программ, основанный на гипотезе о наличии в программах только "мелких" ошибок или "мутаций"/
см. также program mutation

N

1. native defect
собственный дефект /в ИМС/

2. NCE simulation
/next critical event simulation/
моделирование по следующему критическому событию /один из алгоритмов событийного моделирования/

3. negative edge-triggered

срабатывающий по отрицательному фронту сигнала /т.е. при переключении сигнала из 1 в 0/

4. nine-valued algorithm

девятизначный алгоритм /один из структурных алгоритмов синтеза тестов, отличающийся от D-алгоритма расширенным алфавитом значений сигналов и меньшим объемом перебора путей/

5. nominal delay simulation mode

моделирование с номинальными задержками см. media delay simulation mode

6. noncontrolling value

отпирающее значение /значение логической переменной, подаваемое на один из входов вентиля, для создания условий активизации пути по другому из его входов, например, "1" для вентиля И и И-НЕ/

7. nonCPU device
периферийный модуль в МП-системе

8. nonfault
свободный от неисправностей, исправный см. fault-free, ff

9. non-feedback bridging fault
неисправность типа "короткое замыкание", не

образующая дополнительную обратную связь в схеме

10. non-LSSD circuit
схема, спроектированная не по методу LSSD, не-LSSD-схема
см. level sensitive scan design, LSSD

11. nonqueueing mailbox
почтовый ящик. без очередей /метод доступа многих пользователей к общему ресурсу, например, ЗУ или каналу, без использования централизованного управления/

12. nonreset sequence
неустановочная последовательность

13. nonstuck fault
неконстантная неисправность

14. normal function
функция, реализуемая исправным элементом или устройством

15. normal line
линия, не имеющая константных неисправностей, исправная линия

16. normal mode
рабочий режим /функционирования устройства/

17. novice user
неопытный пользователь, начинающий пользователь, новичок
см. lay user

18. NuBus
32-разрядная шина Массачусетского технологического института /США/

0

1. observability
наблюдаемость /один из показателей контролепригодности, характеризующий сложность активизации пути от данной линии до одного из выходов схемы/

2. observation point
контрольная точка, выходной контакт схемы
см. также control point

3. off-line tester simulator
программа имитационного моделирования тестера

4. off-line testing
тестовое диагностирование

5. on-chip device
модуль, размещенный на одном кристалле с МП

6. one-and-a-half-address instruction
полутороадресная команда

7. one-dimentional path sensitization
активизация одномерного пути, организация одномерного существенного пути в схеме

см. linear path sensitization, single path sensitization, SPS

8. one-fail-safe
отказоустойчивый по единице /свойство системы иметь только нулевые логические дефекты/

9. one-pass simulation
однопроходное моделирование
см. также one-pass simulator

10. one-pass simulator
программа однопроходного моделирования
см. one-pass simulation

11. one-shot
одновибратор
см. также single-shot

12. one-step t-fault diagnosable system
система, пригодная к диагностированию t неисправностей за один цикл диагностической программы

13. on-line identification
апостериорная идентификация параметров объекта в процессе его функционирования

14. on-line testing
функциональное диагностирование /осуществляемое во время функционирования объекта/

15. open fault
дефект типа "обрыв цепи"

16. open loop mode
режим проверки МП с разрывом связи между процессором и памятью
см. также closed loop mode

17. opens
обрывы /множество дефектов типа "обрыв цепи"/

18. opposite logic value
инверсное логическое значение /по отношению к данному, напр., 1 по отношению к 0/

19. OR plane
матрица ИЛИ /в ПЛИМ/

20. OR-bridge fault
неисправность типа "монтажное ИЛИ" /дефект типа перемычки между проводниками, сводящийся к реализации функции ИЛИ в точке замыкания/
см. также wired-OR bridging fault

21. orthogonal instruction set
ортогональная система команд /в которой любой имеющий смысл режим адресации можно использовать в любой команде/

22. out-of-tolerance component
компонента с параметрами, выходящими за пределы допуска

Р

1. packaged defect
дефект внутри корпуса ИМС

2. page-register
addressing mode
дресация с использованием регистра страниц

3. parallel fault
simulator
программа параллельного моделирования неисправностей

4. parallel scan
параллельный просмотр
/напр., состояний элементов памяти/
см. также PS

5. parallel simulation
параллельное моделирование /напр., нескольких неисправных схем на одной входной последовательности или исправной схемы на нескольких входных последовательностях, причем количество одновременно моделируемых схем или последовательностей определяется разрядностью слова памяти инструментальной ЭВМ/
см. также parallel fault simulation

6. parallel-in
parallel-out
register
регистр с параллельным вводом-выводом

7. partially ordered
test set

частично упорядоченная тестовая последовательность, сегментный тест

8. partially self-checking checker
частично самопроверяемая схема встроенного контроля

9. partially self-checking circuit
частично самопроверяемая схема

10. pass message
сообщение "неисправность не обнаружена"

11. passive release
пассивная разблокировка /в шинах типа Unibus означает, что устройство управления передачей данных разблокирует шину, игнорируя сигнал занятости/

12. path delay
задержка пути, путевая задержка сигнала /сумма величин задержек элементов и соединений, принадлежащих данному пути в схеме/

13. path delay
analysis
анализ задержек в путях; анализ времени распространения сигналов
см. также worst case delay analysis

14. path sensitization
активизация пути, орга-

низация существенного
пути в схеме
см. также sensitization

15. path sensitizer
процедура активизации
путей /в алгоритмах син-
теза тестов/

16. path-oriented
approach
подход, основанный на
анализе путей в схеме
/при поиске дефектов/

17. pattern rate
"чистая" скорость пода-
чи тестовых наборов
/без учета времени под-
ключения проверяемого
устройства к тестеру,
времени перезагрузок
буфера и т.п./
см. effective test rate,
test rate, ETR

18. pattern sensitive
fault
неисправность, связанная
с восприимчивостью к на-
борам данных /дефект
ЗУПВ/

19. peer-to-peer
communication
связь между модулями
по принципу "равный с
равным"

20. permanent fault
устойчивая неисправность

21. pessimistic
simulation
algorithm
пессимистический алго-
ритм моделирования /об-
наруживающий наряду с

реальными и несуществую-
щими состязания, напр.,
алгоритм троичного моде-
лирования Эйхельбергера/

22. phantom element
псевдоэлемент, фиктивный
элемент

см. artificial element

23. physical failure
дефект

24. piggy-back
connector
проходной разъем

25. pin count
1. количество контактов
2. максимально допусти-
мое количество контак-
тов проверяемого ЦУ
/характеристика тестера/

26. pin fault
неисправность на вход-
ном или выходном кон-
такте разъема

27. pin option
контактное приспособ-
ление

28. ping-pong
procedure
попарное считывание;
тест "пинг-понг" /про-
цедура проверки взаим-
ного влияния пар ячеек
ЗУПВ/
см. также ping-ponging,
RCPP

29. ping-ponging
см. ping-pong procedure,
RCPP

30. pipeline register
регистр микрокоманд в

секционированном МП

31. planned debugging
запланированная отладка
/основанная на заранее
размещенных специально
для отладочных целей в
разрабатываемой програм-
ме блоках или операто-
рах/

32. pop-off
извлечение /выборка/ дан-
ных из стека
см. также popping

33. popping
см. pop-off

34. positive edge-
triggered
срабатывающий по положи-
тельному фронту сигнала
/т.е. при переключении
сигнала из 0 в 1/

35. possible fault
подозреваемая неисправ-
ность

36. possibly detected
fault
условно проверяемая не-
исправность, неустойчи-
во проверяемая неисправ-
ность
см. также potentially
detected fault

37. postamble
breakpoint
оконечная точка прерыва-
ния

38. post-fault
analysis
апостериорный анализ
неисправности

39. postmortem
debugging
постотладка /способ
отладки с использовани-
ем копии состояния про-
граммы, имевшего место
в момент обнаружения
ошибки/

40. post-test
diagnosis
апостериорное диагности-
рование /поиск подозре-
ваемых неисправностей
путем анализа модели
ЦУ с учетом результатов
прохождения теста/

41. potential test
потенциальный тест, кан-
дидат в тесты /не гаран-
тирующий проверку за-
данной неисправности/

42. potentially
detected fault
см. possibly detected
fault

43. power-on reset
сброс по включению пи-
тания

44. power-up support
circuitry
схема расширения воз-
можностей основных
элементов ПП

45. preamble break-
point
начальная точка прерыва-
ния

46. preclear
предварительно установ-
ливать в исходное сос-
тояние /элемент или ЦУ

с памятью/
см. также PC, PS

47. predecessor
предшественник; предше-
ствующая линия /значение
на которой влияет на
сигнал на данной линии
схемы/
см. также successor

48. prefix test
sequence
предварительная тесто-
вая последовательность;
установочная тестовая
последовательность
см. initialization
sequence

49. prefunctional
test station
внутрисхемный тестер
/используемый на первом
этапе тестового диаг-
ностирования ЦУ/

50. prepackaged
microcomputer
микроЭВМ в модульном
исполнении

51. prerequisite
библиотечный элемент
в системах моделирова-
ния

52. prestored test
set
хранимый тест /обычно
тест для встроенного
контроля, предвари-
тельно записанный в ПЗУ/

53. primary output
внешний выход

54. prime source
device

ИМС, выпущенная предприя-
тием /фирмой/ - разрабо-
тчиком
см. также second source
device

55. primitive cube
простой куб /в исчисле-
нии D-кубов/
см. D-calculus; D-nota-
tion, PC

56. primitive D-cube
простой D-куб /в исчис-
лении D-кубов/
см. D-calculus, D-nota-
tion, PDC

57. primitive D-cube
of failure
простой D-куб несправ-
ности /в D-алгоритме/
см. также PDCF

58. primitive
element
примитив, базисный эле-
мент /не описываемый
соединением более про-
стых элементов/

59. probe contact
pad
контрольная точка на
ПП

60. probing sequence
последовательность то-
чек установки зонда
(щупа) /при зондовом по-
иске неисправностей/

61. product of sums
конъюнкция дизъюнкций

62. product term
конъюнктивный член, терм

63. production test
отбраковочные испытания

64. program counter
relative address-
sing mode
относительная адресация
с использованием счет-
чика команд

65. program locality
локальность программы
см. locality

66. program mutation
мутация программы /из-
менение программы при
наличии "мелких" ошибок/
см. mutation testing

67. programmable
breakpoint
программируемая точка
прерывания /при дости-
жении которой управление
автоматически передает-
ся заранее заданной
отладочной команде/

68. programmer's
apprentice
инструментарий програм-
миста /набор програм-
мных средств, облегчаю-
щих труд программиста
при разработке, испыта-
ниях и сопровождении
программ/

69. propagation
продвижение, прямое про-
движение
см. forward drive,
forward trace

70. propagation
D-cube
D-куб продвижения, тран-
спортирующий D-куб /в
D-алгоритме/
см. также PDC

71. propagational
delay
задержка распространения
сигнала

72. pseudoinput
псевдовход /в интератив-
ной модели последователь-
ностной схемы/
см. также SI

73. pseudooutput
псевдовыход /в итератив-
ной модели последователь-
ностной схемы/
см. также SO

74. pseudorandom test
псевдослучайное тестиро-
вание, тестирование с
применением псевдослучай-
ных кодов/
см. также pseudorandom
testing

75. pseudorandom
testing
см. pseudorandom test

76. pulldown
"утягивающий вниз" эле-
мент /напр., резистор,
"утягивающий" к потенциа-
лу земли/
см. также pulldown node,
pulldown transistor

77. pulldown node
"утягивающий вниз" узел
/в моделях МОП-схем/
см. pulldown, pulldown
transistor

78. pulldown transistor
"утягивающий вниз" транзистор
см. pulldown, pulldown node

79. pullup
"утягивающий вверх" элемент /напр., резистор, "утягивающий" к потенциалу питания/
см. также pullup node, pullup transistor

80. pullup node
"утягивающий вверх" узел /в моделях МОП-схем/
см. pullup, pullup transistor

81. pullup transistor
"утягивающий вверх" транзистор
см. pullup, pullup node

82. pulser probe
щуп, задающий в схему импульсы /тока/
см. current pulser

83. punctuation error
пунктуационная ошибка, ошибка в записи разделителей /в ЯАП/

84. pure stack machine
процессор с чисто стековой организацией

85. pushing
ввод данных в стек
см. также push-on

86. push-on
см. pushing

87. push-pull gate
двухтактный элемент, пушпульный элемент

Q

1. quin-state logic
логические схемы с пятью состояниями; пятизначная логика

2. quin-value logic
пятизначная логика

R

1. race analysis
анализ состязаний /выявление состязаний в ЦУ с помощью моделирования/

2. race condition
условие возникновения состязаний

3. race-free circuit
схема, свободная от состязаний

4. random access scan design
метод сканирования с произвольным доступом /один из структурных методов контролепригодного проектирования/
см. также RAS

5. random test
1. случайный тест
2. нерегулярный тест

6. Rausher's rule
правило Раушера /"Микро-
программирование неэффек-
тивных алгоритмов также
неэффективно"/

7. redundant fault
несущественная неисправ-
ность /связанная с из-
быточностью схемы/

8. Reed-Muller
representation
представление. Рида-Мал-
лера /способ выражения
любой булевой функции
через функции сложения
по модулю 2/

9. reference machine
опорная модель /в алго-
ритмах совместного моде-
лирования/
см. также RM

10. refresh sensi-
tivity
чувствительность к пере-
записи /дефект динами-
ческих ЗУПВ, обуслов-
ленный сохранением ин-
формации при малых цик-
лах перезаписи, вызван-
ный чрезмерными утечка-
ми заряда/

11. register array
набор регистров общего
назначения /РОН/
см. также register file

12. register file
см. register array

13. register transfer
language
язык регистровых передач
см. также RTL

14. register transfer
level
уровень регистровых пе-
редач
см. также RTL

15. register transfer
level simulation
моделирование на уровне
регистровых передач
см. также RTL simulation

16. rehost
подгонка, настройка

17. repairability
ремонтпригодность

18. repair-most
algorithm
алгоритм устранения
максимума неисправно-
стей /в ЗУ/

19. replaceable unit
сменный блок

20. representative
fault
неисправность-представи-
тель /неисправность,
представляющая некото-
рый класс эквивалент-
ных неисправностей/

21. reset sequence
установочная последова-
тельность

22. resilient
computing
гибкие вычисления /с
альтернативными вет-
вями вычислений в слу-
чае отказа основной
ветви/

23. resistive
strength

резистивная логическая сила /приписываемая узлу, подключенному к источнику тока через резистор/
см. logic strength

24. resolution of fault location
глубина поиска дефекта /неисправности/
см. также FIR

25. response compression
сжатие теста, сжатие выходной последовательности /напр., в сигнальном анализе/

26. rest state
состояние подключенного к общей шине выхода БИС при отсутствии входного сигнала

27. reverse tracing
обратное прослеживание; прослеживание от выходов схемы ко входам
см. backtrace, RT

28. rightmost bit
самый правый двоичный разряд, младший разряд

29. rise
изменение значения сигнала из 0 в 1
см. также up transition, LNT

30. rise delay
задержка переключения сигнала из 0 в 1, задержка нарастания сигнала
см. также rising delay

31. rise-fall delay
задержка нарастания-спада сигнала

32. rising delay
см. rise delay

33. roving emulation
перемещаемая эмуляция /метод аппаратурного самотестирования по прерываниям/

34. RTL simulation
см. register transfer level simulation

35. run-time debugging
отладка при работе программы
см. также interactive debugging

S

1. safeside
односторонняя отказоустойчивость /свойство системы быть отказоустойчивой или по нулю, или по единице/
см. one-fail safe, zero-fail-safe

2. scan
проход /при моделировании - один шаг вычисления значений на всех линиях схемы/

3. scan design circuit
схема, разработанная по одному из методов структурного проектирования контролепригодных устройств

/напр., по методу LSSD/

4. scan direct access
метод сканирования с непосредственным доступом /метод структурного проектирования контролепригодных устройств фирмы Fujitsu /Япония/
см. также SDA

5. scan latch
защелка сканирования /регистр в схеме, построенный по методу LSSD/
см. logic sensitive scan design, LSSD

6. scan path design
метод сканирования путей /один из структурных методов контролепригодного проектирования/

7. scan-in
прямой доступ к входам подсхем, управляемость подсхем
см. также scanning in

8. scanning in
см. scan in

9. scanning out
прямой доступ к выходам подсхем, наблюдаемость подсхем
см. также scan-out

10. scan-out
см. scanning out

11. scan/set design
метод сканирования/установки /метод структурного проектирования контролепригодных устройств фирмы Sperry-Univac /США/

см. также scan/set logic

12. scan/set logic
см. scan/set design

13. scratchpad
сверхоперативное ЗУ; регистры общего назначения /РОН/

14. search space
пространство поиска

15. SEC-DED scheme
(single-error-correction, double-error-detection)

схема встроенного контроля ЗУПВ с исправлением одиночных и обнаружением двойных ошибок

16. second source device
ИМС, выпущенная предприятием /фирмой/ по лицензии; ИМС второго поставщика
см. также prime source device

17. self-checking checker
самопроверяемая схема встроенного контроля
см. built-in self-checking monitoring circuit

18. self-checking machine
самопроверяемое устройство

19. self-diagnosable computer
ЭВМ с самодиагностикой

20. self-explanatory condition

очевидное условие

21. self-loop-free net

сеть /Петри/, свободная от петель; чистая сеть Петри

22. self-repair system

самовосстанавливающаяся система, система с самовосстановлением

23. self-sufficiency for testability

автономность тестирования

см. также OCSS

24. sensitive input of gate

активный вход элемента /на котором изменение значения сигнала на противоположное при неизменных сигналах на других входах приводит к изменению значения сигнала на выходе элемента на противоположное/
см. active input

25. sensitization

активизация пути, организация существенного пути в схеме

см. path sensitization

26. sensitized configuration

активизирующий набор /набор входных сигналов, изменение любого из которых приводит к изме-

нению выходного сигнала; например, набор единиц для вентиля И или набор нулей для вентиля ИЛИ/

27. sensitizing conditions

условия активизации пути, условия очувствления пути

см. path sensitization, sensitization

28. sensor mode

режим приема данных с двунаправленной шины

29. sequence driven

управляемый последовательностью операторов /о принципе управления в процедурных ЯАП/

30. sequential

controllability

последовательностная управляемость /один из показателей контролепригодности, характеризующий сложность обеспечения требуемого логического значения сигнала на данной линии схемы и связанный с длиной входной последовательности, необходимой для установки этого значения/

31. sequential

observability

последовательностная наблюдаемость /один из показателей контролепригодности, характеризующий сложность

активизации пути от данной линии до одного из выходов схемы и связанный с длиной входной последовательности, необходимой для активизации пути/

32. sequential 1-controllability
последовательностная 1-управляемость
см. sequential controllability, 1-controllability

33. sequential 0-controllability
последовательностная 0-управляемость
см. sequential controllability, 0-controllability

34. sequentially t-fault diagnosable system
система, пригодная к последовательному диагностированию t неисправностей

35. serial fault simulation
последовательное моделирование неисправностей, поочередное моделирование неисправностей

36. serial scan
последовательный просмотр /напр., состояний элементов памяти/
см. также SS

37. set of fault symptoms
набор признаков неисправности, техническое состояние

38. shift register latch
фиксатор сдвигового регистра /в методе LSSD/
см. также SRL

39. short diffusions fault
дефект типа перемычки между слоями полупроводника в БИС

40. short fault
дефект типа "короткое замыкание"

41. shorted diode fault
дефект типа "короткозамкнутый входной диод" /непредставимый моделью константной неисправности/

42. signature probe
сигнатурный заряд

43. signature tester
сигнатурный тестер; устройство сигнатурного контроля

44. simulation engine
спецпроцессор моделирования; машина моделирования
см. logic simulation machine, SE

45. simulation model
способ описания схемы с
целью ее моделирования

46. single D-path
одномерный D-путь
см. D-path, one-dimentional D-path

47. single path
одномерный путь
см. one-dimentional path

48. single path sensitization
активизация одномерного пути, организация одномерного существенного пути в схеме
см. linear path sensitization, one-dimentional path sensitization, SPS

49. single transition period
период одиночного перехода /время изменения входной переменной с одного логического значения на другое/

50. single-shot
одновибратор
см. one-shot

51. single-vector D-drive
одновекторный D-проход /операция определения наборов значений сигналов на входах элемента, обеспечивающих транспортировку символа D или \bar{D} со входа элемента на любой его выход/

52. singular cover table
таблица вырожденных покрытий, минимизированная таблица истинности
см. covering

53. singular cube
С-куб, простой куб, вырожденный куб, сиггулярный куб
см. C-cube, SC

54. slave processor
подчиненный процессор

55. sleeping sickness
"сонная болезнь" /дефект в МОП ЗУ, связанный с потерей информации в ячейке до момента регенерации/

56. slice
разрядная секция /в секционированных МП/

57. sliding-ONE test
тест ЗУ типа "бегущая единица"

58. sliding-ZERO test
тест ЗУ типа "бегущий ноль"

59. sloppy
нестабильный /об источниках питания/

60. SM-net /state machine net/
автоматная сеть Петри, SM-сеть

61. snap-action switch
переключатель со слышимым
или осязаемым /или и с тем,
и с другим/ переходом из
одного состояния в другое

62. snapshot emulation
эмуляция в фиксированные
моменты времени

63. soft failure
потенциальная неисправ-
ность /отклонение пара-
метров элемента от номи-
нальных, в случае превы-
шения допуска, приводя-
щее к постоянной неис-
правности/

64. soft testing
программное тестирование
/применение программируе-
мого тестового оборудо-
вания/

65. softsense
форматочувствительность
/способность операцион-
ной системы автоматичес-
ки выбирать процессор для
загружаемой программы в
многопроцессорных систе-
мах/

66. software probe
программный щуп /зонд/
/средство определения
частоты выполнения опе-
ратора программы/

67. software test-bed
system
система тестирования про-
грамм, система тестовой
среды

68. soldered-in defect
след запайки дефекта

легкоплавким припоем
см. также soldered-in
trace

69. soldered-in
trace
см. soldered-in defect

70. space module
резервный модуль

71. spike analysis
анализ кратковременных
импульсов /выявление не-
допустимых кратковремен-
ных импульсов в ЦУ с по-
мощью моделирования/

72. spike warning
предупредительное сооб-
щение о кратковременных
импульсах
см. spike analysis

73. splitting lines
расходящиеся линии,
расходящееся ветвление

74. SSF-assumption
/single-stack-
fault assumption/
предположение об одиноч-
ных константных неис-
правностях
см. также SFA

75. stack machine
процессор со стековой
организацией

76. stacking bus
пакетирующая шина
/средство взаимного
соединения ПП/

77. standard delay
стандартная задержка,
типовая задержка /при-
писываемая элементам

модели устройства в зависимости от типа элемента/

78. standard exchange card

ячейка; типовой элемент замены, ТЭЗ; сменная плата
см. field-replaceable unit, FRU, SEC

79. star algorithm
звездный алгоритм /один из структурных алгоритмов синтеза тестов/

80. STAR computer
самопроверяемая и самовосстанавливаемая ЭВМ
см. также STAR

81. starring
пометка звездочками

82. start state
начальное состояние, исходное состояние /состояние последовательностного ЦУ перед подачей входной последовательности/

83. start-small testing
тестирование методом расширяющегося ядра /постепенное расширение охвата аппаратуры, начиная с минимального ее объема, когда каждый узел проверяется только посредством уже проверенных узлов/

81. stated address
исходный адрес

85. state-machine Petri net
автоматная сеть Петри

86. static 1-hazard
статический риск сбоя в единице /кратковременное принятие нулевого значения сигналом с единичным логическим уровнем/

87. static 0-hazard
статический риск сбоя в нуле /кратковременное принятие единичного значения сигналом с нулевым логическим уровнем/

88. statisizer
триггер состояния

89. statistical fault simulation
статистическое моделирование неисправностей

90. status latch
регистр состояния /в МП/

91. status output
выход состояния
см. также SO

92. step-down hazard
динамический риск сбоя, связанный с переходом с высокого логического уровня на низкий

93. step-up hazard
динамический риск сбоя, связанный с переходом с низкого логического уровня на высокий

94. stimulus-response testing
тестирование методом "стимул-реакция-сравнение"
/подача входных тестовых воздействий и сравнение реакций объекта диагностирования с хранимыми эталонными реакциями/
см. также stimulus-response-compare testing;
SRCT, SRT

95. stimulus-response-compare testing
см. stimulus-response-testing, SRCT, SRT

96. stray delay
паразитная задержка /задержка, вносимая элементами и тоководущими проводниками/

97. strength
логическая сила
см. logic strength, strength of nodal state, strength of value

98. strength of nodal state
логическая сила состояния узла
см. logic strength, strength, strength of value

99. strength of value
логическая сила сигнала
см. logic strength, strength, strength of nodal state

100. strong node
сильный узел, узел с большой логической силой

/в алгоритмах моделирования МОП-схем/

101. strong sequential
сильнопоследовательственный

102. strongly connected component
сильносвязная компонента, сильносвязная подсхема
см. также SCC

103. structural modeling language
язык структурного описания схем

104. stuck-at-X fault
неисправность типа "постоянное неизвестное значение", константная неисправность - X
см. также s-a-X

105. stuck-at-Z fault
неисправность типа "постоянное высокоимпедансное состояние", константная неисправность -
см. также s-a-Z

106. stuck-high
константная неисправность - 1
см. также s-a-1

107. stuck-line fault
константная неисправность

108. stuck-low
константная неисправность - 0
см. также s-a-0

109. stuck-on fault
дефект типа "постоянно
включенный затвор" на
входе МОП-структуры /не
сводящийся к константной
неисправности/

110. stuck-open
fault
дефект типа "постоянно
отключенный затвор"
на входе МОП-структу-
ры /сводящийся к констант-
ной неисправности на
соответствующем входе/

111. subrange data
type
ограниченный тип данных

112. subscripted
D-algorithm
D-алгоритм с индексиро-
ванием /один из струк-
турных алгоритмов син-
теза тестов, разновид-
ность D-алгоритма/

113. successor
последователь; последую-
щая линия /линия, зна-
чение на которой зави-
сит от сигнала на рас-
сматриваемой линии схе-
мы/
см. также predecessor

114. suffix test
sequence
заклучительная тесто-
вая последовательность

115. sum of products
дизъюнкция конъюнкций

116. suspected
fault
подозреваемая, несправ-

ность

117. switch fault
неисправность переключ-
ательного элемента;
дефект переключатель-
ного элемента

118. switch-level
simulation
моделирование на уровне
переключательных элемен-
тов
см. MOS simulation

119. symbolic
execution
символическое выполне-
ние /программы/

120. syndrome /of
Boolean func-
tion/
синдром /булевой функ-
ции/ /отношение числа
входных наборов, на ко-
торых функция принимает
значение 1, к общему
числу входных наборов/

121. syndrome-testab-
le design
проектирование с учетом
контролепригодности по
некоторым признакам;
проектирование с обес-
печением возможности
тестирования по синд-
рому

122. system status
состояние системы

123. systolic chip
систолический кри-
сталл /одно- или дву-
мерный набор однород-
но связанных между

Т

1. table-driven functional simulator
программа интерпретативного функционального моделирования

2. table-driven simulation
интерпретативное моделирование

3. table-look-up simulation technique
метод интерпретативного моделирования со специальной табличной организацией данных

4. target fault
неисправность, подлежащая проверке; целевая неисправность

5. target processor
эмулируемый процессор

6. TC-test /transition count test/
тест, основанный на подсчете числа логических переходов
см. также TC

7. TC-testing
тестирование по числу логических переходов
см. TC-test, TC

8. technical diagnosing
техническое диагностирование

9. technical diagnostics
техническая диагностика

10. telematics
телематика /сокращение от телеинформатика - область исследований применения ЭВМ как элемента сети дистанционной передачи и обработки информации/

11. temporal snapshot
временная копия, временной снимок, фрейм
см. frame

12. terminal experiment
диагностический эксперимент с использованием только внешних выводов

13. terminate
выводить /линию ПП/ на разъем

14. test comprehensiveness
полнота испытаний

15. test condition
тестовый набор, набор тестовых воздействий

16. test coprocessor
тестовый сопроцессор /устройство для проверки аппаратурного ядра самотестирования системы/

17. test coverage
полнота обнаружения неисправностей, полнота теста

см. fault coverage, FC

18. test criterion
критерий выбора тестов

19. test cube
тестовый куб /вектор значений сигналов на линиях схемы в языке кубических комплексов/
см. также TC

20. test description language
язык описания тестов
см. также test language, TDL

21. test editor
редактор тестов /специализированная программа редактирования/

22. test engineer
инженер по тестированию, специалист в области технической диагностики, инженер-диагностик

23. test language
см. test description language, TDL

24. test language compiler
транслятор тестов /программа трансляции тестов с языка описания в объектный код тестера/

25. test merging
склеивание тестовых наборов, поглощение тестовых наборов /процесс минимизации множества тестовых наборов с учетом степени покрытия ими различных неисправностей/

26. test mode
тестовый режим, режим тестирования /в противоположность рабочему режиму/

27. test pattern compaction
сжатие теста

28. test pin
контрольная точка; лепесток на ПП

29. test programmer
разработчик тестов
см. также test writer

30. test rate
скорость тестирования
см. effective test rate, pattern rate, TR

31. test responder
тестовый ответчик

32. test scoring
оценка теста

33. test station
внешнее средство тестового диагностирования; испытательный стенд; рабочая станция или терминал автоматической испытательной системы
см. ATE station, ATS station

34. test step
элементарная проверка

35. test stimulus
тестовое входное воздействие
см. stimuli

36. test strategy
1. стратегия тестирования
2. порядок подачи тестовых воздействий
37. test system
1. система тестового диагностирования
2. система построения тестов
38. test validity
- достоверность теста; достоверность результатов тестирования
39. test verification
- проверка полноты теста /с помощью моделирования/
40. test writer
- см. test programmer
41. testability analysis
- анализ контролепригодности; расчет показателей контролепригодности
42. testability design
- проектирование с учетом контролепригодности, контролепригодное проектирование
- см. design for diagnosability, design for testability, DFT
43. testability measure
- показатель контролепригодности; мера контролепригодности
44. testable design
1. контролепригодное проектирование, проектирование с обеспечением контролепригодности
- см. design for diagnosability, design for testability, DFT
2. контролепригодная схема, контролепригодный проект
45. testable fault
- проверяемая неисправность, обнаруживаемая неисправность
- см. detectable fault
46. tester-specific
- характерный для данной реализации тестера
47. test-program debugger
- отладчик тестов /программное или программно-аппаратурное средство/
48. three-state simulation
- троичное моделирование, трехзначное моделирование /в алфавите 0,1, X/
- см. также three-value simulation
49. three-value simulation
- см. three-state simulation
50. throw
- позиция /число схем, которыми может управлять каждый отдельный полюс переключателя/

51. throw-away hardware
пробные аппаратные средства

52. time in socket
полное время тестирования /время, в течение которого проверяемое устройство подключено к тестеру/

53. time simulation
моделирование процессов синхронизации; моделирование с учетом временных задержек, логико-временное моделирование

54. time-domain simulation
временное моделирование

55. timing delay fault
неисправность типа "нервная величина задержки"
см. delay fault

56. timing verification
проверка временных характеристик

57. timing violation
нарушение временных соотношений, временное несогласование; нарушение синхронизации

58. timing wheel
колесо времени, временное колесо /структура данных, используемая в алгоритмах логико-временного моделирования/

см. также TW

59. token
фишка /средство разметки сетей Петри/

60. totally self-checking checker
полностью самопроверяемая схема встроенного контроля

61. totally self-checking circuit
полностью самопроверяемая схема

62. traceback
обратная трассировка

63. tradeoff
штрафная функция /в автоматизации проектирования СБИС/

64. transport delay
задержка распространения, чистая задержка /задержка, обусловленная элементом или проводником/

65. transputer
транспьютер /фирменное название универсальной однокристалльной микро-ЭВМ с сокращенным набором команд/
см. также RISC

66. tri-state device
тристабильный элемент, элемент с тристабильным выходом
см. также tristate gate

67. tristate gate
см. tri-state device

68. tristate receiver gate

тристабильный приемник /элемент модели, преобразующий высокоимпедансное состояние входа в выходное значение 0, 1 либо X и реализующий тождественную функцию в остальных случаях/

69. troubleshooter

зонд для поиска неисправностей

70. true-value /logic/ simulation

моделирование исправной схемы
см. fault-free simulation

71. true-value simulator

программа моделирования исправных схем
см. true-value simulation

72. t/s /t-out-of-s/ diagnosability

диагностируемость "t из s" /критерий оценки диагностируемости, по которому для восстановления системы с не более чем t неисправными модулями требуется замена не более s модулей, $t \leq s$ /

73. two-pass simulation

двухпроходное моделирование /логико-временное моделирование с не более чем двукратным

определением значения сигнала на выходе элемента независимо от числа событий на его входах/

74. two-pass simulator

программа двухпроходного моделирования
см. two-pass simulation

75. two-rail checker

схема попарного контроля, двухпроводная схема контроля

76. tying

средства сопряжения

U

1. UCSD-version

версии языков высокого уровня /UCSD-Паскаль, UCSD-Фортран и т.д./, обуславливающие программную совместимость ЭВМ. Названы по имени университета в г.Сан-Диего, шт.Калифорния, США

2. unate function

унарная функция /функция, выражаемая только через прямые или только через обратные логические значения каждой из переменных/

3. undefined level

неопределенное значение сигнала
см. также undefined

state, undefined value,
undetermined value, X-
state, X-value

4. undefined state

1. неопределенное сос-
тояние /элемента или
устройства с памятью/
см. также X-state

2. неопределенное зна-
чение сигнала

см. undefined level,
undefined value, unde-
termined value, X-state,
X-value

5. undefined value

см. undefined level,
undefined state, unde-
termined value, X-state,
X-value

6. undetectability

непроверяемость, необ-
наружимость /неис-
правности/

7. undetectable fault

непроверяемая неисправ-
ность, обнаруживаемая
неисправность /неисправ-
ность, которая не может
быть обнаружена ника-
ким тестом/

8. undetected fault

непроверенная неисправ-
ность; неисправность,
не проверяемая данным
тестом

9. undetermined
value

см. undefined level,
undefined state, unde-
fined value, X-state,
X-value

10. unidirectional
errors

однонаправленные ошибки
/искажение символов ко-
дового слова. одного
вида: $0 \rightarrow 1$ или $1 \rightarrow 0$ /

11. unidirectional
test

однонаправленный тест
/обеспечивающий поток
данных в одном на-
правлении/

12. uninitialized
value

символ начальной неоп-
ределенности, неопре-
деленное значение сиг-
нала перед началом
моделирования /в
многозначном моделиро-
вании/
см. также NI

13. unit delay

единичная задержка /эле-
мента в модели устрой-
ства/

14. unit delay
simulation

моделирование с единич-
ными задержками /при
котором все элементы
имеют одинаковую за-
держку распространения,
равную единице модель-
ного времени/

15. unit delay
simulator

программа моделирования
с единичными задержками,
программа моделирования
с равными задержками
см. unit delay simulation

16. unknown value
неизвестное значение
сигнала

17. unordered test
set
набор тестов, неупорядоченный набор тестов /набор тестов, порядок подачи которых не изменяет полноты проверки неисправностей/

18. up transition
изменение значения сигнала из 0 в 1
см. rise, LNT

19. user environment
условия пользователя, уровень пользователя /объем информации о структуре и характеристиках элементов и схем, извлекаемой из руководств для пользователей/

20. user module
library
личная библиотека элементов пользователя /в САПР/

21. UW-Pascal /University of
Wisconsin Pascal/
диагностический компилятор для языка Паскаль /университет шт. Висконсин, США/
см. также diagnostic compiler

V

1. valid machine
исправная схема; работающий модуль

2. value trace
поток значений /при моделировании/

3. value vector
вектор значений /сигналов на линии в исправной и неисправных схемах при параллельном моделировании/

4. variable trace
трассировка переменных /отображение имен и значений переменных, к которым производилось обращение или значения которых претерпевали изменения в процессе выполнения программы/

5. Versabus
наименование шинной магистрали фирмы Motorola /США/

6. vertical
implication
вертикальная импликация /связывание значений сигналов на одной и той же линии схемы при различных тестовых воздействиях в алгоритме дедукции/
см. также backward implication, forward implication, implication

7. volatility test
проверка способности сохранения информации в МОП ЗУ

8. voltage-sensing probe
щуп, чувствительный к уровню напряжения

9. von Neumann bottleneck
ограничение архитектуры Неймана, неймановское ограничение

10. voxel
элемент объема, пространственный элемент

W

1. wafer-scale integration
интеграция на целой пластине, ИЦП /технология изготовления БИС/

2. walking-bit pattern
тестовый набор типа "блуждающая единица" или "блуждающий ноль" /для проверки ЗУ/
см. также GALPAT

3. Walsh coefficient
коэффициент Уолша

4. watchdog processor
процессор-сторож /аппаратные средства в МП-системе, предназначенные для обнаружения ошибок при выполнении программы/

5. wave front
фронт распространения сигналов, фронт переключений /в логико-временном моделировании/

6. weak node
слабый узел, узел с малой логической силой

7. wired AND
монтажное И, монтажный элемент И
см. также WAND

8. wired element
монтажный элемент

9. wired OR
монтажное ИЛИ, монтажный элемент ИЛИ
см. также WOR

10. wired-AND bridging fault
неисправность типа "монтажное И"
см. AND-bridge fault

11. wired-OR bridging fault
неисправность типа "монтажное ИЛИ"
см. OR-bridge fault

12. worst case delay
наихудшая задержка /наибольшая из путевых задержек схемы или наибольшая из задержек элемента при всех возможных переключениях входных сигналов/

13. worst case delay analysis
анализ функционирования схемы при наихудших соотношениях величин за-

держек; определение
наихудших величин задержек
см. path delay analysis

14. wrong component
неверная компонента,
компонента неверного
типа, ошибочно установленная компонента
/дефект монтажа платы/

X

1. X-state
1. неопределенное состояние /элемента или устройства с памятью/
см. undefined state
2. безразличное состояние, произвольное состояние /элемента или устройства с памятью/
см. don't care state
3. неопределенное значение сигнала
см. undefined level, undefined state, undefined value, undetermined value, X-value
4. безразличное значение сигнала, произвольное значение сигнала
см. don't care state, don't care value, X-value

2. X-value
1. неопределенное значение сигнала
см. undefined level, undefined state, undetermined value, X-state
2. безразличное значение

сигнала, произвольное значение сигнала
см. don't care state, don't care value, X-state

3. Xenix
версия операционной системы Unix фирмы Micro-soft

4. XOR element
элемент "исключающее ИЛИ"; элемент "сумма по модулю 2"
см. также XOR

Z

1. Z state
высокоимпедансное состояние, третье состояние
см. floating state, high impedance state

2. zero delay
нулевая задержка /элемента или соединения в модели устройства/

3. zero delay simulation
моделирование без учета задержек, моделирование с нулевыми задержками, синхронное моделирование

4. zero delay simulator
программа моделирования без учета задержек
см. zero delay simulation

5. zero-fail-safe
отказоустойчивый по ну-

лю /свойство системы
иметь только единичные
логические дефекты/

6. zoom table
обобщенная таблица /при

моделировании - табли-
ца, содержащая сведения
о типе элемента, его
задержка, текущем со-
стоянии, входных воз-
действиях и т.д./

СОКРАЩЕНИЯ

AALG (A-algorithm)

А-алгоритм

см. A-algorithm

ABEL (advanced Boolean expressions language)

усовершенствованный язык булевых выражений /программные средства разработки логических схем/

ACT (accumulator temporary)

регистр-защелка аккумулятора МП

ACTE (automatic checkout test equipment)

автоматическое контрольно-испытательное оборудование

ADAM (autodecrement addressing mode)

автодекрементная адресация

см. autodecrement addressing mode

ADB (absolute debugger)

абсолютный отладчик /интерактивный отладчик для программ, написанных на языках ассемблера и С, фирмы Bell /США//

AG (alternative graph)

альтернативный граф
см. alternative graph

ADLIB (a design language for indicating behavior)

язык функционального проектирования /один из ЯАП/

AGPS (automatic gate-placement system)

система автоматизированного проектирования топологии /ИМС/

AIAM (autoincrement addressing mode)

автоинкрементная адресация

см. autoincrement addressing mode

AIDS (advanced interactive debugging system)

усовершенствованная интерактивная отладочная система /языково-независимый символический отладчик высокого уровня фирмы Sperry-Univac, США/

AITIS (automatic infrared test aid inspection system)

автоматизированная система проверки обрывов и коротких замыканий в ПП при помощи инфракрасного излучения

AJT (a jump table)

таблица переходов

ALADDIN (assembly language assertion driven debugging interpreter)
отладчик для программ на языке ассемблера /фирма Data General/

ARC

1. (accept-reject criterion)

критерий оценки годности

2. (attached resource computer)

ЭВМ с присоединяемыми ресурсами

ART (automated reasoning tool)

средство автоматизации логических выводов /аппаратный комплекс фирмы Inference Corp/

ASC (asynchronous serial communication)

асинхронная последовательная передача данных

ASG (automatic stimulus generation)

1. автоматическая генерация входных тестовых воздействий

см. automatic stimulus generation

2. псевдослучайное тестирование

см. automatic stimulus generation

AT (algorithmic test)

алгоритмический тест;

регулярный тест
см. algorithmic test

ATG (algorithmic test generator)

генератор алгоритмических тестов

см. algorithmic test, algorithmic test generator

ATLAS (abbreviated test language all system)

специальный сокращенный язык описания процедур тестирования для систем любого типа

ATPG

1. (automatic test pattern generation)
автоматический синтез тестов

2. (automatic test pattern generator)
программа автоматического синтеза тестов

3. (automatic test program generation)
автоматическое формирование тест-программ

ATS (automatic test system)

автоматизированная система диагностирования, АСД

BAL (basic assembler language)

базовый язык ассемблера

BAR (bus address register)

регистр адреса шины

BBBM (B³M) /basic building block module/ базовый модуль; стандартный компоновочный блок

BBD (bidirectional bus driver) двунаправленный шинный формирователь

BCL (base CONLAN) базовый КОНЛАН /язык связи между разработчиками основной версии этого языка и потребителем/ см. также CONLAN

BD
1. (Boolean difference) булева разность, булева производная см. Boolean difference
2. (Boolean differential) булев дифференциал см. Boolean differential

BDD (binary decision diagram) двоичная диаграмма решений, двоичное дерево решений см. binary decision diagram

BDL (board description language) язык описания плат для автоматизированных испытаний фирмы Membrain

BDL/S (basic design language for structure) базовый язык проектиро-

вания структур /один из ЯАП фирмы IBM, США/

BEC (back-end computer) оконечная ЭВМ

BEM (board error mapping) устройство отображения местных неисправностей на плате ЗУ

BERT (bit error rate testing) проверка цифровых каналов для определения частоты появления ошибочных битов

BFP (branch-free path) путь без ветвления

BILBO (built-in logic block observer) встроенный контроллер логического блока /метод контролепригодного проектирования, объединяющий методы сканирования путей, LSSD и сигнатурного анализа/ см. logic sensitive scan design, scan path design, LSSD, SA

BIST (built-in self-testing) встроенное самотестирование; встроенное самодиагностирование

BIT (built-in testing) встроенный контроль; встроенное тестовое диагностирование

см. built-in test

BITE (built-in test equipment)

встроенное тестовое оборудование; аппаратура встроенного контроля; встроенные средства тестового диагностирования

см. built-in test equipment, extra test hardware

BIU (bus interface unit)

устройство сопряжения с шиной

BM (bad machine)

неисправное устройство; неисправная схема, неисправная модель
см. bad network, error machine, faulted machine, faulty machine, FM

BME (bus-to-memory transfer)

обмен данными шина-память

BPFP (built-in power fail protection)

встроенная защита от отказов питания

BSA (bus state analyser)

анализатор состояния шин фирмы Motorola /США/

BSR

1. (bidirectional shift register)

двунаправленный сдвиговый регистр

2. (bit slippage rate)
частота проскальзывания битов, частота ошибки

BUS (basic utility system)

система базовых утилит

BUT (board under test)

тестируемая плата, проверяемая плата

см. board under test

CA (circuit array)

большая интегральная схема, БИС

CADAT (computer-aided design and test system)

автоматизированная система проектирования и тестирования /АСПТ/

CADMAT (computer-aided design, manufacturing and testing)

автоматизированное проектирование, изготовление и тестирование

CAE (computer-aided engineering)

автоматизированное проектирование

CAMELOT (computer-aided measure for logic testability)

автоматизированная система оценки контролепригодности логических схем

CAR

1. (computer-aided

repair)
автоматизированный ремонт
2. (current address
register)
регистр текущего адреса

CARAM (content
addressable RAM)
ЗУПВ, адресуемое по со-
держанию, ассоциативное
ЗУПВ

CAS (content adres-
sed storage)
память, адресуемая по
содержанию; ассоциатив-
ное ЗУ

CASE (computer-aided
software engineering)
автоматизированная раз-
работка программного
обеспечения

CASL (computer
architecture spe-
cification language)
язык описания структуры
ЭВМ /один из ЯАП/

CAST (computerized
automatic system
tester)
автоматический тестер,
управляемый ЭВМ

CATA (computer-
aided test analysis)
автоматизированная си-
стема анализа контро-
лепригодности схем

CBT (circuit board
tester)
устройство /тестер/ для
испытания печатных плат

CC
1. (clock-on-chip)
схема синхронизации на
кристалле
2. (combinational
circuit)
комбинационная схема
см. также CN

CCA (circuit card
assembly)
печатная плата в сборе
CCR (code condition
register)
регистр признаков,
регистр кода условий

CDL (computer
description
language)
язык описания аппарату-
ры ЭВМ /один из ЯАП/

CDO (circuit design-
er oriented)
ориентированный на
схемотехника /о язы-
ках моделирования и
ЯАП/

CDS
1. (checkpoint data set)
набор данных, получае-
мых с контрольных то-
чек
2. (concatenated data
sets)
сцепленные наборы
данных

CDSE (computer-
driven simulation
environment)
система моделирования
с использованием ЭВМ

CEL (current event list)
список текущих событий
см. current event list,
current event table,
CET

CERE (computer entry and readout equipment)
аппаратура ввода-вывода для ЭВМ

CET (current event table)
таблица текущих событий
см. current event list,
current table, CEL

CF (conjunctive form)
конъюнктивная форма, КФ

CFL (cable fault locator)
устройство для поиска неисправностей в кабельной линии

CFML (complex fault-masking logic)
сложные логические схемы, маскирующие ошибки в отдельных элементах /мажоритарного типа/

CFR (catastrophic failure rate)
частота катастрофических отказов
см. catastrophic failure

CFV (conditional forced value)
условно-вынужденное значение /в алгоритме "следствие-причина"/

CHDL (computer hardware description language)
язык описания схем для автоматизации их проектирования /ЯАП/

CHRONOS
язык описания структуры и временных характеристик ЦУ /фирма Teradyne, США/

CI (carry-in)
вход переноса

CIC (consume integrated circuit)
ИМС потребительского назначения

CIP (chip-in-place testing)
внутрисхемное тестирование кристалла

CIS (circuit inspection system)
система проверки схем

CISC (complex instruction test computer)
ЭВМ с набором сложных команд

CITE (computer integrated test equipment)
контрольно-испытательная аппаратура, объединенная с ЭВМ

CLE (combinational logic element)
комбинационный логический элемент

clips (conclusion-logic inferences per second)	КОНЛАН, согласованный язык описания радиоэлектронных элементов /один из ЯАП/
число логических выводов в секунду /единица быстродействия вычислительных систем/	COTS (checkout test set)
clk (clock)	проверяющий тест
синхронизация	см. detection test set, fault detection test, go-no, go test, FDT
CML	COUNT (computer-operated universal test system)
1. (component modelling language)	универсальная испытательная система с управлением от ЭВМ
язык описания элементов фирмы Membrain	
2. (conversational modelling language)	
язык программирования для проведения моделирования в диалоговом режиме	CPA (carry parallel adder)
	сумматор с параллельным переносом
CN (combinational network)	CPB (cost per bit)
комбинационная схема	стоимость хранения бита /в ЗУ/
см. CC	
CNF (conjunctive normal form)	CPG (clock pulse generator)
конъюнктивная нормальная форма, КНФ	генератор тактовых импульсов
cntrl (control)	CPG (critical path generation)
управление	активизация пути /при генерации теста/
cnx (connections)	см. critical path test generation technique, CPTG
соединения; связи	
CO (carry-out)	
выход переноса	CPI (clock pulse interval)
COB complementary off-set binary code)	интервал между тактовыми импульсами
дополняющий сдвинутый двоичный код	CPM (control program for microprocessor)
CONLAN (consensus language)	управляющая программа для МП

CPPPL (C3PL) (Cyto-computer parallel picture processing language)
язык программирования процессора обработки изображений типа Cyto-computer /фирма ERIM, США/
CPTG (critical path test generation)
генерация тестов с помощью активизации путей см. critical path test generation technique, CPG
CPUSC (central processing unit support chip)
вспомогательная ИМС для обеспечения работы центрального процессора
CRAM (crosstie random access memory)
ЗУПВ на доменных границах с поперечными связями
CRASS (cross-assembler)
кросс-ассемблер для программирования МП
CREEM (combination read electrically erasable memory)
ЗУ с электрическим стиранием и комбинированным считыванием
CRU (communications register unit)
блок регистров связи
CS (CPU-second)
секунда машинного времени

CSAR (control storage address register)
адресный регистр управляющего ЗУ
CSC
1. (control state checking)
проверка состояния управления
см. control state checking
2. (consequence counter)
последовательный счетчик
CSE (command session end)
конец цикла команд
CSR (circulating shift register)
сдвиговый регистр с циркуляцией информации
CTA (computerized test assembly)
комплект аппаратуры для проведения испытаний с помощью ЭВМ
CTAS (comprehensive tester application software)
полный комплект прикладных программ для тестеров /язык программирования тестеров для малоквалифицированного персонала/
CTDM (charge transfer diode memory)
ЗУ на диодах с переносом заряда
CTF (CPU time per fault)

машинное время, затрачиваемое на обнаружение одной неисправности

CTM (cross-tie memory)

ЗУ с поперечными связями

см. cross-tie memory

CUT (circuit under test)

проверяемая схема; тестируемая схема

см. circuit under test

CY (controllability)

управляемость

см. controllability

DA (design automation)

автоматизация проектирования

см. design automation

DAD (do-all debugger)

универсальный отладчик

DAF (discard-at-failure)

сброс при сбое /неисправности/

см. discard-at-failure

DALG (D-algorithm)

D-алгоритм, алгоритм Рота /структурный алгоритм синтеза тестов/

DAP (distributed array processor)

распределенный матричный процессор

DARTS (design approach for real-time systems)

метод проектирования про-

граммного обеспечения для систем реального времени

DAS (design automation system)

система автоматизированного проектирования, САПР

DBDS (descriptor-based data structure)

дескрипторная структура данных /в системах моделирования/

DBR (data buffer register)

буферный регистр данных

DBSC (digital block slave clock)

ведомый тактовый генератор цифрового блока

DBST (digital block Schmitt trigger)

триггер Шмитта цифрового блока

DC (D-clube)

D-куб

см. D-cube

DCBS (daisy-chain bus structure)

последовательно-приоритетная структура шины

DCC (daisy-chained connection)

гирляндное подключение; соединение в последовательно-приоритетную цепочку

DCCL (digital charge coupled logic)

логические цифровые схемы на приборах с зарядовой связью

DCG (daisy-chain grant)
предоставление доступа к шине последовательно-приоритетной цепочкой
см. daisy-chain grant

DCIS (daisy-chain interrupt servicing)
обслуживание источников прерываний, объединенных в последовательно-приоритетную цепочку

DCM (digital circuit module)
модуль цифровой схемы

DCS
1. (daisy-chain structure)
последовательно-приоритетная структура
2. (diagnostic control system)
диагностическая система управления

DCT (digital circuit tester)
тестер цифровых схем, устройство для проверки цифровых схем

DDB
1. (diagnostic database)
диагностическая база данных
2. (domestic digital bus)
внутренняя цифровая шина

DDF (diagnostic data file)

файл диагностической информации

DDH (digital data handling)
обработка цифровых данных

DDL
1. (diagnostic design language)
язык разработки программ диагностирования
2. (digital design language)
язык цифрового проектирования /один из ЯАП/

DDP (data-driven processor)
ассоциативный процессор

DDS (desk diagnostic stand)
настольный диагностический стенд

DECSIM
1. (DEC simulation system)
система моделирования фирмы DEC /США/
2. (DEC simulator)
программа совместного моделирования фирмы DEC /США/

DED (dynamic error debugging)
динамическая отладка, устранение динамических ошибок

DEDS (digital error detection system)
цифровая система обнаружения ошибок

DETOL (directly executable test oriented language)
язык программирования для управления автоматическим испытательным оборудованием

DF (disjunctive form)
дизъюнктивная форма, ДФ

DFBW (digital fly-by-wire)
цифровая передача по проводной линии

DFF (D-flip-flop)
D-триггер

DFT
1. (design for testability)
контролепригодное проектирование, проектирование с обеспечением контролепригодности
см. design for diagnosability, design for testability, testable design
2. (diagnostic function test)
функциональный диагностический тест

DHSFT (dynamic high speed functional tester)
быстродействующая установка для динамических функциональных испытаний

DGA (dynamic gate array)
массив динамических вентилей

DIANA (digital-analog simulator)
система смешанного аналого-цифрового моделирования фирмы Silvar/Lisco /США/

DIPAGE (digital pattern generation)
система генерации тестов фирмы AAI

DISTRAN (diagnostic FORTRAN)
вариант языка ФОРТРАН, ориентированный на диагностические задачи

DITU (digital interface test unit)
блок испытаний цифровых интерфейсов

DLV (dominant logic value)
доминирующее значение
см. dominant logic value

DMAD (diagnostic machine aid digital)
язык программирования, ориентированный на решение задач тестирования цифровых устройств

DMED (digital message entry device)
устройство ввода цифровых сообщений

DMP (dedicated microprocessor)
специализированный микропроцессор

DNS (discrete network simulation)
моделирование дискретных систем

DOB (data output bus)
шина выходных данных

DOC
1. (data optimizing computer)
ЭВМ, оптимизирующая структуру данных и процесс их обработки

2. (decimal-to-octal conversion)
преобразование десятичных данных в восьмеричные

DOES (disk-oriented engineering system)
автоматизированная система проектирования, использующая дисковое ЗУ

DOL (dynamic octal load)
динамическая загрузка восьмеричными данными

DORA (diagnostic organisation and retrieval algorithms)
пакет алгоритмов поиска и устранения неисправностей фирмы Western Electric /США/

DOTRAM (domain-type random access memory)
ЗУПВ на цилиндрических магнитных доменах

DP
1. (diagnostic procedure)
диагностическая процедура

2. (diagnostic processor)
диагностический процессор

DPAR (data bus parity error)
ошибка четности в информационной шине

DPCTE (data processor and computer test equipment)
аппаратура обработки данных и автоматизированных испытаний

DPM (dual-port memory)
двухпортовая память

DP-PLL (digital processing programmable logic lattice)
программируемая логическая решетка для цифровой обработки сигналов

DPR
1. (delay preset register)
регистр установки задержки
2. (direct page register)
регистр прямой адресации страницы

DR
1. (data register)
регистр данных
2. (diagnostic register)
диагностический регистр см. diagnostic register
3. (diagnostic routine)
диагностическая рутина /стандартная программа/

DRAM (dynamic random access memory)
динамическое ЗУ с произ-

вольной выборкой, дина-
мическое ЗУПВ

DRAPE (digital recor-
ding and processing
equipment)
аппаратура регистрации
и обработки цифровых
данных

DRAW (direct read
after write)
считывание непосред-
ственно после записи
/дисциплина доступа к
внешним ЗУ/

DRIFT (dynamic re-
liability instanta-
neous forecasting
technique)
динамический метод мгно-
венного прогнозирования
надежности

DRL (double rail
logic)
двухпроводная логика

DRP (decentralized
redundant processor)
децентрализованный про-
цессор с резервировани-
ем фирмы Alcatel
Thomson Espace/Франция/

DRR (detection - roll-
back - recovery)
обнаружение /неисправ-
ности/ - возврат - вос-
становление
см. detection - roll-
back - recovery strate-
gy

DS (data sequencer)
секвенсер данных, уст-
ройство задания после-
довательности данных
см. также IDS, ODS

DSA (digital storage
architecture)

стандарт на архитектуру
цифровой памяти фирмы
DEC /США/

DSB (double-sided
board)
двусторонняя печатная
плата

DSF (design safety
factor)
коэффициент надежности
разработки, запас проч-
ности при проектировании

DSI (delivered source
instruction /number/)
число команд, поступающих
от одного источника

DSP (digital signal
processing)
цифровая обработка сиг-
налов

dst (destination)
место назначения при пе-
редаче операнда

DTCS (digital test
command system)
система управления испы-
таниями цифровых уст-
ройств

DTF (dedicated test
fixture)
специализированное кон-
тактное приспособление
/для проверки ПП опре-
деленного типоразмера/

DTG (delay test
generator)
генератор тестов для
проверки временных пара-
метров /задержек элемен-
тов/

DTMS (descriptive techniques for modules and systems)

язык описания модулей и систем /один из ЯАП/

DTS

1. (diagnostic test set)

тест поиска дефекта

2. (diagnostic test system)

система диагностирования

DWIM (do what I mean)

"делай то, что я /система/ думаю" /сообщение автоматизированной системы об ошибке с предложением пользователю конкретных действий/

DYDE (dynamic debugger)

динамический отладчик

DYSEAC (digital high-speed Standard Eastern automatic computer)

цифровая быстродействующая ЭВМ фирмы Standard Eastern

DYSTAL (dynamic storage allocation language)

язык динамического распределения /ячеек/ ЗУ

EA (extended addressing)

расширенная адресация

FACC (error-adaptive control computer)

управляющая ЭВМ, устойчивая к ошибкам

EANDROM (electrically alterable non-destructive read-out memory)
электрически перепрограммируемое ЗУ с неразрушающим считыванием

EAR (effective address register)
регистр исполнительного адреса

EAROS (electrically alterable read-only store)
электрически перепрограммируемое ПЗУ

EASIAC (easy instruction automatic computer)
ЭВМ с упрощенной системой программирования

EASL (engineering analysis and simulation language)
язык программирования, ориентированный на анализ и моделирование технических систем

EATS (equipment accuracy test station)
стенд проверки точности аппаратуры

EC (enhanced C)
усовершенствованный язык C

ECA (effect-cause analysis)
метод анализа "следствие-причина"
см. effect-cause analysis

ECC
1. (error controlled code)
помехоустойчивый код
2. (error correcting circuit)
схема коррекции ошибок
ECD (error control device)
устройство обнаружения и исправления ошибок
EDC (error detecting circuitry)
схема обнаружения ошибок
EDDF (error detection and decision feedback)
обнаружение ошибок и обратная связь принятия решения
EDIF (electronic design interchange format)
стандартный формат обмена данными проектирования электронных устройств
EDS (error diagnostic signal)
сигнал распознавания ошибки
EEE (electronic equipment engineering)
системотехника электронной аппаратуры
EEIC (elevated electrode integrated circuit)
ИМС с приподнятыми электродами /новая БИС-тех-

нология для сверхскоростных ИМС/

EFB (error feedback)
обратная связь по ошибке

ELAN (electrologic language)
язык программирования, ориентированный на автоматизированное проектирование логических схем

ELIT (electronics information test)
информационный тест для электронных схем

ELP (error localization program)
программа локализации ошибок

ELSIC (extra large scale integration)
сверхвысокая степень интеграции, сверхбольшая интегральная схема, СБИС

EMB (electronic maintenance book)
справочник по обслуживанию электронной аппаратуры

EMI (essential microinstruction)
существенная микрокоманда /последовательность выполнения таких микрокоманд определяет фазы выборки и выполнения любой из команд МП/

ENF (equivalent normal form)

эквивалентная нормальная
форма, ЭНФ
см. equivalent normal
form

EOCW (elementary
operation control
word)

управляющее слово элемен-
тарной операции

EPL/S (extended pro-
gramming language
for system)

расширенный язык програм-
мирования для описания
систем /один из ЯАП фир-
мы IBM, США/

ESP

1. (electrosensitive
programming)
программирование ПЛМ и ЗУ
электрическим пережига-
нием перегородок между
логическими элементами
2. (electrostatic probe)
электростатический зонд

ETR (effective test
rate)

эффективная скорость тес-
тирования
см. effective test rate

EXDAMS (extendable
debugging and monitor-
ing system)

расширяемая система от-
ладки и текущего контро-
ля /одна из систем тес-
тирования программ/

FACP (file address
checking program)

программа проверки адре-
сов файлов

FACT

1. (Fairchild assured
customer test)

программа гарантийных
испытаний в интересах
потребителя фирмы
Fairchild /США/

2. (flexible automatic
circuit tester)

автоматический тестер
для схем с гибкой /из-
меняемой/ программой

FACTOR (Fairchild al-
gorithmic compiler
tester oriented)

транслятор для языков
описания тестов фирмы
Fairchild /США/

FAF (fit and forget)

жаргонный термин, ха-
рактеризующий чрезвы-
чайно высокий уровень
надежности /дословно
"включить и забыть"/

FALOSY (fault loca-
lization system)

система поиска неисправ-
ностей

FAN (fan-out-oriented
test generation
algorithm)

алгоритм синтеза тестов
для комбинационных схем,
ориентированный на схе-
мы с большим числом
разветвлений

FARADA (failure rate
data)

данные об интенсивности
отказов /ошибок, неис-
правностей/

FAS (fast access storage)
ЗУ с малым временем выборки
FAT (final assembly testing)
заключительные комплексные испытания
см. final assembly testing
FATP (field assembly test point)
эксплуатационный испытательный стенд
FBA (full binary adder)
полный двоичный сумматор
FBT (functional board tester)
тестер для функционального контроля плат
FC
1. (failure cause)
причина отказа /сбоя, неисправности/
2. (failure criteria)
критерий отказа /сбоя, неисправности/
3. (fault coverage)
полнота обнаружения неисправностей, полнота теста
см. fault coverage, test coverage
4. (faulted circuit)
неисправная схема
FCDR (failure cause data report)
сводка данных о причинах отказов

FCIIL (FCI²L folded collector integrated injection logic)
интегральная инжекционная логика со вспомогательным коллектором; И²Л-схемы со вспомогательным коллектором
FCIN (fast carry iterative network)
итеративная схема с быстрым переносом
FCL (full custom logic)
заказные логические схемы /сложные логические схемы специального назначения, проектируемые и изготавливаемые по заказам потребителя/
FCNF (full conjunctive normal form)
совершенная конъюнктивная нормальная форма, совершенная КНФ, СКНФ
FCO (functional checkout)
функциональный контроль /проверка/
FCOV (facility checkout vehicle)
подвижная контрольно-диагностическая станция
FDL (functional description language)
язык функциональных описаний фирмы Bell /США/
FDNF (full disjunctive normal form)
совершенная дизъюнктив-

ная нормальная форма,
совершенная ДНФ, СДНФ

FDS (firmware development system)

система разработки программно-аппаратных средств /встроенных программ, микропрограммного обеспечения/

FDT (fault detection test)

проверяющий тест
см. detection test set,
fault detection test,
go-no go test, COTS

FE (fault evaluator)
устройство оценки неисправностей /аппаратура моделирования неисправностей фирмы Zycad Corp., США/

FEE (failure effect evaluation)

оценка последствий отказов /неисправностей, сбоев/

FEG (fault effect gate)

вентиль проявления неисправности /фиктивный вентиль, вводимый при совместном моделировании неисправных схем/

FEL (future event list)

список будущих событий
см. future event list,
future event table, FET

FEM (finite element machine)

конечно-элементный авто-

мат /множество МП, спроектированное как специализированная ЭВМ параллельного действия/

FET (future event table)

таблица будущих событий
см. future event list,
future event table, FEL

FF

1. (fatal failure)
критический отказ
2. (fault-free)
свободный от неисправностей, исправный
см. fault-free, nonfault

FFDR (flip-flop decade ring)

десятичный триггерный кольцевой счетчик

FFS (false fault signal)

ложный сигнал ошибки /неисправности/

FIDO (functions input, diagnostic output)

испытательное оборудование, подающее на вход проверяемого устройства функциональные тесты и выполняющее диагностирование по выходным сигналам

FIFT (firmware implemented fault tolerance)

отказоустойчивость в результате сочетания аппаратных и программных методов
см. также HIFT, SIFT

FIL (fanin line)

входная линия

см. fanin list, NFI

FIM (failure indicating module)

модуль индикации, указывающий на место неисправности

FIR (fault isolation resolution)

глубина поиска дефекта /неисправности/

см. resolution of fault location

FIS (fixed instruction set)

с фиксированным набором команд /МП, в противоположность разрядно-секционированному МП/

FIST (fault isolation by semiautomatic technique)

поиск неисправностей с помощью полуавтоматических методов

FITPLA (function independent testing of programmable logic arrays)

система функционально независимого тестирования ПЛМ

FLAC (floating accumulator)

плавающий сумматор /дополнительные рабочие ячейки в ЗУ/

FLARE (fault location and reporting equipment)

1. аппаратура обнаружения неисправностей и составления отчетов;
2. аппаратура для проверки ПП с ИМС фирмы Honeywell /США/

FLIC (flexible interface connector)
программируемый интерфейсный соединитель

FLOC (fault locator)
устройство для поиска неисправностей

FLPROM (fuse link programmable read only memory)

однократно программируемое /путем пережигания перемычек/ ПЗУ

FLT (fault location test)

тест поиска дефекта /неисправности/
см. fault location test

FM (faulted machine)
неисправное устройство; неисправная схема; неисправная модель
см. bad network, error machine, faulted machine, faulty machine, VM

FMA (fault mode analysis)
анализ типов неисправностей, анализ типов дефектов

FML
1. (functional modelling language)
язык моделирования ре-

гистрового уровня фирмы
Bell-Northern Research
/Канада/;

2. (fault masking logic)
логические схемы, позво-
ляющие избежать воздей-
ствия неисправности в
отдельных элементах /ти-
па схемы "2 из 3" или
схемы с внутренним конт-
ролем ошибок/

FNI (first of the
new implications)
первая из новых импли-
каций /параметр в ал-
горитме дедукции, ука-
зывающий на введение
новых членов в очередь
присвоений/

FOB (fan-out branch)
ветвь узла разветвления
см. fanout branch

FOG (fault originat-
ing gate)
вентиль порождения неис-
правности /фиктивный
вентиль, вводимый для
представления неисправ-
ности при совместном
моделировании/

FOL (fanout line)
линия разветвления
см. также fanout list,
NFO

FOLL (first order
logic language)
логический язык первого
порядка

FORSIM (FORTRAN
oriented simulation
program)

моделирующая программа
на языке Фортран

FOS (fan-out stem)
источник сигнала узла
разветвления
см. fan-out source,
fanout stem

FP (flexible proces-
sor)
микропрограммируемый
конвейерный процессор
фирмы CDC /США/

FPC (flexible printed
circuit)
гибкая печатная схема

FPM (factory-
programmed memory)
ЗУ, программируемое на
предприятии-изготови-
теле

FPP (faults /proces-
sed/ per pass)
число неисправностей,
обрабатываемых за один
проход /в системах мо-
делирования/

FPS (floating point
scratchpad)
сверхоперативное ЗУ для
чисел с плавающей запя-
той

FRAF (failure rate
acceleration factor)
коэффициент повышения
интенсивности отказов

FRC (failure recur-
rence control)
контроль за повторени-
ем отказов

FROM (factory program-
mable read only
memory)
программируемое на пред-
приятии-изготовителя
постоянное ЗУ

FRR (fault report
records)
записи данных о неис-
правностях

FRS (fast retrieval
storage)
ЗУ с малым временем
поиска, быстрое дейст-
вующее ЗУ

FRU (field-repla-
ceable unit)
ячейка; типовой элемент
замены, ТЭЗ; сменный
модуль
см. field-replaceable
unit, standard exchan-
ge card, SEC

FS (fault signalling)
сигнализация о неисправ-
ности

FSC (fault-secure
circuit)
отказобезопасная зона

FSM (finite-state
machine)
конечный автомат

FSR (feedback shift
register)
сдвиговый регистр с
обратными связями
см. feedback shift
register

FSU (file storage
unit)
блок файлового ЗУ

FT

1. (fault tolerance)
отказоустойчивость
см. fault tolerance

2. (functional testing)
тестирование в рабочем
режиме; проверка пра-
вильности функциониро-
вания
см. functional testing

FTL (functional and
timing specification
language)
язык описания функций
и временных соотношений
фирмы GTE Labs /один из
ЯАП/

FTS (functional test
sequence)
функциональная тестовая
последовательность

FUNSIM (functional
simulator)
система моделирования
фирмы Bell-Northern
Research /Канада/

FUNTASY (functional
test design aid
system)
система проектирования
функциональных тестов
фирмы OKI /Япония/

FV (forced value)
вынужденное значение
/сигнала на линии схе-
мы/
см. forced value

FW (firmware)
программно-аппаратное
обеспечение; микропро-
граммное обеспечение

GALPAT (galloping patterns)
стратегия "бегущих единиц" для тестирования ЗУ
см. walking bit patterns

GAPP (geometric arithmetic parallel processor)
параллельный матричный К-МОП процессор фирмы NCR /США/

GASP (general activity simulation program)
универсальная программа моделирования

GBC (global bus control circuit)
схема управления общей шиной

GETS (generalized electronic trouble shooting)
универсальная электронная система поиска неисправностей

GFCI (ground fault circuit interrupter)
устройство защиты схем /путем отключения/ от токов, возникающих при неисправности заземления или при ошибочном заземлении

glops (giga logic operations per second)
10⁹ логических операций в секунду /единица из-

мерения быстродействия/

GM (good machine)
исправное устройство; исправная схема; исправная модель /при моделировании/

GPATS (general-purpose automatic test set)
универсальный автоматический испытательный комплект

GPR (gate-pin ratio)
отношение числа вентиля к числу внешних выводов

GRAM (global random access memory)
глобальная память с произвольным доступом

GRID (GEC rectangular image and data processor)
процессор прямоугольных изображений и данных фирмы GEC /отказоустойчивая схема из 32 идентичных процессоров/

HANDLE (hierarchical network description language)
язык описания иерархии схем /средство описания МОП-схем для их моделирования на переключательном уровне/ см. hierarchical description language

HATG (hybrid automatic test generator)
система автоматического построения тестов для гибридных /цифро-аналоговых/схем

HC (handshake control)
управление с квитированием

HDL (hardware description language)
язык описания электронных схем; язык описания аппаратуры
см. hardware description language

HEP (heterogeneous element processor)
процессор, состоящий из неоднородных элементов /ЭВМ фирмы Denelcor Inc., США/

hf (hazard-free)
с исключенным риском сбоя, без рисков сбоя
см. hazard-free circuit

HIDAS (Hitachi trouble diagnosis system)
система диагностирования фирмы Hitachi /Япония/

HIFT (hardware implemented fault-tolerance)
отказоустойчивость, реализованная аппаратными средствами
см. также FIFT, SIFT

HITEST (Hitachi integrated test system)

интегрированная система тестирования фирмы Hitachi /Япония/

HLT (high-to-low transition)
изменение сигнала из 1 в 0
см. down transition, fall

HMA (Harvard-machine architecture)
гарвардская архитектура ЭВМ /с разделением памяти программ и памяти данных/

HP (Hewlett-Packard)
Хьюлетт-Паккард /США/
/название фирмы и приставка к наименованиям ее изделий/

HP-UX
версия операционной системы Unix фирмы Hewlett-Packard /США/

HRT (hardware redundancy testing)
тестирование путем введения аппаратурной избыточности

HSNFP (high-speed numerical function processor)
быстродействующий процессор численных функций

HWC (hardware compatibility)
совместимость аппаратных средств, аппаратурная совместимость

HWL (hardware logic)
жесткая логика, "запаянная" логика

IC (instruction cardinality)

мощность команды МП
см. instruction cardinality

ICC (initial-condition control)

управление установкой в начальное состояние

ICP (interface circuit pack)

модуль интерфейсной схемы

ICR (interrupt control register)

регистр управления прерываниями

IDC (insulation displacement connector)

разъем, смещающий изоляцию /не требующий предварительного удаления изоляции с кабеля перед сборкой, так как это осуществляется самими контактами при сборке/

IDL (interactive design language)

интерактивный язык проектирования /один из ЯАП фирмы IBM, США/

IDS

1. (input data sequencer)
секвенсер входных данных;
устройство задания последовательности входных данных
см. DS

2. (intelligent disk storage)

дисковое ЗУ, содержащее программируемый контроллер

IFB (input FIFO buffer)

входной буфер обратного магазинного типа

IFC (instruction fetch cycle)

цикл выборки команд

IFL (integrated fuse logic)

программируемые логические схемы с селективно расплавляемыми перегородками /соединениями/

ILA (iterative logic array)

итеративная логическая матрица, ИЛМ

ILS (interactive logic simulator)

интерактивная программа логического моделирования

INTASS (Intel assembler)

кросс-ассемблер для программирования МП Intel-8080

IOC (invalid operation code)

неверный код операции

IOX (input-output executive)

стандартная программа, осуществляющая ввод-вывод

IPC (integral personal computer)
интегральный персональный компьютер фирмы
Newlett-Packard /США/

IPE (incremental programing environment)
расширяемая система программирования /для языков Ага и С под управлением операционной системы Unix)

IPG
1. (in-circuit program generator)
встроенный в схему генератор тестовых программ для ПП фирмы Newlett-Packard /США/
2. (input pattern generator)
генератор входных тестовых воздействий

IPI (intelligent peripheral interface)
программируемый периферийный интерфейс

i PSC
1. (Intel parallel scientific computer)
параллельный научный компьютер фирмы Intel /США/
2. (Intel personal supercomputer)
персональный суперкомпьютер фирмы Intel /США/

IPTP (in-plant test program)

программа испытаний на заводе-изготовителе

IRD (instruction register decoder)
дешифратор регистра команд

ISMS (interactive semantic modelling system)
интерактивная семантическая моделирующая система /система тестирования программ, написанных на языке Алгол-60/

ISPS (instruction set processor specifications)
ЯАП для описания МП-схем

ISTD (in-situ testability design)
метод контролепригодного проектирования, предусматривающий испытания компонентов без демонтажа

ITG (iterative test generator)
программа синтеза тестов для ЦУ с памятью по итеративной модели
см. iterative combinational circuit, iterative model, iterative test generator

ITM (impedance test module)
модуль тестирования импедансов

ITTAР (interactive testability analysis

program)
интерактивная програм-
ма расчета показателей
контролепригодности
фирмы International
Telephone and Telegraph
/США/

IUT (item under
test)
проверяемый узел; объект
диагностирования

JC (jack connection)
гнездовое соединение

JCLOT (joint closed
loop operations test)
проверка функциональных
характеристик при замк-
нутом контуре

JKFF (JK flip-flop)
JK-триггер

KARL (Karlsruhe archi-
tectural and register
transfer language)
язык описания схем на
структурном уровне реги-
стровых передач /Карл-
сруэ, ФРГ/ /один из
ЯАП/

KGB (known-good
board)
заведомо исправная пла-
та /используемая в ка-
честве эталонной при
тестировании методом
сравнения с эталоном/

KGU (known-good
unit)
заведомо исправное
устройство
см. также ROD

LA (logic analyzer)
логический анализатор,
анализатор логических
состояний
см. также LSA

LALD (language for
automated logic
design)
язык для автоматизиро-
ванного проектирования
логических схем

LALR (look-ahead left-
to-right)
ускоренный перенос сле-
ва направо

LALSD (language for
automated logic and
system design)
язык для автоматизации
логического и систем-
ного проектирования

LAMP (logic analysis
for maintenance
planning)
система моделирования
и проектирования тес-
тов фирмы Bell Labs
/США/

LAS (logic analysis
system)
1. система анализа ло-
гических схем
2. логический анализа-
тор фирмы Rohde-Schwarz

LASAR (logic automa-
tic stimulus and
response)
система анализа и синте-
за тестов фирмы Teradyne
/США/

LATV (logic and array test vehicle)
устройство для проверки логических схем и матриц

LCFS (least completed, first serviced)
наименее завершённый обслуживается первым /дисциплина обслуживания/

L-CN-L (latch - combinational network - latch)
триггер - комбинационная схема - триггер /метод контролепригодного проектирования/

LCT (life-cycle testing)
испытания по наработке на отказ

LFSR (linear feedback shift register)
сдвиговый регистр с линейной обратной связью см. linear feedback shift register

LHT (low-to-high-transition)
изменение сигнала из 0 в 1 см. rise, up transition

LR (light repair)
текущий ремонт

LSA (logic state analyzer)
логический анализатор, анализатор логических состояний см. LA

LSC (linear sequential circuit)
линейная последовательностная схема см. linear sequential machine, LSM, LSN

LSIC (large scale integrated circuit)
большая интегральная схема, БИС

LSM
1. (linear sequential machine)
линейная последовательностная машина, ЛПМ см. linear sequential machine, LSC, LSN
2. (logic simulation machine)
аппаратурный комплекс моделирования логических схем фирмы IBM /США/

LSN (linear sequential network)
линейная последовательностная схема см. linear sequential machine, LSC, LSM

LSS
1. (least significant slice)
младшая разрядная секция /в секционированном МП/
2. (logic synthesis system)
система логического синтеза фирмы IBM /США/

LSSD (level sensitive scan design)

метод сдвигового регистра, метод LSSD
см. logic sensitive scan design

MAR (memory address register)
регистр адреса ЗУ

MARCHPAT (marching patterns)
стратегия "марширующих единиц" для тестирования ЗУПВ

MC (multi-chip CPU)
многокристалльный центральный процессор

MCM (multi-chip module)
модуль, состоящий из нескольких ИМС /например, секционированный МП/

McMOS
фирменное название МОП ИМС фирмы Motorola /США/

MCU (microprogrammed control unit)
блок микропрограммного управления, БМУ

MDP (master data processor)
конвейерный процессор массивов фирмы IBM /США/

MDR (memory data register)
регистр данных ЗУ
см. memory data register

MDS (media delay simulator)
программа логико-временного моделирования фирмы COMSAT /США/

см. media delay simulation mode

meas (measurement)
измерение

MELF (metal-electrode face bonding)
корпус для пассивных компонент с монтажом элементов непосредственно на металлические электроды

MERA (memory error-repair analyser)
анализатор неисправности и восстановления работоспособности

MFB (micro-function bus)
шина микроопераций

MIB (master inter-connection board)
главная соединительная плата

MIC (minimal instruction cover)
минимальный набор команд, покрывающий все неисправности

MIP (machine-instruction processor)
процессор обработки команд

MISA (multiple input signature analyzer)
многовходовый сигнатурный анализатор

MMS (memory management system)
система управления памятью

MMU
 1. (memory management unit)
 блок управления памятью
 2. (memory mapping and management unit)
 блок преобразования адресов памяти

MODLAN (modelling language)
 язык описания структуры цифровых схем /один из ЯАП/

MOSSIM (MOS simulator)
 программа логического моделирования МОП-схем см. MOS simulation

μPD (microprocessor pipeline data)
 16-разрядный МП с архитектурой типа "поток данных" /фирма Nippon Electric, Япония/

MPG (memory pattern generator)
 генератор тестов для ЗУ

MPP (massively parallel processor)
 процессор двоичных масивов фирмы Goodyear Aerospace /США/

MPS (multiple path sensitization)
 активизация многомерного пути
 см. multiple path sensitization

MPU (main processing unit)

центральный процессорный блок, центральный процессор, ЦП

MSCAN (memory scan)
 сканирование памяти /процедура тестирования ЗУПВ/

MSCC (maximal strongly connected component)
 максимальная сильносвязная компонента, максимальная сильносвязная подсхема

MSFF (M-S flip-flop)
 MS-триггер, триггер MS-типа

MSS (most significant slice)
 старшая разрядная секция /в МП/

MST (microsystem tester)
 тестер для МП-систем

MTBM (mean time between maintenance)
 среднее время между обслуживаниями

MTE (manual test equipment)
 ручные средства тестирования

MTG
 1. (macroblock test generator)
 программа синтеза тестов по модели ЦУ, содержащей макроблоки см. macroblock test generator

2. (manual test generation)
ручное построение тестов

MTTD (mean time
to diagnose)
среднее время диагности-
рования

MTTL
фирменное название TTL
ИМС фирмы Motorola
/США/

MVP (microprogrammable
vector processor)
микропрограммируемый
векторный процессор
/Purdue University/

NAND-FF (NAND flip-
flop)
RS-триггер на элементах
И-НЕ

NDP (numeric data
processor)
процессор обработки чис-
ловых данных

NE (negative edge)
отрицательный фронт /сиг-
нала, импульса/

NFI (number of fanin)
число входов элемента
см. fanin list, FIL

NFO (number of fanout)
коэффициент разветвле-
ния выхода; число элемен-
тов, являющихся нагруз-
кой данного элемента
см. fanout list, FOL

NI (not initialized)
не установленный в на-
чальное состояние /сим-
вол начальной неопреде-
ленности в алгоритмах

моделирования/
см. uninitialized value

NND (nearest-
neighbour disturb)
стратегия тестирования
ЗУПВ "помехи ближайшим
соседям"

NON-VON (non von
Neumann machine)
семейство вычислитель-
ных машин не нейманов-
ского типа /Колумбий-
ский университет, США/

NOR-FF (NOR flip-
flop)
RS-триггер на элементах
ИЛИ-НЕ

OCIC (open collector
IC)

ИМС с открытым коллек-
тором

OCSS (on-chip self-
sufficiency)
автономность тестирова-
ния на уровне кристалла
см. self-sufficiency
for testability

ODS (output data
sequencer)
секвенсер выходных дан-
ных; устройство задания
последовательности вы-
ходных данных
см. DS

ODT (octal debugging
technique)
средство отладки про-
грамм в восьмеричных
обозначениях

OFB (output FIFO)

buffer)
выходной буфер обратного
магазинного типа
OGFA (on-chip gated
feedback arrangements)
встроенные средства
стробируемой обратной
связи

OLV (old logic value)
текущее логическое значение /при моделировании/

OY (observability)
наблюдаемость
см. observability

PASM (partitionable
SIMD-MIMD multi-
microprocessor system)
мультимикропроцессорная
программно-перестраиваемая
система, Purdue-
University

PC
1. (preclear)
предварительная установка
в исходное состояние
см. preclear, PS
2. (primitive cube)
простой куб
см. primitive cube
3. (programmable
controller)
программируемый контроллер

PCAT (personal computer-
advanced technology)
тип персонального компьютера
фирмы IBM /США/ на
базе МП 80286

PCH (program counter
high)
старший байт счетчика
команд МП

PCL (program counter
low)
младший байт счетчика
команд МП

PCTH (pressure cooker
plus temperature-
humidity)
термобарокамера плюс
температура-влажность
/метод испытаний МОП-
приборов фирмы
Burroughs, США/

PD (percent of
failures detected)
процент обнаруженных
неисправностей

PDC
1. (primitive D-cube)
простой D-куб
см. primitive D-cube
2. (propagation D-cube)
D-куб продвижения, транс-
портирующий D-куб
см. propagation D-cube

PDCF (primitive
D-cube of failure)
простой D-куб неисправности
см. primitive D-cube of
failure

PE
1. (positive edge)
положительный фронт
/сигнала, импульса/
2. (programmable
emulator)
программируемый эмулятор

PENTEGONS (Petri-net
test generation on
systems)
метод генерации тестов с
использованием сетей
Петри

PFTF (primitive func-
tion test pattern)
тестовые наборы для про-
верки элементарных функ-
ций /при функциональном
моделировании/

PG (pattern genera-
tor)
генератор входных тесто-
вых воздействий

PHDL (parallel hard-
ware processing language)
язык параллельной обра-
ботки цифровых схем /один
из ЯАП/

PI
1. (percent of failures
isolated)
процент обнаруженных
неисправностей
2. (primary input)
внешний вход

PLC (program locations
counter)
счетчик ячеек

PL/M (programming lan-
guage for microcompu-
ters)
язык программирования
высокого уровня на ба-
зе языка PL/1 /фирма
Intel, США/

PLMAP (picewise linear
MOS-circuit analysis

program)
программа анализа МОП-
схем с кусочно-линейной
аппроксимацией

PL/Z
язык программирования
высокого уровня на ба-
зе языка Паскаль /фирма
Zilog, США/

PMS (processor-
memory-switch)
уровень представления
цифровых систем, элемен-
тами которого являются
процессор, память, конт-
роллеры, шины и т.д.

PMU
1. (precision measure-
ment unit)
блок точных измерений
/блок параметрических
измерений в тестерах
БИС/
2. (parametric measure-
ment unit)
блок параметрических
измерений

PMX (physical module
extension)
модуль физического рас-
ширения

PNL (Petri net
language)
язык сетей Петри

PO (primary output)
внешний выход

PODEM (path oriented
decision making)
алгоритм принятия реше-
ний, ориентированный на
построение активизиро-

ванного пути

PQL (product quality level)

уровень качества изделия

PRBS (pseudorandom binary sequence)

псевдослучайная двоичная последовательность

PRPG (pseudorandom pattern generator)

генератор псевдослучайных последовательностей см. также PRSG

PRSG (pseudorandom sequence generator)

генератор псевдослучайных последовательностей см. PRPG

PRTS (pseudorandom test specification)

описание псевдослучайного теста

PS

1. (parallel scan)

параллельный просмотр см. parallel scan

2. (preset)

предварительная установка в исходное состояние см. preclear, PC

PSCL (primitive set CONLAN)

низкоуровневый язык для проверки и иллюстрации основной версии языка CONLAN

PSU (power supply unit)

блок питания

PTL (part type library)

библиотека элементов

PUMPS (Purdue multi-processor system)

мультимикропроцессорная система, Purdue University

PVLT (parallel value lists technique)

метод ведения параллельных списков значений /при параллельном и совместном моделировании/

QUASIC (qualified user's all-purpose symbolic instruction code)

КВЭЙСИК, многоуровневый язык символических команд для квалифицированных пользователей /язык программирования высокого уровня для микро-ЭВМ с системой команд PDP-11/

QV (quick verify)

быстрая проверка

RAPS (random path sensitisation)

метод активизации случайных путей

RAS

1. (race analysis system) система анализа состязаний фирмы Delco Electronics /США/

2. (random access scan) метод сканирования с произвольным доступом

/один из структурных методов контролепригодного проектирования, фирма Fujitsu, Япония/
см. random access scan design

RCPP (row-column ping-pong)

попарное считывание в пределах строки и столбца /при тестировании ЗУ/
см. ping-pong procedure, ping-ponging

RESO (recomputing with shifted operands)

повторное вычисление со сдвинутыми операндами /метод совместного обнаружения неисправностей в арифметико-логическом устройстве/

rf (race-free)

свободный от состязаний, без состязаний
см. race-free circuit

RH (register high)

старший регистр в паре
см. также RP

RISC (reduced instruction set computer)

архитектура микроЭВМ с сокращенным набором команд
см. transputer

RL (register low)

младший регистр в паре
см. также RP

RLLE (run-length-limited encoding)

кодирование с ограничением длины кодового поля

RM (reference machine)
опорная модель
см. reference machine

ROD (reference operating device)
заведомо исправное устройство
см. KGU

RP (register pair)
пара 8-разрядных регистров МП, адресуемых как один регистр

RRS (random repetitive sampling)
случайная повторяющаяся выборка /метод записи сигналов в цифровом осциллографе независимо от их соотношения с пусковым сигналом/

RS-232-C
стандарт "де-факто", введенный первоначально фирмой Bell Systems /США/ для передачи данных по витой паре проводов, имеющей длину меньше 50 футов /15,24 м/

RT (reverse tracing)
обратное прослеживание /метод зондового поиска дефектов/
см. backtrace, reverse tracing

RTFA (real time fault analysis)
система анализа неисправностей в реальном масштабе времени /фирма Marconi, Великобритания/

RTL
1. (register transfer language)
язык регистровых передач
см. register transfer language
2. (register transfer level)
уровень регистровых передач
см. register transfer level

RTM (register transfer manipulation)
передача данных между регистрами

RТОК (retest-OK)
повторная проверка исправности устройства

RTS (request to send)
запрос на посылку /сообщения/

SA
1. (signature analysis)
сигнатурный анализ
2. (signature analyzer)
сигнатурный анализатор

S-a (stuck-at)
константная неисправность
см. stuck-line fault.

S-a-1 (stuck-at-1)
константная неисправность - 1
см. stuck-high

S-a-X (stuck-at-X)
неисправность типа

"постоянное неизвестное значение", константная неисправность - X
см. stuck-at-X fault

S-a-Z (stuck-at-Z)
неисправность типа "постоянное высокоимпедансное состояние", константная неисправность - Z
см. stuck-at-Z fault

S-a-O (stuck-at-O)
константная неисправность - O
см. stuck-low

SALT (sequential circuit automated logic test system)
система автоматизированного проектирования тестов фирмы IBM /США/

SBS (single board system)
одноплатая система /микропроцессорная/

SC
1. (sequential circuit)
последовательностная схема, схема с памятью
2. (singular cube)
С-куб, простой куб, вырожденный куб, ингулярный куб
см. C-cube, singular cube

SCALD (structured computer-aided logic design)
система логического проектирования и моделирования схем фирмы VALID

SCC (strongly connected component)
сильносвязная компонента,
сильносвязная подсхема
см. strongly connected
component

SCI (serial communications interface)
интерфейс последовательной связи

SCIRTSS (sequential circuit test search system)
система построения тестов для последовательных схем

SCOAP (Sandia controllability/observability analysis program)
программа расчета показателей контролепригодности фирмы Sandia /США/

SDA (scan direct access)
метод сканирования с непосредственным доступом /метод контролепригодного проектирования фирмы Fujitsu, Япония/

SDB (symbolic debugger)
символический отладчик /для программ, написанных на языке С, фирма Bell Labs, США/

SDG (simple diagnostic graph)
простой граф диагностирования

SDL (structural design language)
язык структурного проектирования /один из ЯАП/

SDS (set of distinguishing sequences)
множество различающих последовательностей

SE (simulation engine)
спецпроцессор моделирования; машина моделирования
см. logic simulation machine, simulation engine

SEC (standard exchange card)
ячейка; типовой элемент замены, ТЭЗ; сменная плата
см. field-replaceable unit, standard exchange card, FRU

SFA (single-fault assumption)
предположение об оди-
ночном характере неисправностей
см. SSF-assumption

SFL (super fault list)
расширенный список неисправностей
см. fault list

SFP (single fault propagation)
метод распространения одиночных неисправностей

SHARP (standard hardware acquisition and reliability program)
программа повышения надежности электронного оборудования BMC США

SI (pseudoinput)
псевдовход
см. pseudoinput

SIFT (software implemented fault-tolerance)
отказоустойчивость, реализованная программными средствами
см. HIFT, FIFT

SIGMOS (silicon gigabit-per-second MOS logic)
технология изготовления кремниевых логических устройств в виде ИМС с МОП-структурой, имеющих быстродействие в диапазоне гигабит в секунду

SIPO (serial-in parallel-out)
ИМС с последовательным входом и параллельным выходом

SIRO (service-in-random order)
случайное обслуживание /режим доступа к стеку МП/

SLICE (source language in circuit emulator)
встроенный эмулятор для исходного языка /систе-

ма разработки программного обеспечения для МП-систем фирмы Emulogic Inc., США/

SLN (simulation of logical networks)
язык моделирования логических сетей /на основе языка Фортран/
SMD (surface-mounted device)
электронный элемент, монтируемый на поверхность ПП

SO
1. (pseudooutput)
псевдовыход
см. pseudooutput
2. (status output)
выход состояния
см. status output

SOC (set ones corresponding)
установить соответствующие единицы /операция доопределения входов, элемента единицами/

SOEMI
(serial original-equipment-manufacturer interface)
пользовательский интерфейс для изготовителей комплексного оборудования фирмы Intel /США/

SOFE (stop on first error)
останов по первой ошибке /прекращение

тестирования после
первого несовпадения/

SOFTG (simulator
oriented fault test
generator)

программа построения
тестов с их последую-
щей оценкой с помощью
моделирования

SOIC (small-outline
IC)

миниатюрный корпус
для ИМС

SOM (shorts and
opens module)

модуль тестирования
коротких замыканий и
обрывов

SOS (second word
of stack)

второе слово от вер-
хушки стека

SP (stack pointer)
указатель стека

SPARC (symbolic
processing algorithm
research computer)

программно-перестраи-
ваемый конвейерный
процессор фирмы CDC
/США/

SPI (serial peri-
pheral interface)
последовательный пе-
риферийный интерфейс

SPLICE

система смешанного
моделирования для ана-
лиза МОП-схем /Калифор-

нийский университет, США/

SPS (single path
sensitization)

активизация одномерно-
го пути, организация
одномерного существен-
ного пути в схеме
см. linear path sensi-
tization, one-dimentional
path sensitization,
single path sensitiza-
tion

SRAM

1. (static random access
memory)

статическое ЗУ с про-
извольной выборкой, ста-
тическое ЗУПВ

2. (semiconductor random
access memory)

полупроводниковое ЗУПВ

srs (source)

поле исходного операнда

SRCT (stimulus-
response-compare
testing)

тестирование методом
"стимул-реакция-срав-
нение"

см. stimulus-response
testing, stimulus-
response-compare test-
ing, SRT

SRL (shift register
latch)

фиксатор сдвигового
регистра

см. shift register
latch

SRRU (smallest
repair-replaceable

unit)
наименьший заменяемый
при ремонте элемент
SRT (stimulus-response
testing)

тестирование методом
"стимул-реакция"
см. stimulus-response
testing, stimulus-
response-compare
testing, SRCF.

SRTG (shift register
test generator)
генератор тестов на
сдвиговых регистрах

SS (serial scan)
последовательный про-
смотр
см. serial scan

SSR (stretch-surface
recording)
запись на эластичную
натянутую пленку /ме-
тод записи на магнит-
ные диски фирмы ЗМ
Corp./

STAMP (system test-
ability and mainte-
nance program)
программа технического
обслуживания и оценки
контролепригодности
систем

STAR (self-test and
repair)
самотестирование и са-
мовосстановление

STG (state trans-
formation graph)
граф преобразования
состояния

STGS (simulation
and test generation
system)
система моделирования
и синтеза тестов

STR (structured test
register)
структурный тестовый
регистр /средство раз-
работки самопроверяе-
мых БИС фирмы Plessey/

SWQA (software quali-
ty assurance)
аттестация качества
программного обеспече-
ния

SZC (set zeroes
corresponding)
установить соответствую-
щие нули /операция до-
определения входов эле-
мента нулями/

TA (delay timing
analysis program)
программа анализа вре-
менных соотношений фир-
мы IBM /США/

TAE (test answer
evaluator)
регистр оценки тесто-
вых реакций /при встро-
енном тестировании/

TAFF (test applica-
tion and fault
finding)
подача теста и нахождение
неисправностей

1. (test cube)
тестовый куб
см. test cube

2. (transition count)
число логических пере-
ходов, число логичес-
ких переключений

TCU (timing and
control unit)
блок управления и син-
хронизации /МП/

TDE (test data
evaluator)
аппаратурные или про-
граммные средства оцен-
ки тестов

TDL
1. (test description
language)
язык описания тестов
см. test description
language, test language
2. (TEGAS design langua-
ge)
иерархический язык опи-
сания проекта фирмы
COMSAT / США/
см. также TEGAS

TEGAS
1. (test generation and
simulation system)
система автоматизирован-
ного проектирования
тестов фирмы COMSAT
/США/
2. (Texas gate-level
simulator)
программа моделирова-
ния на вентильном уров-
не /Техасский универ-
ситет, США/

TeraSTAR (Teradyne
simultaneous test
and repair)
средства одновременного
контроля и восста-

новления фирмы Teradyne
/США/

TEST-DETECT
алгоритм определения не-
исправностей в комбина-
ционной схеме, проверяе-
мых входным набором, по-
строенным с помощью D-
алгоритма

TESTSIM (test
simulation system)
система моделирования
тестов фирмы Teradyne
/США/

TG (test generator)
генератор тестов

TIFPLA (Texas Instru-
ments fast program-
able logic array)
быстродействующая ПЛИС
фирмы Texas Instruments
/США/

TITAN (Texas Instru-
ments test analyser)
система анализа тестов
цифровых схем фирмы
Texas Instruments /США/

TMEAS (testability
measurement)
программа расчета пока-
зателей контролепригод-
ности

TOSPICS (Toshiba picture
processing system)
система обработки изоб-
ражений фирмы Toshiba
/Япония/

TOS (top of stack)
верхушка стека

TPE (test pattern
evaluator)

программа определения
полноты тестов

TPG (test pattern
generation)
генерация тестовых на-
боров, построение тес-
тов, синтез тестов

TPPS (test pattern
per second)
число тестовых наборов
в секунду /единица из-
мерения скорости пода-
чи теста/

TR (test rate)
скорость тестирования
см. test rate

TRR (test-result
retention)
хранение результатов
тестирования; времен-
ное хранение результа-
тов тестирования

TS
1. (test sequence)
тест, тестовая после-
довательность
2. (test set)
тест; набор тестов

TSC (totally self-
checking)
полностью самопроверяе-
мый

TSD (tester status
display)
индикация состояния
тестера

TTP (through-the-
pins testing)
тестирование через внеш-
ние выводы /без доступа

к внутренним точкам про-
веряемого устройства/

TW (timing wheel)
колесо времени, времен-
ное колесо
см. timing wheel

TWIN (test ware
instrument)
контрольно-наладочная
система фирмы Signetics

TY (testability)
контролепригодность

UDPI (universal
digital processor,
industrial)
универсальный цифровой
процессор промышленно-
го назначения

UPL
шина межсоединений Ев-
роплат, специфицирован-
ная в 1978 г. фирмой
Philips Data System /ФРГ/

VEEP (vector editor
and preparer)
система редактирования
и подготовки описаний
тестов фирмы Western
Electric /США/

VHDL (VHSIC hardware
description language)
язык описания аппаратур-
ного состава сверхско-
ростных ИМС фирмы
Honeywell /США/

VNPIC (very high-
performance IC)
сверхпроизводительные
ИМС, СПИС

VLIW (very long
instruction word)
архитектура ЭВМ со сверх-
большой длиной команд
/Йельский университет,
США/

WAND (wired AND)
монтажное И, монтажный
элемент И
см. wired AND

WASP (wafer scale
associative
processor)
ассоциативный процес-
сор на СБИС-пластине
/архитектура СБИС, Бру-

нельский университет;
США/

WOR (wired OR)
монтажное ИЛИ, монтаж-
ный элемент ИЛИ
см. wired OR

XOR (exclusive OR)
элемент "исключающее
ИЛИ"; элемент "сумма
по модулю 2"
см. XOR element

YSE (Yorktown
simulation engine)
моделирующий спецпро-
цессор фирмы IBM /США/

А

автодекрементная адресация А 40
 автоинкрементная адресация А 41
 автокалибровка А 39
 автомат Мили М 9; М 10
 автомат Мура М 29; М 30
 автоматизация проектирования D 24
 автоматическая генерация входных тестовых воздействий А 43
 автоматная сеть Петри S 60; S 85
 автоматное тестирование E 23
 автономность тестирования S 23
 адекватное представление А 8
 адресация по базе с индексированием В 9
 адресация по базовой странице В 10
 адресация с использованием регистра страниц Р 2
 адресация с использованием текущей страницы С 71
 адресуемый побайтно В 49
 активизация многомерного пути М 45
 активизация одномерного пути L 9; O 7; S 48
 активизация пути Р 14; S 25

активизированный путь С 55; D 59
 активизирующий набор S 26
 активная разблокировка А 11
 активность схемы А 12; С 7
 активный вход А 10
 активный вход элемента S 24
 активный элемент А 9
 алгебра кубов С 64
 А-алгоритм А 1
 алгоритм обязательного ремонта М 48
 D-алгоритм с индексированием S 112
 алгоритм устранения максимума неисправностей R 18
 алгоритмический тест А 19
 D-алфавит D 51
 альтернативная логика А 22
 альтернативный граф А 23
 анализ времени распространения сигналов Р 13
 анализ дефектов F 20
 анализ задержек в путях Р 13
 анализ контролепригодности Т 41
 анализ кратковременных импульсов S 71
 анализ неисправностей F 20
 анализ рисков сбоя H 10

анализ состязаний R 1
 аналитическое тестирование A 25
 аналоговое моделирование C 10
 апостериорное диагностирование P 40
 апостериорный анализ неисправности P 38
 аппаратура встроенного контроля B 46; E 26
 аппаратурное моделирование H 5; H 6
 аппаратурное тестирование H 3
 аппаратурное управление в МП H 7
 аттестация проекта D 32
 ациклическая схема A 15

Б

базисный элемент P 58
 базисный элемент функционального уровня F 82; F 83
 базовая индексная адресация B 9
 безразличное значение сигнала D 55; D 56; X 1; X 2
 безгоночное тестирование F 78
 безразличное состояние D 55; X 1
 библиотечный элемент в системах моделирования P 51
 бинарная функция B 25
 буква термина B 23
 булев дифференциал B 32
 булева производная B 31
 булева разность B 31
 булево выражение B 34

В

ввод данных в стек P 85; P 86
 вводимая неисправность F 57
 вектор активности A 14
 вектор значений V 3
 вентиль B 33
 вентильная модель G 2
 верификационное моделирование D 33
 вертикальная импликация V 6
 ветвь узла разветвления F 13
 вид дефекта F 47
 "византийское соглашение" B 51
 включение события /в список событий/ E 15
 внесение неисправности F 35
 внесемное тестирование E 23
 внешнее средство тестового диагностирования A 35; A 37; T 33
 внешний выход P 53
 внешняя /по отношению к кристаллу/ неисправность G 5
 внутрисхемный тестер P 49
 внутрисхемный триггер B 48
 возможности обнаружения неисправностей F 25
 восходящий подход с использованием стандартных блоков B 37
 временная копия F 76; T 11
 временное колесо T 58

временное моделирование
Т 54
временное рассогласова-
ние Т 57
временный снимок F 76;
Т 11
время восстановления
работоспособности
М 2
время разработки D 31
вспомогательный перенос
А 44
встроенное средство
диагностирования В 43
встроенное тестовое
диагностирование В 45
встроенное тестовое
оборудование В 46;
Е 26
встроенные средства тес-
тирования микроЭВМ
М 14
встроенные средства тес-
тового диагностиро-
вания В 46; Е 26
встроенный генератор
входных тестовых
воздействий В 47
встроенный генератор
тестов В 47
встроенный контроль
В 45
вход, чувствительный к
фронту сигнала Е 2
входная комбинационная
схема Е 21
входное разветвление
I 13
входной контакт схемы
С 43
входной контроль ИМС
G 14
входной узел I 14

выборка данных из стека
Р 32; Р 33
выводить /линию ПП/ на
разъем Т 13
вынужденное значение
/сигнала на линии
схемы/ F 70
выполняемый процесс А 45
вырожденный куб С 3;
S 53
высокоимпедансная логи-
ческая сила Н 21
высокоимпедансное со-
стояние F 65; Н 20;
Z 1
выход состояния S 91
выходной контакт схемы
О 2
вычисление выходных зна-
чений и состояний
элементов Е 6

Г

генератор алгоритмичес-
ких тестов А 20
гибкие вычисления R 22
глобальная точка преры-
вания G 7
глубина поиска дефекта
R 24
граница D-продвижения
D 41

Д

С-движение В 2; С 4;
J 1; L 7
D-движение D 10; D 60
двоичная диаграмма ре-
шений В 21
двоичное дерево решений
В 21

двунаправленный вывод	дефект типа перемычки
В 18	между токоведущими
двунаправленный регистр	дорожками ПП В 40;
В 20	В 41
двунаправленный тест	дефект типа "плавающий
В 19	затвор" в МОП-схе-
двухпроводная схема	мах F 64; М 33
контроля Т 75	дефектная компонента
двухпроводное моделиро-	Д 16
вание Т 73	дефицит D 17
двухтактный элемент	диагностирование крат-
Р 87	ных неисправностей
девятизначный алгоритм	М 36
Н 4	диагностируемость D 42
дедуктивное моделирова-	диагностируемость "t
ние D 14	из s" Т 72
дедуктивный алгоритм	диагностический компи-
Д 13	лятор D 43
дек D 23	диагностический компи-
детранслировать D 12	лятор для языка
дефект Р 23	Паскаль U 21
дефект внутри корпуса	диагностический кри-
ИМС Р 1	сталл В 29
дефект ЗУ типа "парал-	диагностический регистр
лельный доступ" М 41	D 45
дефект ЗУПВ типа "сцеп-	диагностический словарь
ление" С 52	L 14
дефект переключательно-	диагностическое модели-
го элемента S 117	рование F 45
дефект типа "замыкание	диагностическое ядро
ветви" В 39	D 44
дефект типа "короткое	дизъюнкция конъюнкций
замыкание" S 40	S 115
дефект типа "коротко-	динамическая неисправ-
замкнутый входной	ность А 3
диод" S 41	динамическое тестирова-
дефект типа "обрыв вет-	ние А 4
ви" В 38	дисциплина проектирова-
дефект типа "обрыв це-	ния D 29
пи" О 15	доводка С 19
дефект типа перемычки	доминирующая неисправ-
между слоями полу-	ность D 53
проводника в БИС	доминирующее значение
S 39	D 54

дополнение до двух С 24
дополнение до единицы
С 23
дополнительный источник
С 36
дополнительный код чис-
ла С 24
допустимое состояние
А 6
достоверность результа-
тов тестирования
Т 38
достоверность теста Т 38
доступ как результат
сбоя F 3

Е

европлата Е 13
единичная задержка U 13

Ж

ждуший мультивибратор
D 21
жесткое управление в
МП H 7

З

заведомо исправное
устройство G 9
задать стык A 18
задать стыковочную точ-
ку прерывания в
программе A 18
задержка, зависящая от
нагрузки F 18
задержка нарастания
сигнала R 30; R 32
задержка нарастания-
спада сигнала R 31
задержка переключения
сигнала из 1 в 0

F 7; F 8
задержка переключения
сигнала из 0 в 1
R 30; R 32
задержка пути P 12
задержка распростране-
ния T 64
задержка распростране-
ния сигнала P 71
задержка спада сигнала
F 7; F 8
заключительная тестовая
последовательность
S 114
заключительные комплекс-
ные испытания F 63
запирающее значение
C 47
запланированная отладка
P 31
защелка с потенциальным
запуском L 5
защелка сканирования
S 5
звездный алгоритм S 79
зернистость G 15
зонд для внесения неис-
правностей F 34
зонд для поиска неис-
правностей T 69
зондовый поиск неис-
правностей G 17
ЗУ с поперечными связя-
ми C 61
ЗУПВ с байтовой органи-
зацией B 50

И

иерархическое имя H 19
иерархическое проектиро-
вание H 18
извлечение данных из
стека P 32; F 33

изменение значения сигнала из 1 в 0 D 58;
 F 6
 изменение значения сигнала из 0 в 1
 R 29; U 18
 импульсное тестирование
 A 4
 ИМС второго поставщика
 S 16
 ИМС, выпущенная предприятием /фирмой/ по лицензии S 16
 ИМС, выпущенная предприятием /фирмой/-разработчиком P 54
 ИМС с синхронизированным запуском E 18
 инверсное логическое значение O 18
 инженер по тестированию T 22
 инженер-диагностик T 22
 инструментарий программиста P 68
 интеграция на целой пластине W 1
 интервальное моделирование M 18
 интерпретативное моделирование T 2
 информационная точка прерывания D 2; D 22
 исключение события /из списка событий/ E 16
 исправная линия N 15
 исправная модель G 12
 исправная схема C48;G12;V1
 исправное состояние
 B 16
 исправность B 16
 исправный F 51; N 8
 испытательный стенд
 A 35; A 37; T 33

"истинный тест" G 13
 источник сигнала узла разветвления F 16;
 F 17
 исходное состояние
 S 82
 исходный адрес S 84
 D-исчисление D 7; D 51
 исчисление D-кубов D 7
 исчисление кубических комплексов C 64;
 D 7
 ИЦП W 1

К

кандидат в тесты P 41
 каталог D 49
 катастрофический внезапный отказ C 2
 класс неисправностей
 F 22; F 47
 класс неразличимых неисправностей F 32
 класс эквивалентных неисправностей F 32
 клеточный автомат C 5
 код со смещением 2^{m-1}
 E 19
 колесо времени T 58
 количество контактов
 P 25
 комбинационная наблюдаемость C 16
 комбинационная управляемость C 15
 комбинационная I-управляемость C 17
 комбинационная O-управляемость C 18
 компилятивное моделирование C 20; C 21;
 C 22
 компонента неверного

типа W 14
 компонента с параметрами, выходящими за пределы допуска O 22
 константная неисправность S 107
 константная неисправность - X S 104
 константная неисправность - Z S 105
 константная неисправность - I S 106
 константная неисправность - O S 108
 контакт разъема C 34
 контактирующее устройство типа "ложе из гвоздей" B 11
 контактное приспособление P 27
 контролон типа "ложе из гвоздей" B 11
 контролепригодное проектирование D 25; D 28; T 42; T 44
 контроль технического состояния C 31
 контрольная точка O 2; T 28
 контрольная точка на ПП P 59
 конъюнктивный член P 62
 конъюнкция дизъюнкций P 61
 корпус ИМС с матрицей выводов G 16
 косвенная абсолютная адресация A 2
 косвенная рекурсия I 5

коэффициент Уолша W 3
 кратковременный сбой питания M 13
 кратная неисправность M 43
 критерий выбора тестов T 18
 критическая задержка E 27
 критическое значение C 59
 критические состязания C 58
 крупность G 15
 куб C 63
 C-куб C 3; S 53
 D-куб D 9
 D-куб продвижения P 70

Л

лепесток на ПП T 28
 линейная последовательностьная машина L 10
 линия, не имеющая константных неисправностей N 15
 лицевая панель ПП B 27
 личная библиотека элементов пользователя U 20
 логико-временное моделирование T 53
 логическая модель G 2
 логическая неисправность L 19
 логическая сила L 18; S 97
 логическая сила сигнала S 99
 логическая сила состояния узла S 98
 логические схемы с пятью состояниями Q 1

логический риск сбоя
L 16
логический элемент В 33
локальная точка прерывания L 12
локальность L 13
локальность программы
Р 65
ЛПМ L 10

М

максимально допустимое
количество контактов
проверяемого ЦУ Р 25
маска внесения неисправностей F 36
матрица И A 26
матрица ИЛИ O 19
матричный автомат С 5
машина моделирования
L 17; S 44
мепинг M 3
мера контролепригодности T 43
место дефекта F 39
местоположение дефекта
F 39
метод LSSD L 4
метод анализа "следствие-причина" E 4
метод продвижения неисправностей F 29
метод продвижения символов проявления дефектов F 29
метод прослеживания по чувствительному пути
C 57
метод сдвигового регистра L 4
метод синтеза тестов с помощью активизации путей C 56

метод сканирования путей
S 6
метод сканирования с непосредственным доступом S 4
метод сканирования с произвольным доступом R 4
метод сканирования/установки S 11; S 12
механизм отказа F 4
микропроцессорная секция M 15
микроЭВМ в модульном исполнении Р 50
минимизированная таблица истинности S 52
младший разряд R 28
многовекторный D-проход M 46
многозначное моделирование M 47
многомерный путь M 44
многомерный D-путь M 42
многопроходное моделирование M 39
многоуровневое моделирование M 38
моделирование без учета задержек Z 3
моделирование всех возможных неисправностей F 1
моделирование исправной схемы F 52; T 70
моделирование МОП-схем M 32
моделирование на поведенческом уровне
B 13; B 15
моделирование на уровне переключательных элементов M 32; S 118

моделирование на уровне регистровых передатчиков R 15; R 34
 моделирование на уровне транзисторов C 10
 моделирование по следующему критическому событию N 2
 моделирование процессов синхронизации T 53
 моделирование с единичными задержками U 14
 моделирование с максимальными задержками M 7
 моделирование с минимальными задержками M 17
 моделирование с номинальными задержками M 11; N 5
 моделирование с нулевыми задержками Z 3
 моделирование с учетом временных задержек T 53
 моделирование с целью проверки правильности проектирования D 33
 моделирование смешанного типа M 25
 моделирование со средними задержками M 11
 модель проявления неисправности F 50
 модель Хаффмена H 24
 модуль, размещенный на одном кристалле с МП O 5
 монотонная схема M 27

монотонная функция M 28
 монтажное И W 7
 монтажное ИЛИ W 9
 монтажный элемент W 8
 мснтажный элемент И W 7
 монтажный элемент ИЛИ W 9
 морфная функция M 31
 мощность команды МП I 16
 мутационное тестирование M 49
 мутация программы P 66

Н

наблюдаемость O 1
 наблюдаемость подсхем S 9; S 10
 набор признаков неисправности S 37
 набор регистров общего назначения R 11; R 12
 набор PОН R 11; R 12
 набор тестов U 17
 набор тестовых воздействий T 15
 наихудшая задержка W12
 нарушение временных соотношений T 57
 нарушение правил доступа A 7
 нарушение синхронизации T 57
 настройка R 16
 начальная точка прерывания P 45
 начальное состояние S 82
 начинающий пользователь N 17

неверная компонента W 14
неверная ориентация M 22
неверно выполняемая команда F 53
незапланированная отладка A 16
неизвестное значение сигнала U 16
неисправная компонента D 16
неисправная модель B 4; E 10; F 49; F 54
неисправная схема B 4; E 10; F 49; F 54
неисправное устройство E 10; F 49; F 54
неисправность в кристалле ИМС D 46
неисправность на входном или выходном контакте разъема P 26
неисправность, не проверяемая данным тестом U 8
неисправность, обнаруживаемая как сбой H 15
неисправность переключательного элемента S 117
неисправность, подлежащая проверке T 4
неисправность, проверяемая данным тестом D 36
неисправность, связанная с восприимчивостью к наборам данных P 18
неисправность типа "изменение функции элемента" F 80
неисправность типа "короткое замыкание" B 40; B 41
неисправность типа "ко-

роткое замыкание", не образующая дополнительную обратную связь в схеме N 9
неисправность типа "монтажное И" A 27; W 10
неисправность типа "монтажное ИЛИ" O 20; W 11
неисправность типа "неверная величина задержки" D 18; T 55
неисправность типа "постоянное высокоимпедансное состояние" S 105
неисправность типа "постоянное неизвестное значение" S 104
неисправность-представитель R 20
неймановское ограничение V 9
неконстантная неисправность N 13
не-LSSD-схема N 10
необнаружение неисправности M 24
необнаружимая неисправность U 7
необнаружимость U 6
неоднозначная задержка A 24
неопределенное значение сигнала U 3; U 4; U 5; U 9; X 1; X 2
неопределенное значение сигнала перед началом моделирования U 12
неопределенное состояние U 4; X 1
неопытный пользователь N 17

непроверенная неисправ-
 ность U 8
 неправильное функциони-
 рование M 20
 непроверяемая неисправ-
 ность U 7
 непроверяемость U 6
 непрофессиональный
 пользователь L 1
 неразличимость неисправ-
 ностей F 31
 неразличимые неисправ-
 ности I 29
 нерегулярный тест R 5
 несвязанный дефект L 21
 нестабильный S 59
 несущественная неисправ-
 ность R 7
 неупорядоченный набор
 тестов U 17
 неустановленная компонен-
 та M 23
 неустановочная последо-
 вательность N 12
 неустойчиво проверяемая
 неисправность P 36;
 P 42
 неустраняемый риск сбоя
 F 81
 новичок N 17
 нулевая задержка Z 2

O

обеспечение B 2; C 4;
 C 35; I 27; J 1; L 7
 обнаружение дефектов
 F 43
 обнаружение и поиск де-
 фектов F 37
 обнаружение неисправно-
 стей F 43
 обнаруживаемая исправ-
 ность D 35; T 45

обобщенная таблица Z 6
 обратная импликация
 B 3
 обратная трассировка
 T 62
 обратное прослеживание
 R 27
 обратный код C 23
 обратный проход B 2;
 C 4; J 1; L 7
 обрыв обратных связей
 C 72
 обрывы O 17
 обход графа G 6
 объединяющая шина B 1
 ограничение архитекту-
 ры Неймана V 9
 ограниченный тип данных
 S 111
 одновекторный D-проход
 S 51
 одновибратор O 11; S 50
 одномерный путь S 47
 одномерный D-путь S 46
 однонаправленные ошибки
 U 10
 однонаправленный тест
 U 11
 однопроходное моделиро-
 вание O 9
 односторонняя отказоус-
 тойчивость S 1
 ожидающий процесс A 32
 оконечная точка прерыва-
 ния P 37
 описание БИС на масочном
 уровне M 5
 опорная модель R 9
 определение наихудших
 величин задержек W 13
 определенное значение
 сигнала D 40
 организация многомерного
 существенного пути в

схеме М 45
 организация одномерного
 существенного
 пути в схеме L 9;
 О 7; S 48
 организация существен-
 ного пути в схеме Р 14;
 S 25
 ортогональная система
 команд О 21
 основной способ подачи
 входных воздействий
 на асинхронные схе-
 мы F 85
 особенность проявления
 неисправности F 21
 отбраковочные испыта-
 ния Р 63
 отказобезопасность F 42
 отказоустойчивый по еди-
 нице О 8
 отказоустойчивый по ну-
 лю Z 5
 отладка при работе
 программы R 35
 отладочный интервал
 D 11
 отладчик тестов T 47
 относительная адреса-
 ция с использовани-
 ем счетчика команд
 Р 64
 отображение трассиров-
 ки переменных M 34
 отпирающее значение
 N 6
 отсроченный условный
 переход D 20
 оценка теста T 32
 очевидное условие
 S 20
 очередь с двумя входа-
 ми D 23
 ошибка в записи разде-

лителя Р 83
 ошибка зондирования
 М 21
 ошибка при установке
 зонда /щупа/ М 21
 ошибочно установленная
 компонента W 14

П

пакетирующая шина S 76
 паразитная задержка
 S 96
 параллельное моделиро-
 вание Р 5
 параллельный просмотр
 Р 4
 пассивная разблокиров-
 ка Р 11
 переадресация A 42
 переключатель перемен-
 ного действия A 21
 переключение E 14
 перемежающаяся функция
 I 21
 перемещаемая эмуляция
 R 33
 период одиночного пере-
 хода S 49
 период скрытой ошибки
 E 9
 периодическая входная
 последовательность
 C 74
 периферийный модуль в
 МП-системе N 7
 персонализация элемен-
 та G 1
 пессимистический алго-
 ритм моделирования
 Р 21
 ПЗУ начальной загруз-
 ки В 35
 ПЗУ предварительного

ввода данных В 36
 ПЗУ предввода В 36
 LSSD-плата L-22
 поглощение тестовых на-
 боров Т 25
 подача тестовых воздей-
 ствий Е 20
 подгонка R 16
 подозреваемая неисправ-
 ность Р 35; S 116
 подпоследовательность
 теста "марш" М 4
 подтверждение J 1
 подход, основанный на
 анализе линий связи
 в схеме L 11
 подход, основанный на
 анализе путей в схе-
 ме Р 16
 подчиненный процессор
 S 54
 позиция Т 50
 поиск места дефекта
 F 38; F 39
 поиск неисправности
 F 38; F 39
 поиск неисправности с
 точностью до функ-
 ционального узла
 В 17
 показатель контролепри-
 годности Т 43
 показатель стоимости
 сбоя С 49
 покрытие С 53
 полное время тестирова-
 ния Т 52
 полностью самопроверяе-
 мая схема Т 61
 полностью самопроверяе-
 мая схема встроенно-
 го контроля Т 60
 полнота испытаний Т 14
 полнота обнаружения не-

исправностей F 24;
 Т 17
 полнота теста С 26; F 24;
 Т 17
 полный тест С 25
 полуперенос А 44
 полутор адресная коман-
 да О 6
 пользователь-непрофес-
 сионал L 1
 пометка звездочками
 S 81
 поочередное моделирова-
 ние неисправностей
 S 35
 попарное считывание Р 28;
 Р 29
 поразрядное дополнение
 до двух С 24
 поразрядное дополнение
 до единицы С 23
 порядок подачи тестовых
 воздействий Т 36
 посев ошибок В 42
 последователь S 113
 последовательное модели-
 рование неисправно-
 стей S 35
 последовательное разбие-
 ние пополам В 22
 последовательностная
 наблюдаемость S 31
 последовательностная
 управляемость S 30
 последовательностная
 О-управляемость S 33
 последовательностная
 I-управляемость S 32
 последовательность то-
 чек установки зонда
 /щупа/ Р 60
 последовательный про-
 смотр S 36
 последующая линия S 113

последующий элемент F 14
 постотладка P 39
 потенциальная адресация
 C 1
 потенциальная неисправ-
 ность S 63
 потенциальный тест P 41
 поток значений V 2
 почтовый ящик без очере-
 дей N 11
 правила контролепригод-
 ного проектирования
 D 27
 правила проектирования
 D 29
 правила проектирования
 контролепригодной
 аппаратуры D 27
 правило Раушера R 6
 предварительная тестовая
 последовательность
 P 48
 предварительно установ-
 ливать в исходное
 состояние P 46
 предельная задержка E 27
 предельно допустимая
 задержка M 8
 предположение об одиноч-
 ных константных не-
 исправностях S 74
 представление M 26
 представление Рида-Малле-
 ра R 8
 предупредительное сооб-
 щение о кратковре-
 менных импульсах
 S 72
 предшественник P 47
 предшествующая линия
 P 47
 предшествующий элемент
 F 10

признак дефекта F 46
 признак наличия риска
 сбоя H 12
 признак неисправности
 F 46
 признак ошибки E 11
 признак ошибки в фор-
 мате F 77
 примитив P 58
 пробные аппаратные
 средства T 51
 проверенная неисправ-
 ность D 36
 проверка внутренних
 параметров G 14
 проверка временных ха-
 рактеристик T 56
 проверка на рабочей
 частоте A 38
 проверка печатного мон-
 тажа B 6
 проверка полноты теста
 T 39
 проверка правильности
 проектирования D 32
 проверка правильности
 функционирования
 F 26; F 84
 проверка режимов функ-
 ционирования B 14
 проверка соблюдения
 правил проектирования
 D 30
 проверка соблюдения
 проектных норм D 30
 проверка состояния управ-
 ления C 44
 проверка способности
 сохранения информации
 в МОП ЗУ V 7
 проверка типа "годен -
 негоден" G 10

проверяемая неисправ-	правностей Р 3
ность D 35; Т 45	программа расстановки
проверяемая плата В 28	контрольных точек
проверяемая схема С 9	С 6
проверяющие свойства	программа-формирователь
Р 25	перекрестных ссылок
проверяющий тест D 38;	С 60
Р 27; G 10	программируемая точка
программа двухпроходно-	прерывания Р 67
го моделирования	программная заплата
Т 74	С 13
программа дедуктивного	программная точка пре-
моделирования неис-	рывания С 12; С 39
правностей D 15	программное тестирова-
программа имитационного	ние S 64
моделирования тес-	программный зонд S 66
тера О 3	программный щуп S 66
программа интервально-	продвижение F 71;
го моделирования	F 73; Р 69
М 19	D-продвижение D 10;
программа интерпрета-	D 60
тивного функциональ-	проектирование с обес-
ного моделирования	печением контроле-
Т 1	пригодности D 28;
программа многопроход-	Т 44
ного моделирования	проектирование с уче-
М 40	том диагностируе-
программа моделирова-	мости D 25
ния без учета за-	проектирование с уче-
держек Z 4	том контролепригод-
программа моделирова-	ности D 25; Т 42
ния исправных схем	проектирование с уче-
Т 71	том ремонтпригод-
программа моделирова-	ности D 26
ния с единичными	проектирование средств
задержками U 15	встроенного контроля
программа моделирова-	В 26
ния с равными за-	проектирование средств
держками U 15	встроенного тесто-
программа однопроход-	вого диагностирова-
ного моделирования	ния В 26
О 10	проектные нормы D 29
программа параллельного	проектоника D 34
моделирования неис-	прозвонка Н 8

произвольное значение
сигнала D 55; D 56;
X 1; X 2
произвольное состояние
D 55; X 1
пропущенная компонента
M 23
прослеживание от входов
схемы к выходам F 74
прослеживание от выходов
схемы ко входам R 27
простой куб C 3; P 55;
S 53
простой D-куб P 56
простой D-куб неисправ-
ности P 57
пространственный элемент
V 10
пространство поиска S 14
противогоночное кодиро-
вание A 28
проход S 2
D-проход D 10; D 60
проходной разъем P 24
процедура активизации
путей P 15
процент проверяемых не-
исправностей C 26
процессор, прекращающий
работу при появлении
ошибки F 2
процессор с чисто стеко-
вой организацией P 84
процессор со стековой
организацией S 75
процессор-сторож W 4
прямая импликация F 72
прямое продвижение F 71;
F 73; P 69
прямое прослеживание
F 74
прямой доступ к входам
подсхем S 7; S 8
прямой доступ к выходам

подсхем S 9; S 10
псевдовход P 72
псевдовыход P 73
псевдослучайное тестиро-
вание A 43; P 74;
P 75
псевдоэлемент A 31; P 22
пунктуационная ошибка
P 83
пусковой бит G 8
путевая задержка сиг-
нала P 12
D-путь D 59
путь программы C 42
путь распространения
сигнала неисправно-
сти F 5
пушпульный элемент P 87
пятизначная логика Q 1;
Q 2

Р

работающий модуль V 1
работающий по сменной
программа E 25
рабочая станция авто-
матической испытатель-
ной системы A 35;
A 37; T 33
рабочий режим N 16
разбиение схемы на уров-
ни срабатывания L 6
разветвление F 12
размещение с минималь-
ным числом пересе-
чений M 16
разработчик тестов T 29;
T 40
разрешенная комбинация
входных сигналов
L 3
разрыв цепи обратной
связи L 20

разряд вспомогательно-
 го переноса H 1
 разряд дополнительного
 переноса H 1
 разрядная секция S 56
 разрядная шина D 47
 ранжирование схемы L 6
 расходящееся ветвление
 S 73
 расходящиеся линии S 73
 расчет показателей конт-
 ролепригодности T 41
 реакция схемы A 12
 реализуемый путь про-
 граммы F 56
 регистр микрокоманд в
 секционированном МП
 P 30
 регистр с параллельным
 вводом-выводом P 6
 регистр состояния S 90
 регистры общего назначе-
 ния S 13
 регулярный тест A 19
 редактор тестов T 21
 режим активного ожидания
 H 25
 режим передачи данных
 через двунаправленную
 шину D 61
 режим приема данных с
 двунаправленной шины
 S 28
 режим проверки МП с раз-
 рывом связи между про-
 цессором и памятью
 O 16
 режим проявления неисправ-
 ности F 41
 режим тестирования T 26
 резервный модуль S 70
 резистивная логическая
 сила R 23
 ремонтпригодность R 17

риск сбоя H 9
 РОН S 13
 ручной тест H 2

С

с большим числом об-
 ратных связей M 37
 самовосстанавливающаяся
 система S 22
 самопроверяемая и само-
 восстанавливаемая
 ЭВМ S 80
 самопроверяемая схема
 встроенного контро-
 ля B 44; S 17
 самопроверяемое устройст-
 во S 18
 самый правый двоичный
 разряд R 28
 сбой C 62
 сброс по включению пи-
 тания P 43
 сброс при неисправности
 D 50
 сброс при сбое D 50
 сверхактивная неисправ-
 ность H 26
 сверхоперативное ЗУ
 S 13
 свободная область памя-
 ти, используемая по
 усмотрению програм-
 мы H 16
 свободный от неисправ-
 ностей F 51; N 8
 связь между модулями
 по принципу "равный
 с равным" P 19
 сдвиговый регистр с
 линейной обратной
 связью L 8
 сдвиговый регистр с
 обратными связями
 S 59

сдвиговой регистр сиг-
 натурного анализато-
 ра С 54
 сегментный тест Р 7
 SM-сеть S 60
 сеть /Петри/, свободная
 от петель S 21
 сеть /Петри/ свободного
 выбора F 55
 сеть /Петри/ типа марки-
 рованного графа M 12
 сеть типа "баньян" B 5
 сжатие выходной после-
 довательности R 25
 сжатие теста R 25; T 27
 сигнатура неисправного
 объекта F 44
 сигнатура при наличии
 неисправности F 44
 сигнатурный зонд S 42
 сигнатурный тестер S 43
 сильнопоследовательно-
 стный S 101
 сильносвязная компонен-
 та S 102
 сильносвязная подсхема
 S 102
 сильный узел S 100
 символ начальной неопре-
 деленности U 12
 символическое выполне-
 ние /программы/
 S 119
 сингулярный куб C 3;
 S 53
 синдром /булевой функ-
 ции/ S 120
 синхронное моделирова-
 ние Z 3
 синхронный триггер E 3
 система моделирования
 и построения тестов
 для ЦУ D 48
 система построения тес-
 тов T 37

система принудительной
 синхронизации G 3
 система с самовосстанов-
 лением S 22
 система тестирования
 программ S 67
 система тестового диаг-
 ностирования T 37
 система тестовой среды
 S 67
 систолический кристалл
 S 123
 склеивание тестовых на-
 боров T 25
 скорость тестирования
 T 30
 слабый узел W 6
 след запайки дефекта
 легкоплавким припоем
 S 68; S 69
 словарь обнаружения не-
 исправностей D 37
 словарь поиска неисправ-
 ностей L 14
 случайный тест R 5
 смена режима адресации
 в МП E 12
 сменная плата S 78
 сменный блок R 19
 сменный модуль F 62
 смешанное моделирование
 M 25; M 38
 собственный дефект N 1
 событие E 14
 событийное моделирова-
 ние A 13; E 17
 совместное моделирование
 C 27; C 29
 совместное моделирование
 входных последователь-
 ностей C 28
 совместное моделирование
 неисправностей C 27
 совокупность двоичных

сигналов С 33
 совокупность логических сигналов С 33
 совокупность ограничений С 37
 совокупность рассматриваемых неисправностей F 28
 сокращение списка неисправностей F 23; F 33
 "сонная болезнь" S 55
 сообщение "неисправность не обнаружена" P 10
 сосредоточенная задержка L 24
 состояние системы S 122
 специалист в области технической диагностики T 22
 специальный блок A 29
 спецпроцессор моделирования S 44
 список будущих событий F 86
 список входов F 11
 список текущий событий С 65
 список элементов, являющихся нагрузкой данного элемента F 15
 список описания схемы с целью ее моделирования S 45
 способ проявления неисправности F 21
 срабатывающий по отрицательному фронту сигнала N 3
 срабатывающий по положительному фронту сигнала P 34
 средства сопряжения T 76
 стандартная задержка S 77

статистическое моделирование неисправностей S 89
 статическая неисправность D 5
 статический риск сбоя в единице S 86
 статический риск сбоя в нуле S 87
 статическое тестирование D 6
 степень универсальности G 4
 стратегия раннего исключения неисправностей E 1
 стратегия тестирования T 36
 стык A 17
 стыковочная точка прерывания в программе A 17
 существенная неисправность I 28
 существенный путь С 55; D 59
 LSSD-схема L 23
 схема без обратных связей A 15
 схема без разветвлений F 19
 схема без рисков сбоя H 13
 схема попарного контроля T 75
 схема расширения возможностей основных элементов ПП P 44
 схема с обратными связями С 73
 схема с однородной регулярной структурой С 8
 схема, свободная от состязаний R 3

схема, спроектированная
не по методу LSSD
N 10
схемотехническое моде-
лирование C 10

Т

таблица будущих событий
F 87
таблица вырожденных по-
крытий S 52
таблица состояний F 67
таблица текущих собы-
тий C 66
телематика T 10
терм P 62
терминал автоматической
испытательной систе-
мы A 35; A 37; T 33
тест ЗУ типа "бегущая
единица" S 57
тест ЗУ типа "бегущий
нуль" S 58
тест, основанный на под-
счете числа логичес-
ких переходов T 6
тест параллельной запи-
си F 68
тест "пинг-понг" P 28;
P 29
тест поиска дефекта
F 40
тест поиска неисправно-
стей F 40; L 15
тест, построенный вруч-
ную H 2
тест проверки режимов
функционирования B 14
тест с регулярной струк-
турой A 19
тестер с большим числом
каналов H 22
тестирование в рабочем

режиме F 84
тестирование временных
параметров D 19
тестирование жгутов
H 8
тестирование методом
расширяющегося ядра
S 83
тестирование методом
"стимул - реакция -
сравнение" S 94; S 95
тестирование, направлен-
ное на обнаружение
сбоев H 14
тестирование несмонти-
рованных ПП B 6
тестирование по числу
логических переходов
T 7
тестирование с ведомым
зондом G 17
тестирование с примене-
нием псевдослучай-
ных кодов P 74; P 75
тестирование сбоев H 14
тестирование смонтиро-
ванных ПП A 33
тестирование целостно-
сти связей C 38
тестирование электричес-
ких характеристик
A 25
тестируемая плата B 28
тестируемая схема C 9
тестовое входное воз-
действие T 35
тестовое диагностирова-
ние O 4
тестовый куб T 19
тестовый набор T 15
тестовый набор типа
"блуждающая единица"
или "блуждающий ноль"
W 2

тестовый ответчик Т 31
тестовый режим Т 26
тестовый сопроцессор
Т 16
тетрада F 75
техническая диагностика
Т 9
техническое диагности-
рование Т 8
техническое обслужива-
ние и ремонт в экс-
плуатационных усло-
виях F 60
техническое обслужива-
ние по состоянию
С 30
техническое состояние
S 37
технология изготовления
ИМС методом "базовый
кристалл" М 6
тип дефекта F 47
типовая задержка S 77
типовой элемент замены
F 62; S 78
точка прерывания, управ-
ляемая логическим
выражением А 34
точка управления С 43
точная модель А 8
транслятор тестов Т 24
транспортирующий D-куб
Р 70
транспьютер Т 65
D0-трассировка D 57
трассировка выполнения
программы Е 22
трассировка данных D 3;
D 4
трассировка передач уп-
равления С 41
трассировка переменных
V 4

трассировка программы
С 14
третье состояние F 65;
H 20; Z 1
трехзначное моделирова-
ние Т 48; Т 49
триггер с задержкой
D 21
триггер состояния S 88
тристабильный приемник
Т 68
тристабильный элемент
Т 66; Т 67
троичное моделирование
Т 48; Т 49
ТЭЗ F 62; S 78

У

удаление неисправности
F 30
узел с большой логичес-
кой силой S 100
узел с малой логической
силой W 6
унарная функция U 2
управляемость подсхем
S 7; S 8
0-управляемость С 45
1-управляемость С 46
управляемый последова-
тельностью оператор-
ов S 29
управляющий граф С 40
уровень пользователя
U 19
уровень регистровых
передач R 14
ускоренные испытания
А 5
условие возникновения
состязаний R 2
условие появления риска
сбоя H 11

условие с двумя исходами В 24
 условия активизации пути S 27
 условия очувствления пути S 27
 условия пользователя U 19
 условно проверяемая неисправность Р 36;
 Р 42
 условный тест С 32
 установочная тестовая последовательность Р 48
 устойчивая неисправность Р 20
 устранимый риск сбоя L 16
 устройство сигнатурного контроля S 43
 "утягивающий вверх" транзистор Р 81
 "утягивающий вверх" узел Р 80
 "утягивающий вверх" элемент Р 79
 "Утягивающий вниз" транзистор Р 78
 "утягивающий вниз" узел Р 77
 "утягивающий вниз" элемент Р 76

Ф

фиксатор сдвигового регистра S 38
 фиктивная задержка А 30
 фиктивная точка прерывания F 9
 фиктивный элемент А 31;
 Р 22
 фиктивный элемент задержки А 30

фишка Т 59
 форматочувствительность S 65
 формирование модели М 26
 фрейм F 76; Т 11
 фронт переключений W 5
 фронт распространения сигналов W 5
 функциональная неисправность F 80
 функциональное диагностирование О 14
 функциональное моделирование В 13; В 15
 функциональный примитив F 82; F 83
 функциональный риск сбоя F 81
 функция, реализуемая исправным элементом или устройством N 14

Х

характерный для данной реализации тестера Т 46
 хранение промежуточных результатов В 30
 хранимый тест Р 52

Ц

целевая неисправность Т 4
 D-цепь D 8
 циклическая схема С 73
 циклический сдвигатель В 7; В 8

Ч

частично самопроверяемая схема Р 9
 частично самопроверяемая

схема встроенного
контроля Р 8
частично упорядоченная
тестовая последова-
тельность Р 7
четверка F 75
чистая задержка Т 64
чистая сеть Петри S 21
"чистая" скорость подачи
тестовых наборов Р 17
чувствительность к пере-
записи R 10
чувствительный путь С 55

Ш

штрафная функция Т 63

Щ

щуп, задающий в схему
импульсы С 68; Р 82
щуп, отслеживающий на-
правление тока в
схеме С 70
щуп, чувствительный к
величине тока С 67;
С 69
щуп, чувствительный к
уровню напряжения
V 8

Э

ЭВМ с самодиагностикой
S 19
эквивалентная нормаль-
ная форма E 8
эквивалентность неис-
правностей F 31

элемент "исключающее
ИЛИ" X 4
элемент объема V 10
элемент с тристабильным
выходом Т 66; Т 67
элемент "сумма по модулю
2" X 4
элементарная передача
данных A 36
элементарная проверка
Т 34
эмулируемый процессор
Т 5
эмуляция в фиксированные
моменты времени S 62
ЭНФ E 8
эффективная скорость тес-
тирования E 5

Я

язык иерархического
описания H 17
язык описания аппарату-
ры H 4
язык описания тестов
Т 20; Т 23
язык описания электрон-
ных схем H 4
язык регистровых пере-
дач R 13
язык структурного опи-
сания схем S 103
язык функционального
описания B 12
ячейка F 62; S 78

СПИСОК УСЛОВНЫХ СОКРАЩЕНИЙ

БИС	— большая интегральная схема
ВС	— вычислительная система
ЗУ	— запоминающее устройство
ЗУПВ	— запоминающее устройство с произвольной выборкой
И ² Л	— интегральная инжекционная логика
ИМС	— интегральная микросхема
МОП	— структура «металл-оксид-полупроводник»
МП	— микропроцессор
ПЗУ	— постоянное запоминающее устройство
ПЛМ	— программируемая логическая матрица
ПП	— печатная плата
САПР	— система автоматизированного проектирования
СБИС	— сверхбольшая интегральная схема
ТТЛ	— транзисторно-транзисторная логика
ЦУ	— цифровое устройство
ЯАП	— язык программирования, ориентированный на автоматизацию проектирования цифровых устройств

Александр Герцович БИРГЕР,
Владимир Эммануилович ГОРОДЕЦКИЙ

ТЕТРАДИ НОВЫХ ТЕРМИНОВ

№ 93

АНГЛО-РУССКИЕ ТЕРМИНЫ

ПО ТЕХНИЧЕСКОЙ ДИАГНОСТИКЕ ЦИФРОВЫХ СИСТЕМ

Под редакцией к.т.н. А.Г. Биргера

Редактор М.М. Бурас

Технические редакторы
Г.М. Аристова, Н.К. Дудова

Корректоры М.П. Барыкина,
В.М. Фадеева

Подп. в печ. 19.08.86. Формат 60х84/16. Бум. офс. № 2.
Печ. офсетная. Усл. печ. л. 7,67. Усл. кр.-отт. 7,86.
Уч.-изд. л. 4,73. Зак. № 6750 Тираж 2300 экз. Цена 1 р.

Всесоюзный центр переводов научно-технической
литературы и документации
117218, Москва В-218, ул. Кржижановского, д. 14, кор. 1

ПИК ВИНТИ, 140010, Люберцы-10, Моск. обл.,
Октябрьский просп., 403

Тетр. новых терминов, № 93. Англо-рус. термины по техн.
диагностике цифр. систем, 1986, 1—132